

TANISIA POSSANI

**PROJETO DE CIRCUITOS INTEGRADOS ANALÓGICOS COM
TRANSISTORES DE NANOTUBOS DE CARBONO**

Trabalho de conclusão de curso apresentado como parte das atividades para obtenção do título de Engenheira Eletricista, do curso de Engenharia Elétrica do Campus Alegrete da Universidade Federal do Pampa, área de concentração Microeletrônica.

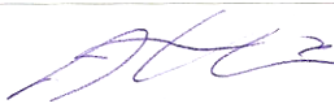
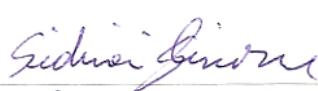

Orientador: Alessandro Gonçalves Girardi

**ALEGRETE
2011**

Autoria: Tanísia Possani

Título: Projeto de Circuitos Integrados Analógicos com Transistores de Nanotubos de Carbono

Trabalho de conclusão de curso apresentado como parte das atividades para obtenção do título de Engenheira Eletricista, do curso de Engenharia Elétrica do Campus Alegrete da Universidade Federal do Pampa, área de concentração Microeletrônica.

Os componentes da banca de avaliação, abaixo listados, consideram este trabalho aprovado.				
	Nome	Titulação	Assinatura	Instituição
1	Alessandro Girardi	Doutor		UNIPAMPA
2	Sidinei Ghissoni	Mestre		UNIPAMPA
3	Jumar Russi	Doutor		UNIPAMPA

Data da aprovação: 21 de Junho de 2011.

“Dedico este trabalho à minha mãe, ao meu pai (em memória), à minha irmã e aos demais familiares que de uma forma ou de outra sempre estiveram me apoiando durante meus estudos enquanto acadêmica. E de uma forma especial quero agradecer ao meu noivo Lucas por todo o amor, carinho e compreensão dedicados a mim”.

AGRADECIMENTOS

Primeiramente, manifesto meu agradecimento a Deus, essência primordial de tudo.

Agradeço ao pessoal do NTI da Unipampa, em especial ao Rafael, por resolver os problemas da licença do HSPICE para que eu pudesse realizar as simulações do meu trabalho. Aos colegas e amigos da graduação, que de uma forma ou de outra me ajudaram nos momentos em que precisei.

E de uma forma especial, gostaria de manifestar o meu sincero agradecimento ao professor orientador Alessandro Gonçalves Girardi pela orientação neste trabalho.

*A Educação é a arma mais poderosa que você
pode usar para mudar o mundo.*
Nelson Mandela

RESUMO

Este trabalho, tem como objetivo, apresentar o projeto de circuitos analógicos com transistores de nanotubo de carbono (CNTFETs), mais especificamente o projeto de um amplificador diferencial e um amplificador folded cascode com nanotubos de carbono.

Como os nanotubos de carbono são recentes, neste trabalho serão abordados assuntos, desde os princípios físicos deste material até o projeto de circuitos analógicos integrados.

Devido à aplicação de transistores de nanotubo de carbono em circuitos analógicos estar em sua fase inicial, as metodologias para este tipo de projeto ainda não estão bem definidas. Assim neste trabalho, uma metodologia de projeto também será proposta.

Para validação e testes da metodologia proposta será realizado o projeto dos circuitos amplificadores em tecnologia CMOS e CNTFET, onde algumas comparações serão feitas de forma que as vantagens e desvantagens desta tecnologia possam ser analisadas.

Palavras-chave: Nanotubos de Carbono, CMOS, Amplificador Diferencial, Amplificador Folded Cascode, Projeto de Circuitos Analógicos.

ABSTRACT

This work aims to present the design of analog circuits with Carbon Nanotube Transistors (CNTFETs), more specifically the design of differential amplifier and a folded cascode amplifier with carbon nanotubes.

Because carbon nanotubes are a recent issue this work will explain from the physical principles of this material until the design of analog integrated circuits. Due the recent utilization of carbon nanotube transistor in analog design, the design methodologies are not developed, thus this work propose a design methodology for it.

To test the proposed methodology, the design of a differential amplifier and a folded cascode amplifier are made, where some comparisons and analysis are made, and the advantages are specified.

Keywords: Carbon Nanotubes, CMOS, Differential Amplifier, Folded Cascode amplifier, analog circuit design.

LISTA DE ILUSTRAÇÕES

FIGURA 1 – Evolução de publicações com nanotubo de carbono. Pesquisa realizada na Web of Science com palavra “Carbon Nanotube”. (FERREIRA, 2003).....	20
FIGURA 2 – Representação da camada de grafeno que ao ser enrolada origina os nanotubos de carbono. (BERKLEY LAB, 2011)	20
FIGURA 3 – Ilustração de uma folha de grafeno à esquerda, nanotubo single-wall (centro) e de paredes múltiplas com três escudos (à direita). (GRAHAM, 2005).....	21
FIGURA 4 – Diagrama da formação de nanotubos de carbono a partir de uma folha de grafeno. (BANKS, 2008).....	22
FIGURA 5 – Geometria dos SWCNT: (A) Nanotubo Armchair, (B) Zigzag e (C) Quiral.(TERRAZOS, 2011).....	22
FIGURA 6 – Elasticidade de um nanotubo de carbono de parede única. (TERRAZOS, 2011).....	24
FIGURA 7 – Ilustração da Estrutura de um CMOS (A) e do CNTFET (B)	24
FIGURA 8 – Estrutura de um Transistor do tipo N	25
FIGURA 9 – Equivalência entre as tecnologias CMOS e CNTFET	26
FIGURA 10 – Gráfico CMOS e CNTFET: $I_{DS} \times V_{DS}$	27
FIGURA 11 – Gráfico CMOS e CNTFET: $I_{DS} \times V_{GS}$	27
FIGURA 12 – Esquemático de um amplificador diferencial	29
FIGURA 13 – Esquemático de um amplificador Folded Cascode.....	32
FIGURA 14 – Metodologia Proposta.....	35
FIGURA 15 – Curva $I_{DS} \times V_{DS}$ para tecnologia CMOS e CNTFET (valores distintos de n)	37
FIGURA 16 – Fluxograma de projeto para Amplificador Diferencial CNTFET.....	37

FIGURA 17 – Fluxograma Projeto Analógico do Amplificador Diferencial CMOS	39
FIGURA 18 – Ponto de operação dos transistores obtidos por simulação elétrica SPICE39	
FIGURA 19 – Diagrama de Bode amplificador diferencial CMOS.....	41
FIGURA 20 – Gráfico do ICMR amplificador diferencial CMOS	41
FIGURA 21 – Gráfico do Slew Rate amplificador diferencial CMOS	42
FIGURA 22 – Simulação do ponto de polarização dos transistores CMOS: (A) M1, (B) M3 e (C) M5.....	44
FIGURA 23 – Simulação do ponto de polarização dos transistores CMOS e CNTFET: (A) M1, (B) M3 e (C) M5.....	45
FIGURA 24 – Esquemático do Amplificador Diferencial CNTFET	46
FIGURA 25 – Diagrama de Bode do amplificador diferencial CNTFET	47
FIGURA 26 – Gráfico do ICMR do amplificador diferencial CNTFET	47
FIGURA 27 – Gráfico do slew rate para o amplificador diferencial CNTFET.....	48
FIGURA 28 – Diagrama de Bode do amplificador diferencial CNTFET versão ajustada	49
FIGURA 29 – Gráfico ICMR do amplificador diferencial CNTFET versão ajustada.....	49
FIGURA 30 – Gráfico do Slew Rate do amplificador diferencial CNTFET versão ajustada.....	50
FIGURA 31 – Diagrama de Bode do amplificador folded cascode CMOS.....	53
FIGURA 32 – Gráfico do ICMR para amplificador folded cascode CMOS.....	55
FIGURA 33 – Gráfico do slew rate do amplificador folded cascode CMOS	55
FIGURA 34 – Gráfico output swing amplificador folded cascode CMOS.....	56

FIGURA 35 – Simulação do ponto de polarização dos transistores CMOS: (A) M1, (B) M3, (C) M4, (D) M6, (E) M8 e (F) M12.....	59
FIGURA 36 – Simulação do ponto de polarização dos transistores CMOS e CNTFET: (A) M1, (B) M3, (C) M4, (D) M6, (E) M8 e (F) M12	61
FIGURA 37 – Diagrama de Bode do amplificador folded cascode CNTFET	62
FIGURA 38 – Gráfico ICMR do amplificador folded cascode CNTFET.....	63
FIGURA 39 – Gráfico Slew Rate amplificador folded cascode CNTFET.....	63
FIGURA 40 – Gráfico do Output Swing do amplificador folded cascode CNTFET.....	64
FIGURA 41 – Diagrama de Bode do amplificador folded cascode CNTFET após ajuste	66
FIGURA 42 – Gráfico do ICMR do amplificador folded cascode CNTFET após ajuste .	66
FIGURA 43 – Gráfico do Slew Rate do amplificador folded cascode CNTFET após ajuste.....	67
FIGURA 44 – Gráfico Output Swing amplificador folded cascode CNTFET após ajuste	67

LISTA DE TABELAS

TABELA 1	23
TABELA 2	40
TABELA 3	40
TABELA 4	42
TABELA 5	43
TABELA 6	46
TABELA 7	48
TABELA 8	50
TABELA 9	51
TABELA 10	52
TABELA 11	53
TABELA 12	54
TABELA 13	56
TABELA 14	57
TABELA 15	64
TABELA 16	65
TABELA 17	68
TABELA 18	68
TABELA 19	69

SUMÁRIO

Errata	2
Agradecimentos	5
RESUMO	7
Abstract	8
Lista de ilustrações	9
Lista de tabelas	12
Sumário	14
1 Introdução	16
2 NANOTUBOS DE CARBONO	19
2.1 <i>Introdução</i>	19
2.2 <i>Princípios Físicos</i>	20
2.3 <i>Aplicações</i>	23
2.4 <i>CNTFET</i>	24
2.4.1 <i>Equivalência entre tecnologia CMOS e CNTFET</i>	25
3 PROJETO DE CIRCUITOS INTEGRADOS ANALÓGICOS CMOS	28
3.1 <i>Introdução</i>	28
3.2 <i>Amplificador Diferencial</i>	29
3.3 <i>Amplificador Folded Cascode</i>	31
4 Metodologia Projeto de Circuitos Analógicos com Nanotubos de Carbono ..	34
4.1 <i>Introdução</i>	34
4.2 <i>Metodologia Proposta</i>	34
5 Projeto de Amplificadores Operacionais com CNTFETs	38
5.1 <i>Introdução</i>	38
5.2 <i>Projeto Amplificador Diferencial CMOS</i>	38
5.3 <i>Projeto Amplificador Diferencial CNTFET</i>	43
5.4 <i>Comparação entre resultados: Amplificador Diferencial CMOS e CNTFET</i>	51
5.5 <i>Projeto Amplificador Folded Cascode CMOS</i>	52
5.6 <i>Projeto de um Amplificador Folded Cascode CNTFET</i>	57
5.7 <i>Comparação entre os resultados obtidos para o Amplificador Folded Cascode CMOS e CNTFET</i>	68
6 Conclusão	70
Referências Bibliográficas	71

Apêndice A – DESCRIÇÃO EM NETLIST PARA AMPLIFICADOR DIFERENCIAL CMOS	73
Apêndice B – DESCRIÇÃO EM NETLIST PARA AMPLIFICADOR DIFERENCIAL CNTFET	74
Apêndice C – DESCRIÇÃO EM NETLIST PARA AMPLIFICADOR FOLDED CASCODE CMOS.....	79
Apêndice D – DESCRIÇÃO EM NETLIST PARA AMPLIFICADOR FOLDED CASCODE CNTFET	81

1 INTRODUÇÃO

Com o processo de evolução dos circuitos integrados, há uma necessidade de redução das dimensões dos transistores para contemplar a crescente demanda por equipamentos com maior velocidade e menor consumo de potência.

Nos dias atuais, a tecnologia CMOS de circuitos integrados é dominante sobre as demais tecnologias de fabricação. Porém, a tecnologia CMOS chegará num ponto em que as limitações físicas serão fatores restritivos para a evolução do processo de fabricação de transistores.

Dessa forma, é necessário constantemente buscar novas alternativas para a substituição da tecnologia CMOS, a fim de obter circuitos com menor consumo de energia, maior velocidade e menor tamanho. Porém, para conseguir projetar circuitos que sejam mais rápidos, é necessário projetar transistores com uma maior capacidade de passagem de corrente, e para que isso seja possível a camada de óxido de silício que serve de isolante entre o Gate e o Bulk na tecnologia CMOS precisa ser cada vez menor. Atualmente, a espessura típica dessa camada (T_{ox}) está na ordem de grandeza de alguns nanômetros, próximo do limite físico.

Neste intuito, um forte substituto da tecnologia CMOS, ou aditivo a esta tecnologia, são os transistores da tecnologia CNTFET, os quais utilizam nanotubos de carbono para compor o canal. Nesta nova tecnologia, a velocidade dos transistores tende a ser de 10 a 100 vezes mais rápidos que a tecnologia CMOS (K. TEO, 2010).

No projeto de circuitos integrados analógicos (circuitos que trabalham com sinais analógicos), praticamente todo o projeto é feito manualmente.

De forma que se consiga dimensionar todos os transistores que compõe um dado circuito em tecnologia CMOS, estas metodologias de projeto estão bastante consolidadas. Esta metodologia trata de uma série de passos em que os valores iniciais de um projeto podem ser estimados através de equações de projeto simplificadas. Com isso, através de equações simples obtêm-se os valores iniciais, e com a utilização de simuladores elétricos, estes valores são ajustados de forma a melhorar as especificações requeridas pelo circuito.

Neste contexto, o projeto de circuitos analógicos em tecnologia CNTFET é um problema, visto que devido à sua recente descoberta, ainda não existem metodologias de projetos para esta tecnologia, motivando, assim, inúmeras pesquisas na área de projeto com estes transistores.

Devido à necessidade do projeto de circuitos em tecnologias que apresentam potencialidades com relação à tecnologia CMOS e à necessidade do desenvolvimento de metodologias de projeto de circuitos integrados analógicos com CNTFETs, este trabalho tem como o objetivo propor uma metodologia de projeto para circuitos integrados analógicos com transistores de nanotubos de carbono.

Com isso, para a validação da metodologia, que é proposta neste trabalho, será feito o projeto de um circuito amplificador diferencial e um amplificador operacional do tipo folded cascode, onde os resultados serão baseados na simulação elétrica destes circuitos.

Para realizar as simulações elétricas da tecnologia CNTFET, foi utilizado um modelo elétrico preditivo (PTM), que nada mais é do que um modelo que prevê como o dispositivo se comportará, para uma tecnologia de 32nm (STANFORD, 2010). Para a tecnologia CMOS também foi utilizado um modelo preditivo de 32nm (BERKLEY, 2010). Quanto ao ambiente computacional, será utilizado o simulador elétrico HSPICE®, devido ao mesmo ser compatível com os modelos utilizados.

Para verificação das formas de onda serão utilizados o software CosmoScope® e o software MATLAB®, quando necessário. Após o dimensionamento dos transistores para ambas as tecnologias, será realizada uma comparação entre elas, a fim de verificar as vantagens e desvantagens de cada uma.

Este trabalho está dividido em seis capítulos, como segue: o primeiro capítulo aborda uma ideia geral do que será apresentado neste trabalho; no segundo capítulo será apresentado os nanotubos de carbono, quais são os princípios físicos, aplicações e equivalência entre as tecnologias; o terceiro capítulo aborda, de modo geral, o projeto de circuitos analógicos, bem como a análise dos blocos básicos que serão projetados; o quarto capítulo descreve a metodologia proposta com nanotubos de carbono para o projeto de circuitos analógicos; o quinto capítulo apresenta o projeto dos amplificadores operacionais para a tecnologia com nanotubos de carbono e o sexto capítulo apresenta as considerações finais do trabalho.

2 NANOTUBOS DE CARBONO

2.1 Introdução

A teoria dos nanotubos de carbono (CNTs) é recente e, com isso, se encontra ainda em seus estágios iniciais de desenvolvimento (JEVEY, 2003), (BACHTOLD, 2001). De acordo com pesquisas realizadas, foi constatado que os CNTs são o tema da atualidade na física, de acordo com o ranking 2006 de diferentes campos científicos publicados na literatura (BANKS, 2008). O interesse pelo assunto tem sido impulsionado devido às propriedades excepcionais em escala nanométrica, combinada com a facilidade de investigação teórica, devido ao número relativamente limitado de átomos de CNTs (ARTACHO,1999).

Os nanotubos de carbono são uma nova classe de materiais descoberto por (IJIMA, 1991). Sete anos depois, em 1998, foi criado na Holanda o primeiro transistor de nanotubo de carbono, mas as aplicações ficaram restritas aos laboratórios, a produção era de poucas unidades e o preço era muito elevado. Somente a partir de 2003 métodos mais eficientes de produção baixaram os custos do nanotubo, permitindo aplicações comerciais, provocando um grande interesse pelos pesquisadores (SANTOS, 2010).

Desde então se tem verificado um crescimento exponencial do número de publicações científicas anuais, relacionadas com as estruturas citadas desde sua descoberta (FERREIRA, 2003), conforme mostra a FIGURA 1 com o gráfico da evolução de publicações nesta área.

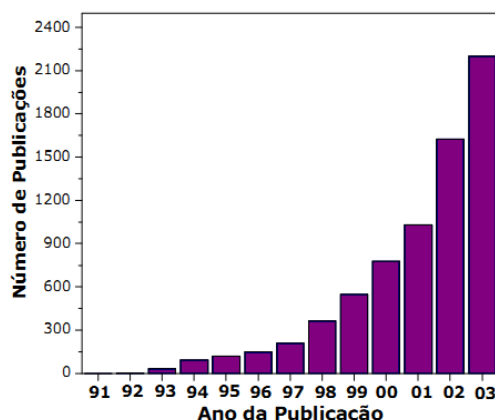


FIGURA 1 – Evolução de publicações com nanotubo de carbono. Pesquisa realizada na Web of Science com palavra “Carbon Nanotube”. (FERREIRA, 2003)

2.2 Princípios Físicos

Primeiramente, para que haja um maior entendimento, é necessário compreender o que são os nanotubos de carbono. Eles são cilindros ocos compostos de uma ou mais camadas concêntricas de átomos de carbono similar a um favo de mel reticulado. A formação deles se dá a partir de uma folha de grafeno enrolada em que as bordas das folhas são unidas para formar um tubo sem costura, produzindo, assim, cilindros perfeitos.

A força motriz para a formação das nanoestruturas fechadas de carbono tem sido atribuída à instabilidade do grafite em dimensões nanométricas, provocada pela alta energia das ligações erráticas em átomos periféricos (AJAYAN, 1999). A FIGURA 2 representa como é formado o nanotubo de carbono.

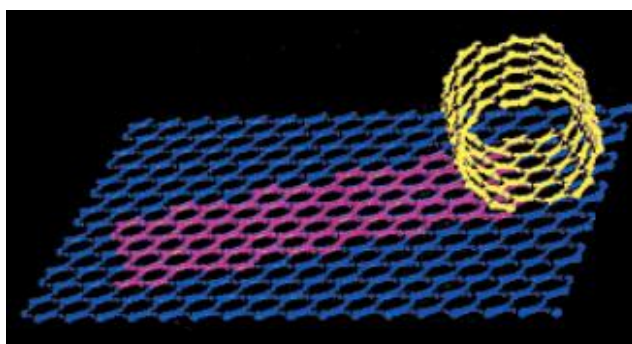


FIGURA 2 – Representação da camada de grafeno que ao ser enrolada origina os nanotubos de carbono. (BERKLEY LAB, 2011)

Os CNT's se dividem em duas categorias: (i) nanotubos de parede única ou simples (SWCNTs, do inglês *single-wall nanotubes*) descoberto por (IIJIMA, 1991), que são constituídos por apenas uma camada cilíndrica de grafite, e (ii) nanotubos multicamadas (MWCNTs, do inglês *multi-wall nanotubes*), descoberto por (IIJIMA, 1991) e (BETHUNE, 1993), que são constituídos por vários cilindros concêntricos de grafite, espaçados de 0,34 – 0,36 nm um do outro (RAO, 2011). A FIGURA 3 ilustra ambas as categorias.

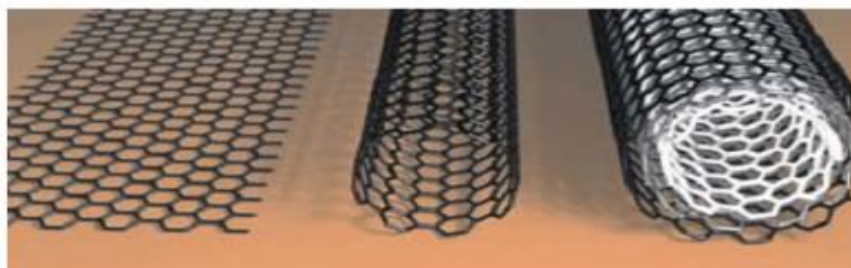


FIGURA 3 – Ilustração de uma folha de grafeno à esquerda, nanotubo single-wall (centro) e de paredes múltiplas com três escudos (à direita). (GRAHAM, 2005)

É necessário ressaltar, que ao alterar a direção da camada de grafite são gerados alguns tipos de nanotubos. Dessa maneira, os nanotubos são definidos por um vetor quiral. O vetor quiral C_h é definido pela equação abaixo:

$$C_h = na_1 + ma_2 \quad (1)$$

Aqui, a_1 e a_2 , são vetores unitários do retículo do grafeno, e n e m são números inteiros (direção de x e y na camada de grafeno), conforme ilustra a FIGURA 4. O vetor quiral C_h conecta dois pontos cristalograficamente sobre a camada 2D do grafeno. O ângulo quiral, é o ângulo em relação à direção zigzag. Cada par (m,n) , gera um modo diferente de enrolar a camada de grafite, construindo, assim, uma quiralidade diferente para o nanotubo de carbono. A FIGURA 5 apresenta a geometria dos CNTs de uma única parede.

De acordo com a construção do vetor quiral, os nanotubos recebem denominações especiais: nanotubos $(n = m)$ são denominados nanotubos *armchair*, enquanto nanotubos $(n, 0)$ são denominados *zigzag* e os nanotubos (n, m) , com $n \neq m$ e $m \neq 0$, são denominados *quirais*.

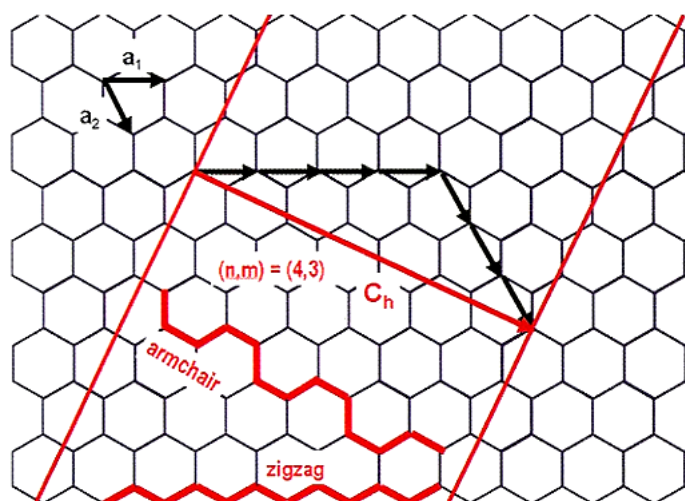


FIGURA 4 – Diagrama da formação de nanotubos de carbono a partir de uma folha de grafeno. (BANKS, 2008)

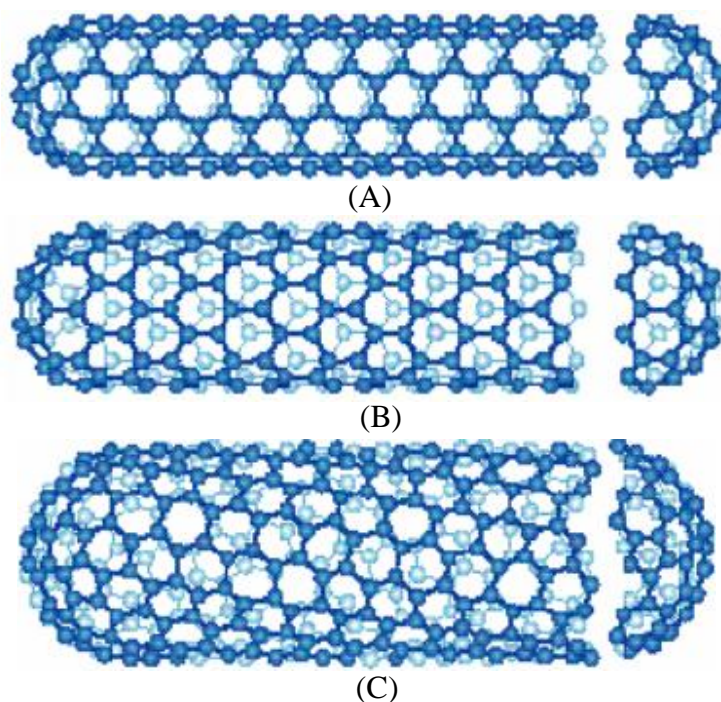


FIGURA 5 – Geometria dos SWCNT: (A) Nanotubo Armchair, (B) Zigzag e (C) Quiral. (TERRAZOS, 2011)

No caso deste trabalho, como a tecnologia usada dos nanotubos de carbono é de 32 nm e $n=19$ e $m=0$, o que gera o caso ($n \neq 0$ e $m=0$). Dessa forma, os nanotubos são do tipo zigzag. O cálculo do valor do diâmetro do nanotubo foi baseado na Equação (2).

$$D = a.s \sqrt{n^2 + m^2} + (n.m) / \pi \quad (2)$$

Com base no cálculo foi obtido que um nanotubo de carbono possui um diâmetro de 1,5089 nm.

Quanto às propriedades dos SWCNT, elas são influenciadas diretamente pelo seu diâmetro, principalmente as propriedades eletrônicas, pois, dependendo de como eles são enrolados apresentam comportamento metálico ou semicondutor dependendo da simetria, no caso do tipo zigzag, ele é um material semicondutor.

2.3 Aplicações

No campo da nanotecnologia, os CNT's são muito utilizados, pois as propriedades elétricas, magnéticas, ópticas e mecânicas, os tornam, alvos de inúmeras aplicações. Como exemplo, pode-se citar, na área elétrica, que os CNT's têm sido utilizados como fonte de elétrons para displays de tela plana, sensores, condutores balísticos. Atualmente as aplicações mais difundidas são em reforço de materiais como plástico, cimento e tecidos. Porém, para os próximos cinco a dez anos é esperada a disseminação do uso na área da eletrônica.

Outro fator importante é quanto à alta condutividade térmica. Os nanotubos de carbono são ótimos condutores de elétrons e calor. A TABELA 1 apresenta uma comparação entre o nanotubo de carbono com o diamante. Outra característica importante dos nanotubos de carbono se dá ao fato de apresentarem um alto poder de elasticidade quando submetidos a altas tensões de ruptura. A FIGURA 6 ilustra a elasticidade de um nanotubo de carbono de uma única parede.

TABELA 1
Comparação Condutividade Térmica (TERRAZOS, 2011)

Materiais	Condutividade Térmica [W/m.K]
Diamante	3320 W/m. K
Nanotubos de Carbono	6600 w/m. K

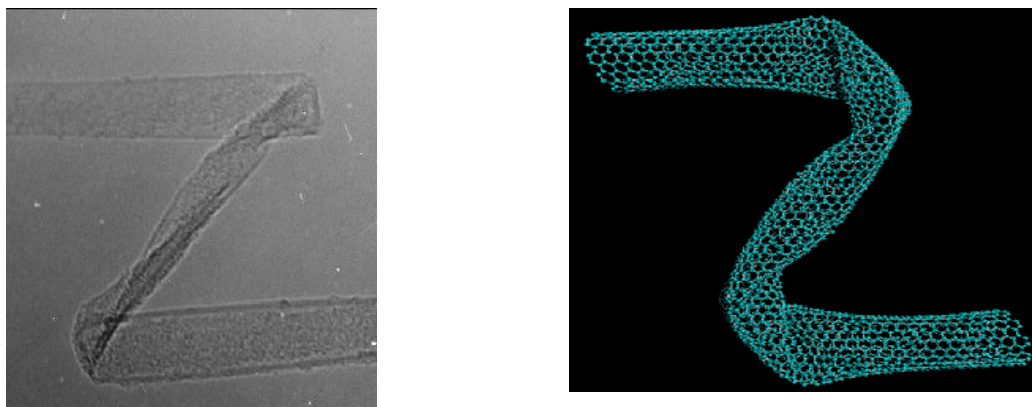


FIGURA 6 – Elasticidade de um nanotubo de carbono de parede única. (TERRAZOS, 2011)

2.4 CNTFET

Os transistores de nanotubo de Carbono são originários do termo inglês *Carbon Nanotube Field Effect Transistors (CNTFET)*.

A estrutura de um CNTFET é composta por 4 terminais: Gate, Dreno, Source, Bulk. A designação de seus terminais é idênticas às de um transistor CMOS. Esta igualdade se deve ao fato de um transistor CNTFET possuir a mesma forma construtiva de um transistor CMOS, sendo que no CNTFET a região do canal do transistor CMOS é substituída por um nanotubo de carbono, conforme apresenta a FIGURA 7.

Conforme explicado anteriormente, sabe-se que os CNTs são compostos por tubo de grafeno (IJIMA, 1991) e (BETHUNE, 1993). Então, por exemplo, ao analisar um transistor CMOS (ALLEN, 2002) e (SEDRA, 2000) do tipo N, quando é aplicada uma diferença de potencial no terminal de gate, existe uma corrente que flui de dreno para source se houver uma diferença de potencial entre dreno e source, como . Porém nos CNTFET's ocorre o transporte balístico dos portadores (devido ao nanotubo de carbono), resultando assim em uma maior intensidade de corrente elétrica.



FIGURA 7 – Ilustração da Estrutura de um CMOS (A) e do CNTFET (B)

2.4.1 Equivalência entre tecnologia CMOS e CNTFET

Para a tecnologia CMOS, como se sabe, para o projetista de circuitos analógicos integrados as variáveis livres são: o W (largura do canal) e o L (comprimento do canal). Porém para a tecnologia CNTFET, são encontradas algumas restrições quanto à largura do canal. Em um transistor CMOS a largura de canal (W) pode ser variada continuamente dentro de uma resolução da tecnologia de fabricação. Já na tecnologia CNTFET, a largura do canal é dada pelo número de nanotubos de carbono que ligam a região de dreno e source. Assim, o valor de W trata-se de um valor discreto, dependente do número de nanotubos que o transistor é constituído.

Para o comprimento do canal (L), nenhuma restrição é aplicada devido o L tratar do comprimento do nanotubo de carbono. Como mostrado em um dos itens anteriores, dependendo da forma como o nanotubo é enrolado, ele apresenta valores diferentes do diâmetro. No caso do nanotubo do tipo zigzag, com base nos cálculos, foi obtido que ele possui um diâmetro de aproximadamente 1,51nm.

Sendo assim, para realizar a simulação elétrica, de forma a comparar o funcionamento de ambas as tecnologias, é necessário utilizar o mesmo valor de W e L em ambos os transistores, de forma obter informações coerentes. Então, tomou-se como base realizar a simulação elétrica de um transistor do tipo N, como ilustra a FIGURA 8.

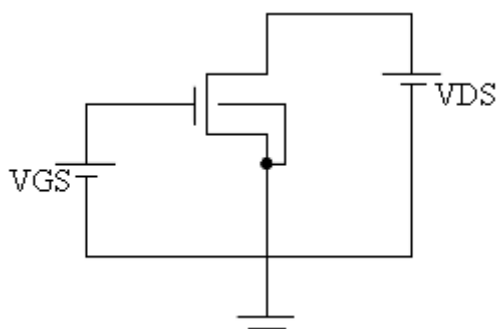


FIGURA 8 – Estrutura de um Transistor do tipo N

Foram utilizados modelos preditivos da tecnologia CNTFET propostos em (STANFORD, 2010) e modelos preditivos para a tecnologia CMOS de 32nm (BERKLEY, 2010). O simulador elétrico utilizado foi o HSPICE®. Para verificação das formas de onda foi utilizado o ambiente computacional CosmoScope® e posteriormente, foram traçadas as curvas com o auxílio do software MATLAB®.

Sendo assim, para realizar a simulação, por exemplo de um transistor do tipo N, foi utilizado um W de 300nm e um L de 32nm para a tecnologia CMOS. Conseqüentemente, como se sabe que o diâmetro do nanotubo é de aproximadamente 1,51 nm, para obter a equivalência é necessário, associar 198 nanotubos em paralelo e um L de 32nm na tecnologia CNTFET, o que resulta em transistores com largura de canal de 300nm e o comprimento de 32nm, para ambas as tecnologias. A FIGURA 9 ilustra a equivalência das tecnologias.

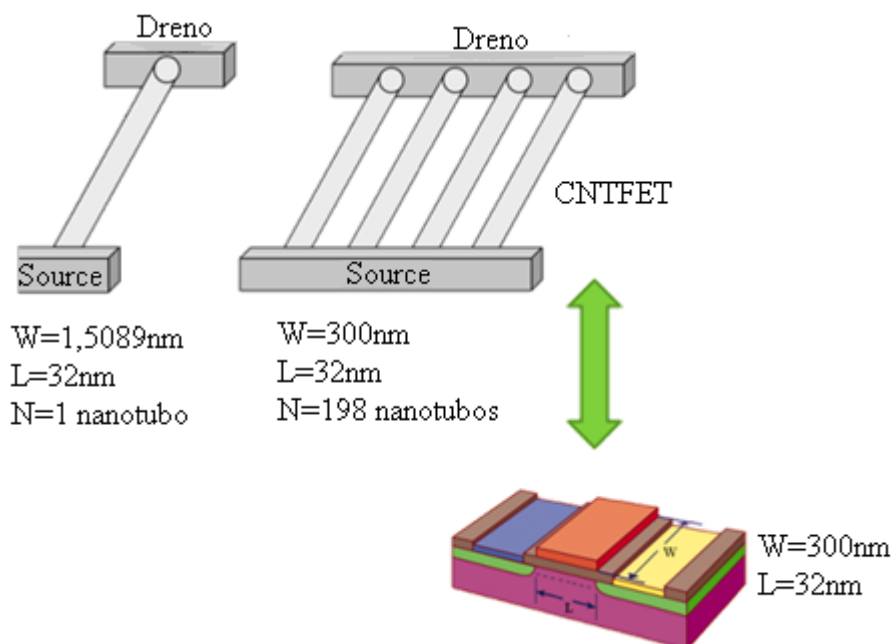


FIGURA 9 – Equivalência entre as tecnologias CMOS e CNTFET

Descrevendo os circuitos e realizando simulações elétricas, foram traçadas as duas curvas características dos dispositivos, as quais são a variação na corrente que flui de dreno para source devido à variação na diferença de tensão entre dreno e gate ($I_{DS} \times V_{DS}$) e devido à variação na tensão gate-source ($I_{DS} \times V_{GS}$). Estas curvas são mostradas na FIGURA 10 e na FIGURA 11, respectivamente.

Analisando os resultados obtidos, é possível perceber que, para a simulação $I_{DS} \times V_{DS}$, fixando o valor da tensão de gate em 1V e variando os valores de dreno de 0 a 1V, o nível de corrente da tecnologia CNTFET foi aproximadamente 10 vezes maior que o CMOS. Como a velocidade de um dispositivo é proporcional à corrente elétrica, se pode afirmar que a velocidade do CNTFET foi aproximadamente 10 vezes maior que a tecnologia CMOS. Posteriormente, realizando a simulação de $I_{DS} \times V_{GS}$, fixando o valor de dreno em 1V e variando o valor da porta de 0 a 1V, observa-se que a tensão de threshold (tensão na qual o dispositivo co-

meça a conduzir), para o CMOS foi de aproximadamente 0,35V enquanto para o CNTFET foi de aproximadamente 0,30V. Então, com base nos resultados, é possível verificar que os dispositivos CNTFET apresentam um melhor desempenho, quando comparados com a tecnologia CMOS.

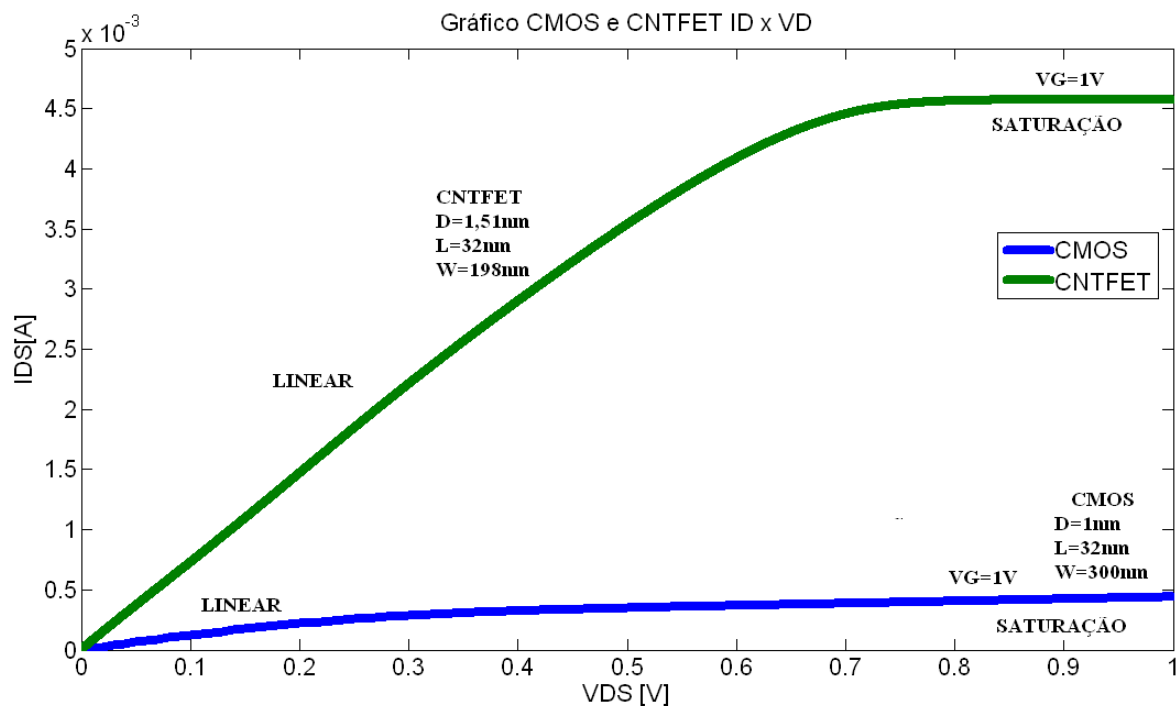


FIGURA 10 – Gráfico CMOS e CNTFET: $I_{DS} \times V_{DS}$

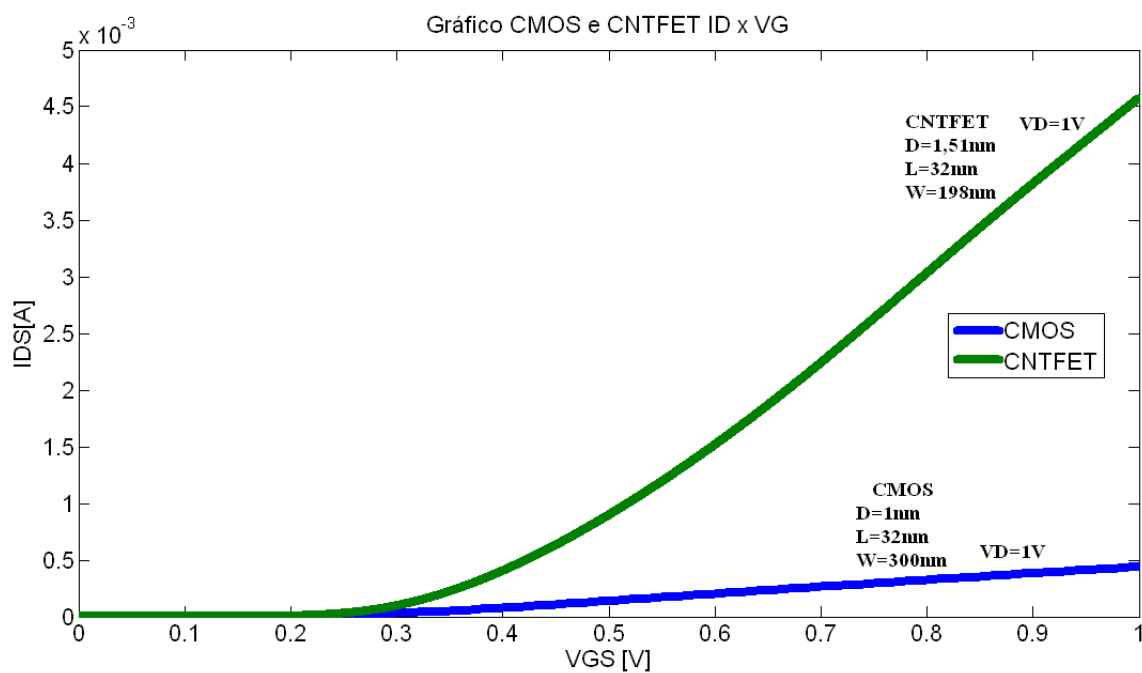


FIGURA 11 – Gráfico CMOS e CNTFET: $I_{DS} \times V_{GS}$

3 PROJETO DE CIRCUITOS INTEGRADOS ANALÓGICOS CMOS

3.1 Introdução

Os circuitos integrados são circuitos eletrônicos construídos em pastilhas micrométricas de silício. Segundo (SEDRA, 2010) eles são divididos em: circuitos digitais, circuitos analógicos e circuitos mistos.

Os circuitos digitais trabalham com sinais discretos em amplitude e tempo. Já os circuitos analógicos trabalham com sinais contínuos em amplitude e tempo e os mistos são circuitos que possuem tanto partes digitais quanto analógicas.

Neste trabalho será abordado o projeto de circuitos integrados analógicos. No projeto de um circuito integrado analógico o projetista deve dimensionar cada um dos transistores que compõe o circuito, baseado em uma metodologia de projeto. Esta metodologia é normalmente composta por uma série de passos, onde as dimensões dos transistores (W e L) são calculadas através de expressões matemáticas (ALLEN, 2002).

Assim, este capítulo apresentará duas topologias de circuitos integrados analógicos, o circuito amplificador diferencial e o circuito amplificador folded cascode e exemplificará uma metodologia de projeto baseada em equações analíticas que modelam o comportamento elétrico destes circuitos.

3.2 Amplificador Diferencial

O amplificador diferencial é um circuito integrado analógico que possui inúmeras aplicações. Segundo (ALLEN, 2002) este circuito é utilizado como estágio de entrada na maioria dos circuitos amplificadores diferenciais.

O funcionamento deste circuito se dá de forma a amplificar a diferença de tensão entre as suas entradas. Assim, a saída do circuito corresponderá à diferença de tensão entre suas entradas multiplicada por um valor de ganho. O circuito esquemático de um amplificador diferencial pode ser visualizado na FIGURA 12.

Como pode-se verificar, o amplificador diferencial é formado por um par diferencial (M1 e M2) um espelho de corrente de carga ativa (M3 e M4) e um espelho de corrente de referência (M5 e M6). Os principais parâmetros do circuito são: ganho de tensão em baixa frequência (A_{v0}), slew-rate (SR), produto ganho-largura de faixa (GBW), faixa de tensão no modo comum de entrada (ICMR), área (A) e potência dissipada (P_{diss}).

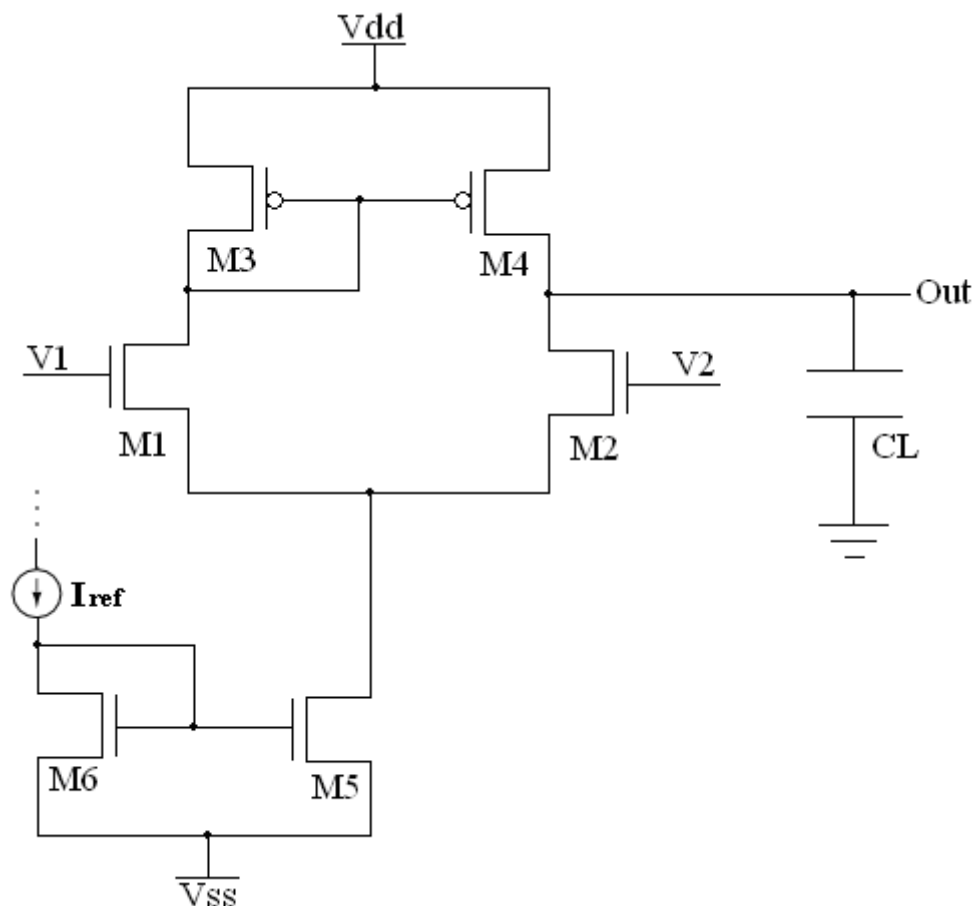


FIGURA 12 – Esquemático de um amplificador diferencial

O ganho em baixa frequência é a relação entre a tensão de entrada e de saída, que para pequenos sinais é definido conforme a Equação (3):

$$A_{v_0} = \frac{g_{m1}}{g_{ds2} + g_{ds4}} \quad (3)$$

onde, g_{m1} é a transcondutância de gate do transistor M1 e g_{ds2} e g_{ds4} são as condutâncias de saída de M2 e M4, respectivamente. O slew-rate (SR) é a velocidade de resposta do amplificador em relação à variação de tensão em suas entradas (atraso). Estas especificações referem-se ao tempo necessário para carregar ou descarregar as capacitâncias de saídas. Para o cálculo do SR é seguida a equação:

$$SR = \frac{I_{ref}}{C_1} \quad (4)$$

onde, I_{ref} é a corrente de referência do espelho de corrente formado pelos transistores M5 e M6 e C_1 é a capacitância total de saída. Esta capacitância é estimada com a soma da capacitância de carga C_L e as capacitâncias de dreno de M2 e M4. A faixa de tensão no modo comum de entrada (ICMR) é a máxima, conforme (5), ou mínima tensão de entrada no modo comum, definida em (6):

$$ICMR^+ = V_{DD} + V_{GS3} + V_{TN1} \quad (5)$$

$$ICMR^- = V_{DS5(sat)} + V_{GS1} + V_{SS} \quad (6)$$

onde $V_{dss5(sat)}$ é a tensão de saturação do transistor M5, V_{GS1} e V_{GS3} são as tensões entre gate e fonte de M1 e M3, respectivamente, V_{DD} e V_{SS} são as fontes de alimentação do circuito e V_{TN} é a tensão de threshold do transistor tipo N. Já o produto ganho-largura de faixa é dado pela equação (7).

$$GBW = \frac{g_{m1}}{C_L} \quad (7)$$

onde g_{m1} é a transcondutância do transistor M1 e C_L é as capacitâncias. A potência dissipada e a área de gate para o amplificador diferencial CMOS é dada pela equação (8) e (9)

$$P_{diss} = (V_{DD} + |V_{SS}|) \cdot I_{ref} \quad (8)$$

$$\text{Área} = (2 \cdot W_1 \cdot L_1) + (2 \cdot W_3 \cdot L_3) + (2 \cdot W_5 \cdot L_5) \quad (9)$$

onde, W_1 , W_3 e W_5 são as larguras e L é o comprimento dos transistores M_1 , M_3 e M_5 . As variáveis livres de projeto são as dimensões W e L dos transistores M_1 , M_3 e M_5 , além da corrente de referência I_{ref} .

Dessa forma, baseando-se nas equações anteriores, os valores iniciais para estas variáveis podem ser estimados através de cálculos manuais utilizando um modelo simplificado do transistor. Essa metodologia de projeto é proposta por (ALLEN, 2002).

3.3 Amplificador Folded Cascode

O Amplificador folded cascode é semelhante ao amplificador diferencial, porém ele possui 2 estágios, aumentando assim o ganho do circuito (SEDRA, 2000). A FIGURA 13 apresenta o esquemático do Folded Cascode, que é composto por um par diferencial de entrada M_1 e M_2 e um espelho de corrente do tipo cascode. Dessa forma, neste circuito, temos que $(M_1 = M_2)$, $(M_3 = M_{15})$, $(M_4 = M_5 = M_{14})$, $(M_6 = M_7 = M_{13})$, $(M_8 = M_9 = M_{10} = M_{11})$.

Quanto à metodologia de projeto para o amplificador Folded Cascode, foi baseada no modelo proposto por (ALLEN, 2002). Os parâmetros do circuito são: slew-rate (SR), tensões máximas e mínimas de saída (output swing), ganho para baixas frequência, produto ganho-largura de faixa (GBW), faixa de tensão no modo comum de entrada (ICMR), potência dissipada (P_{diss}), área. A equação 8 apresenta a equação do Slew Rate.

$$SR = \frac{I_3}{C_L} \quad (8)$$

onde, I_3 é a corrente que passa pelo transistor M_3 , e C_L é a carga aplicada na saída do circuito. A faixa de tensão no modo comum de entrada (ICMR) é a máxima, conforme (9) ou mínima tensão de entrada no modo comum, definido conforme mostra (10):

$$ICMR^+ = \frac{1}{\sqrt{\frac{K_p \cdot W_4}{2 \cdot I_4}}} \quad (9)$$

onde K_p é obtido dos parâmetros do modelo, W_4 é a largura transistor 4 e I_4 é a corrente que passa no transistor M4.

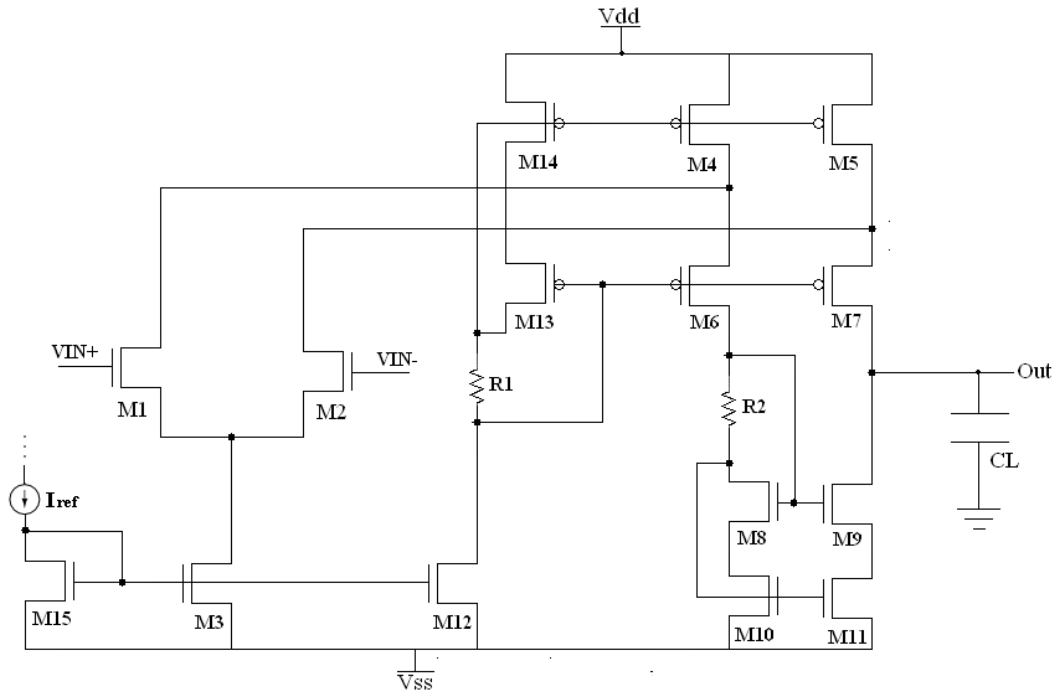


FIGURA 13 – Esquemático de um amplificador Folded Cascode.

Quanto à metodologia de projeto para o amplificador Folded Cascode, foi baseada no modelo proposto por (ALLEN, 2002). Os parâmetros do circuito são: slew-rate (SR), tensões máximas e mínimas de saída (output swing), ganho para baixas frequência, produto ganho-largura de faixa (GBW), faixa de tensão no modo comum de entrada (ICMR), potência dissipada (P_{diss}), área. A equação 8 apresenta a equação do slew rate.

$$ICMR = \frac{2 \cdot I_3 + V_{SS} + \frac{\sqrt{I_3}}{K_n \cdot S_1} + V_{th}^2}{S_3^2 \cdot K_n} \quad (10)$$

onde, I_3 é a corrente que passa pelo transistor M_3 , K_n é parâmetro de transcondutância, V_{SS} é a tensão de alimentação negativa do circuito, V_{th} é a tensão de threshold e o S_3 é a relação (W/L) do transistor M_3 . Já o produto ganho-largura de faixa é dado pela equação (12).

$$GBW = \frac{g_{m1}}{C_L} \quad (11)$$

onde, g_{m1} é a condutância do transistor M_1 e C_L é a carga aplicada na saída do circuito. Para o cálculo das tensões máximas de saída conforme (12) e as tensões mínimas de saída conforme (13)

$$\text{Output_swing}^+ = \frac{V_{SD7\text{ sat}}}{2 - V_{dd}} \quad (12)$$

onde $V_{SD7\text{ sat}}$ é a tensão de saturação do transistor M_7 e V_{dd} é a tensão de alimentação positiva do circuito.

$$\text{Output_swing}^- = \frac{V_{SD11\text{ sat}}}{2 - V_{ss}} \quad (13)$$

onde $V_{SD11\text{ sat}}$ é a tensão de saturação do transistor M_{11} e V_{ss} é a tensão de alimentação negativa do circuito. O ganho em baixa frequência é a relação entre a tensão de entrada e saída, a qual para pequenos sinais é definido conforme (14)

$$A_{v_0} = \left(2 + \frac{R_9 \cdot (g_{ds_2} + g_{ds_4})}{2 + (2 \cdot R_9 \cdot (g_{ds_2} + g_{ds_4}))} \right) \cdot g_m \cdot R_{II} \quad (14)$$

onde g_{ds_2} e g_{ds_4} são os valores da condutância dos transistores M_2 e M_4 , respectivamente, g_m é a transcondutância e R_{II} é derivado do modelo de pequenos sinais para o amplificador e trata-se de uma associação de condutâncias e transcondutâncias do circuito. A potência dissipada e a área para o amplificador folded cascode é dada pela equação (15) e (16)

$$P_{diss} = (V_{dd} - V_{ss}) \cdot (I_3 + I_{12} + I_{10} + I_{11}) \quad (15)$$

$$\text{Área} = (W_1 \cdot L_1) \cdot 2 + (W_3 \cdot L_3) \cdot 2 + (W_4 \cdot L_4) \cdot 3 + (W_7 \cdot L_7) \cdot 3 + (W_8 \cdot L_8) \cdot 4 + (W_{12} \cdot L_{12}) \quad (16)$$

onde, os valores dos W e L representados são os valores do canal e comprimento dos transistores.

As variáveis do projeto são as dimensões W e L dos transistores M_1 , M_3 , M_4 , M_6 , M_8 , M_{12} , fonte de corrente e resistores (ALLEN, 2002). Baseando-se nas equações anteriores, os valores iniciais para estas variáveis, podem ser estimados através de cálculos manuais utilizando um modelo simplificado do transistor.

4 METODOLOGIA DE PROJETO DE CIRCUITOS ANALÓGICOS COM NANOTUBOS DE CARBONO

4.1 Introdução

Como visto no Capítulo 2, para o projeto de circuitos integrados analógico deve-se seguir uma metodologia de projeto de forma que o valor das dimensões dos transistores (W e L) seja calculado.

Neste contexto, devido à relativamente recente descoberta dos transistores CNTFET, ainda não se tem metodologias de projeto de circuitos integrados analógicos com este transistores.

Dessa forma, é proposto nesse capítulo o desenvolvimento de uma metodologia de projeto de circuitos integrados em tecnologia CNTFET, tendo como base o projeto em tecnologia CMOS, cujas metodologias já são conhecidas.

4.2 Metodologia Proposta

Visto a necessidade de uma metodologia para o projeto de circuitos integrados analógicos em tecnologia CNTFET e também a existência de metodologias de projeto simplificadas para a tecnologia CMOS, é proposta uma metodologia para projeto de CNTFET cuja base é a tecnologia CMOS. Para o projeto de um circuito integrado analógico em tecnologia CMOS, primeiramente são necessárias as equações simplificadas que modelam o comportamento do circuito. Assim é possível relacionar as características do circuito (especificações) com o tamanho de cada um dos transistores. Partindo destas equações pode-se obter uma solução inicial para o circuito.

Esta solução inicial, em geral, não atinge todos os parâmetros necessários do circuito, como por exemplo, mínimo ganho, velocidade de resposta, entre outros. Com isso as especificações dos circuitos são analisadas utilizando simulação elétrica, a qual se utiliza de modelos cuja aproximação com o mundo real é muitas vezes melhor do que as equações simplificadas de projeto. Baseando-se nos resultados da simulação elétrica, pode-se verificar com precisão o valor das especificações do circuito. Nas metodologias de projetos em tecnologia CMOS, também são conhecidos os transistores de um dado circuito que afetam mais algumas especificações de projeto, assim, caso alguma especificação não atinja o valor requerido, deve-se fazer um ajuste fino nestes transistores de forma a obter uma solução de circuito que atinja os requerimentos mínimos.

Após a validação do projeto em tecnologia CMOS parte-se então para a metodologia proposta, a qual é nada mais do que uma transcrição de transistores de uma tecnologia para a outra, de forma a encontrar o mesmo ponto de polarização. A FIGURA 14 apresenta o conceito geral da metodologia proposta.

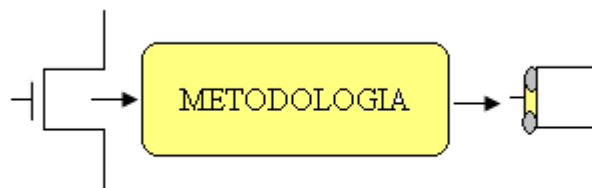


FIGURA 14 – Metodologia Proposta

Analisando a FIGURA 14, é possível compreender em linhas gerais, que a partir da metodologia CMOS existente, será proposta uma metodologia CNTFET e posteriormente validada através das simulações elétricas.

O fluxograma desta metodologia é mostrado na FIGURA 16, onde a parte inicial se refere ao projeto do circuito em tecnologia CMOS, como explicado anteriormente. Para melhor explicar a metodologia proposta, será apresentado os passos que devem ser seguidos para realizar o projeto.

Primeiro Passo: Após realizar o projeto em tecnologia CMOS, é necessário extrair os dados de polarização de cada um dos transistores, dados estes que se referem a tensão gate-source (V_{GS}), tensão dreno-source (V_{DS}) e tensão bulk-source (V_{BS}). Segundo Passo: Com ba-

se nesses valores, é realizada a simulação $I_{DS} \times V_{DS}$ e $I_{DS} \times V_{GS}$ para cada um dos transistores, onde o objetivo é observar o ponto de polarização destes transistores. Terceiro Passo: É necessário realizar a simulação elétrica de $I_{DS} \times V_{DS}$ e $I_{DS} \times V_{GS}$ para cada um dos transistores com CNTFET's, adotando os mesmos valores da tensão de dreno - source (V_{DS}) e da tensão de gate - source (V_{GS}). Quarto Passo: Traçar em um mesmo gráfico o resultado obtido para um único transistor da tecnologia CMOS e para o CNTFET e variar o valor do número de nanotubos associados em paralelos (n) e o comprimento do canal (L) para a tecnologia CNTFET de forma que o ponto de polarização de ambas as tecnologias estejam operando na mesma região. A FIGURA 15 apresenta como exemplo a simulação da curva $I_{DS} \times V_{DS}$ para um transistor CMOS e um transistor CNTFET com três valores distintos de n (número de nanotubos em paralelo). Ao observar o gráfico, é possível verificar que é adotado como referência a curva para a tecnologia CMOS (mostrada em rosa) no gráfico, e a partir dela, foi variado o número dos nanotubos de carbono para a tecnologia CNTFET até encontrar o mesmo ponto de polarização para ambas as tecnologias.

Neste exemplo, a curva em verde aproxima-se muito bem do ponto de polarização do transistor CMOS (onde foram utilizados 4 tubos). Porém, é verificado que muitas vezes pode não ser possível aproximar o ponto de operação de um transistor CMOS com um transistor CNTFET. Como pode ser visualizado na FIGURA 15, em azul temos a curva com 3 nanotubos e em vermelho a curva com 5 nanotubos. Dessa forma, é possível verificar, que a variação nos transistores CNTFET é discreta (número de nanotubos). Com isso deve-se adotar os valores de n e L que melhor aproximam a curva CMOS.

Quinto Passo: Após realizar este procedimento para todos os transistores que compõem um dado circuito analógico, obtém-se todas as dimensões do circuito com transistores CNTFET (n e L). Sexto Passo: Nesta etapa do projeto deve-se simular o circuito com transistores CNTFETs utilizando os valores obtidos no passo anterior. Com isso, podem-se verificar as características ou especificações do projeto através da simulação elétrica. Caso estas especificações atinjam as especificações impostas ao projeto então o mesmo está pronto. Caso as especificações não sejam atendidas, deve-se fazer alguns ajustes variando-se n e L dos transistores que mais influenciam a especificação não atingida, de forma que seu valor se aproxime ao valor requerido.

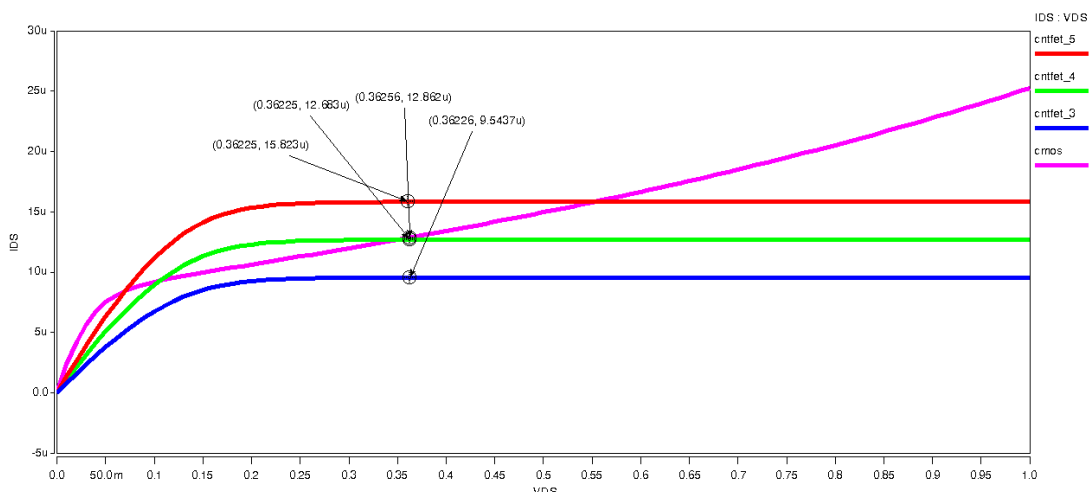


FIGURA 15 – Curva I_{DS} x V_{DS} para tecnologia CMOS e CNTFET (valores distintos de n)

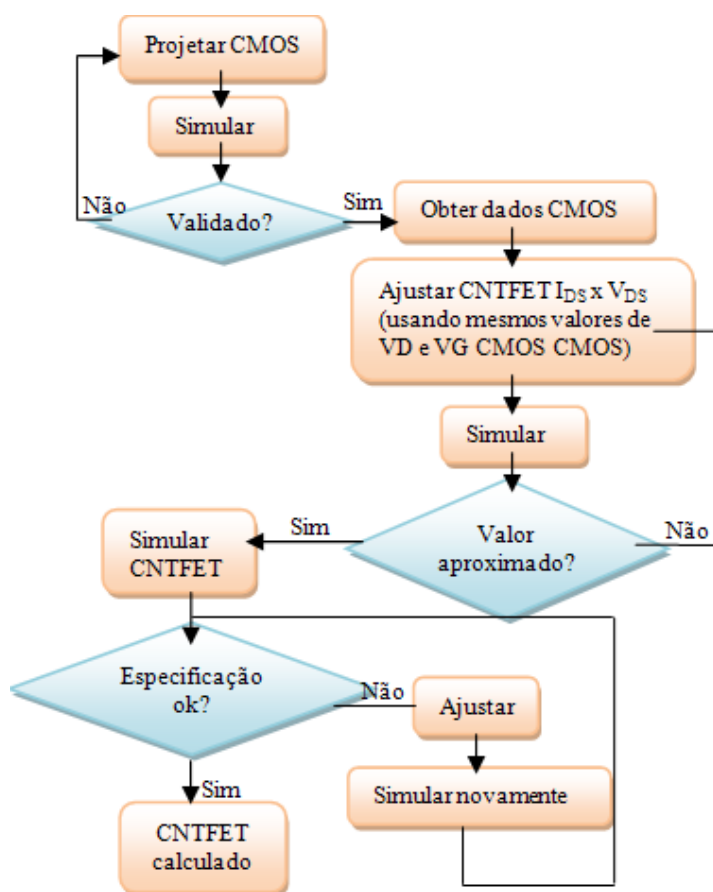


FIGURA 16 – Fluxograma de projeto para Amplificador Diferencial CNTFET

O fato de uma especificação não estar dentro do valor requerido se deve principalmente ao fato de que não se consegue uma aproximação perfeita entre as tecnologias. Assim, o ponto de operação não será o mesmo e será necessário realizar alguns ajustes até que ambas as tecnologias tenham o mesmo ponto de polarização.

5 PROJETO DE AMPLIFICADORES OPERACIONAIS COM CNTFETS

5.1 Introdução

No capítulo anterior, foi proposta a metodologia, do projeto em tecnologia CNTFET, com base na tecnologia CMOS. Neste capítulo, a metodologia proposta será utilizada no projeto de um amplificador diferencial e de um amplificador folded cascode.

5.2 Projeto Amplificador Diferencial CMOS

Para realizar o projeto do amplificador diferencial CMOS, o primeiro passo é verificar as especificações de projeto e posteriormente, escolher uma metodologia de projeto, que no caso deste trabalho, será baseando-se na metodologia proposta por (ALLEN, 2002). A FIGURA 17 apresenta o fluxograma de projeto a ser seguido para projetar um amplificador diferencial CMOS.

Para este projeto, através da metodologia e das especificações requeridas, é possível obter valores iniciais para o projeto. Após isso, baseando-se na simulação elétrica, as especificações do circuito são calculadas. Caso as especificações atingirem os valores requeridos, o circuito está projetado. Caso contrário devem-se ajustar as variáveis livres do projeto (W , L , I_{ref}) de forma a satisfazer estas especificações impostas.

Na etapa de ajuste, uma importante ferramenta de auxílio no projeto é a simulação do ponto de operação, pois nesta os dados de tensão e corrente dos transistores são mostrados e é

possível verificar o ponto de polarização de cada transistor. A saturação dos transistores é uma característica que se busca no projeto de amplificadores. Dessa forma, os ajustes do projeto são realizados de forma que todos os transistores do circuito estejam operando em saturação. Na FIGURA 18 é apresentada a simulação do ponto de operação.

Muitas vezes esta etapa de projeto é difícil devido ao número de possibilidades que podem existir. Assim, muitas vezes, alterações que melhoram uma especificação podem piorar outra. As especificações requeridas para projetar o amplificador diferencial, estão mostradas na TABELA 2.

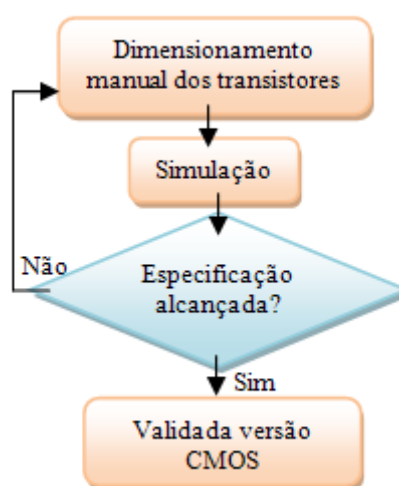


FIGURA 17 – Fluxograma Projeto Analógico do Amplificador Diferencial CMOS

subckt	0:m1	0:m2	0:m3	0:m4	0:m5	0:m6
element	0:nmos	0:nmos	0:pmos	0:pmos	0:nmos	0:nmos
model	Saturati	Saturati	Saturati	Saturati	Saturati	Saturati
region	id	id	id	id	id	id
	28.9737u	28.9737u	-28.9713u	-28.9714u	57.9540u	69.9998u
ibs	4.537e-25	4.537e-25	-3.706e-24	-3.706e-24	5.722e-25	7.783e-25
ibd	-452.9304f	-452.9237f	985.1672f	985.1739f	-362.2095f	-448.0272f
vgs	537.8491m	537.8491m	-985.1378m	-985.1378m	447.9686m	447.9686m
vds	452.7113m	452.7046m	-985.1378m	-985.1445m	362.1509m	447.9686m
vbs	0.	0.	0.	0.	0.	0.
vth	469.8611m	469.8611m	-411.6029m	-411.6029m	410.5959m	397.0532m
vdsat	99.8343m	99.8343m	-495.5811m	-495.5812m	70.9994m	75.3591m
vod	67.9880m	67.9880m	-573.5348m	-573.5349m	37.3727m	50.9154m
beta	7.3640m	7.3640m	200.1645u	200.1645u	32.9634m	33.3830m
gam_eff	528.0000m	528.0000m	488.0000m	488.0000m	528.0000m	528.0000m
gm	407.8579u	407.8577u	81.1782u	81.1782u	738.0556u	832.8229u
gds	1.6751u	1.6751u	2.5180u	2.5180u	132.4247u	148.3071u
gmb	125.1267u	125.1266u	23.2139u	23.2140u	214.5169u	241.7133u
cdtot	2.6492f	2.6492f	327.5513a	327.5500a	712.9184a	679.3224a
cgtot	15.0963f	15.0963f	1.0906f	1.0906f	919.2194a	912.7167a
cstot	9.4394f	9.4394f	757.5912a	757.5912a	745.4268a	760.8684a
cgtot	7.2976f	7.2976f	469.9176a	469.9174a	721.6205a	714.1915a
cgs	11.5165f	11.5165f	922.1868a	922.1868a	549.7592a	575.8689a
cgd	1.2895f	1.2895f	151.0182a	151.0172a	322.4278a	294.6604a

FIGURA 18 – Ponto de operação dos transistores obtidos por simulação elétrica SPICE

Após isso, utilizando as especificações mostradas na TABELA 2, o projeto do circuito é realizado, de forma a encontrar os valores das dimensões e da corrente de referência do

circuito. Após isso, utilizando as especificações mostradas na TABELA 2, o projeto do circuito é realizado, de forma a encontrar os valores das dimensões e da corrente de referência do circuito.

TABELA 2
Valores das Especificações para Amplificador Diferencial CMOS

Especificações	Valores Esperados
Slew Rate	$\geq 5V/\mu s$
ICMR ⁺	$\geq 0,3 V$
ICMR ⁻	$\leq -0,3 V$
GBW	$\geq 10 MHz$
Ganho	$\geq 40 dB$
Margem de Fase	$\geq 60^\circ$

A TABELA 3 apresenta os resultados obtidos com a simulação elétrica para o amplificador diferencial, tomando como base a tensão de alimentação $V_{DD} = 0,9 V$ e $V_{SS} = -0,9 V$ e a capacitância da carga de 10pF, para uma tecnologia CMOS 32 nm (BERKLEY, 2010).

TABELA 3
Valores encontrados com a simulação elétrica para o Amplificador Diferencial CMOS de W e L

Variável	W (CMOS)	L (CMOS)
M1	3000 nm	300 nm
M2	3000 nm	300 nm
M3	400nm	110 nm
M4	400nm	110 nm
M5	800nm	45 nm
M6	800nm	45 nm

Como dito anteriormente, as especificações do circuito são medidas através da simulação elétrica. Então, primeiramente, para facilitar a análise dos resultados, serão mostrados como ocorre a simulação das especificações do amplificador. O arquivo de descrição do circuito a ser simulado (netlist) está mostrado no APÊNDICE A deste trabalho. Foi realizada uma análise AC (análise no domínio da frequência), do circuito a fim de gerar o diagrama de Bode, composto pela magnitude e fase do ganho do circuito.

Neste diagrama, é possível obter o valor do ganho, GBW (frequência em que o ganho é unitário) e MF (margem de fase). A FIGURA 19 apresenta o gráfico da simulação AC.

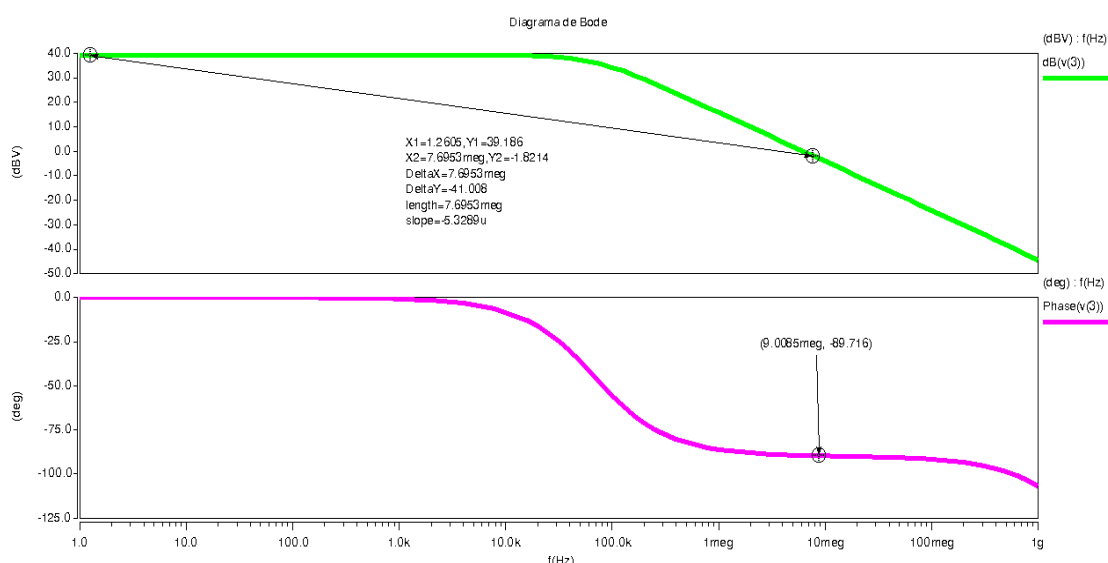


FIGURA 19 – Diagrama de Bode amplificador diferencial CMOS

Analisando o gráfico, foi obtido um ganho do circuito de 40 dB, o GBW ficou em 9 MHz e a margem de fase 91° . Em seguida, para obter o valor do $ICMR^-$ e $ICMR^+$, foi feita uma análise DC do circuito, de forma a verificar a variação da saída em uma configuração de ganho unitário devido a uma variação da tensão de entrada partindo de um valor mínimo a um valor máximo, conforme apresenta a FIGURA 20.

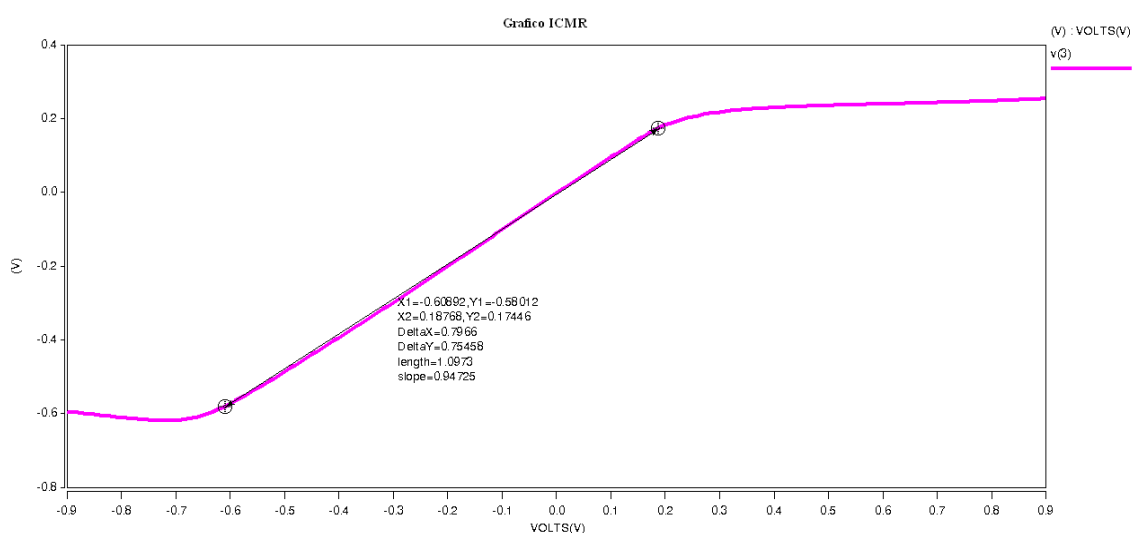


FIGURA 20 – Gráfico do ICMR amplificador diferencial CMOS

Com base nessa simulação, foi obtido o valor para o $ICMR^+$ de 0,18 V e o $ICMR^-$ de -0,608 V. E por último foi realizada a simulação transiente (domínio do tempo) para verificar a velocidade de resposta do circuito em configuração de ganho unitário, de forma a medir o

Slew Rate (SR). Para isso, é analisada a saída do circuito devido a um pulso na sua entrada. A taxa em que a saída responde ao valor de entrada é denominada de Slew Rate, conforme ilustra a FIGURA 21.

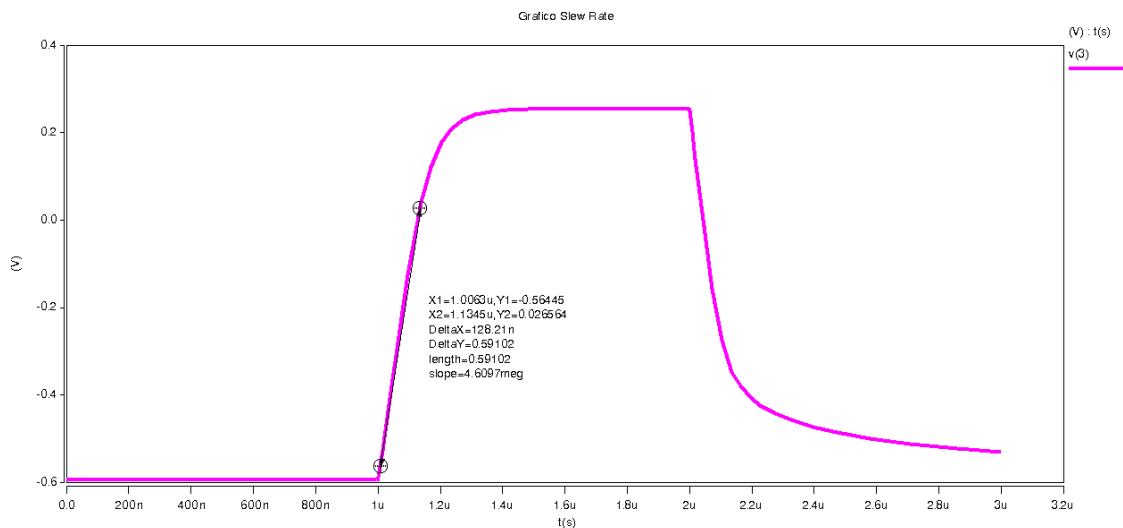


FIGURA 21 – Gráfico do Slew Rate amplificador diferencial CMOS

Analisando o gráfico, observa-se que a velocidade de resposta do amplificador diferencial foi de $4,60 \text{ V}/\mu\text{s}$. Com base nos valores requeridos para o projeto e os valores encontrados, a TABELA 4 apresenta a comparação, onde pode-se perceber que o ganho, MF, ICMR^+ , atenderam as especificações propostas, porém o slew rate e o GBW ficaram com valores abaixo do especificado. Como essa variação foi pequena, então essa solução foi aceita como uma solução válida para o circuito

TABELA 4

Comparação dos resultados com especificações do projeto do Amplificador Diferencial CMOS

Especificações	Valores Esperados	Resultado CMOS
Slew Rate	$5\text{V}/\mu\text{s}$	$4,609\text{V}/\mu\text{s}$
ICMR^+	0,3 V	0,187 V
ICMR^-	-0,3 V	-0,608 V
GBW	10 MHz	9 MHz
Ganho	40 dB	40 dB
Margem de Fase	60°	91°

5.3 Projeto Amplificador Diferencial CNTFET

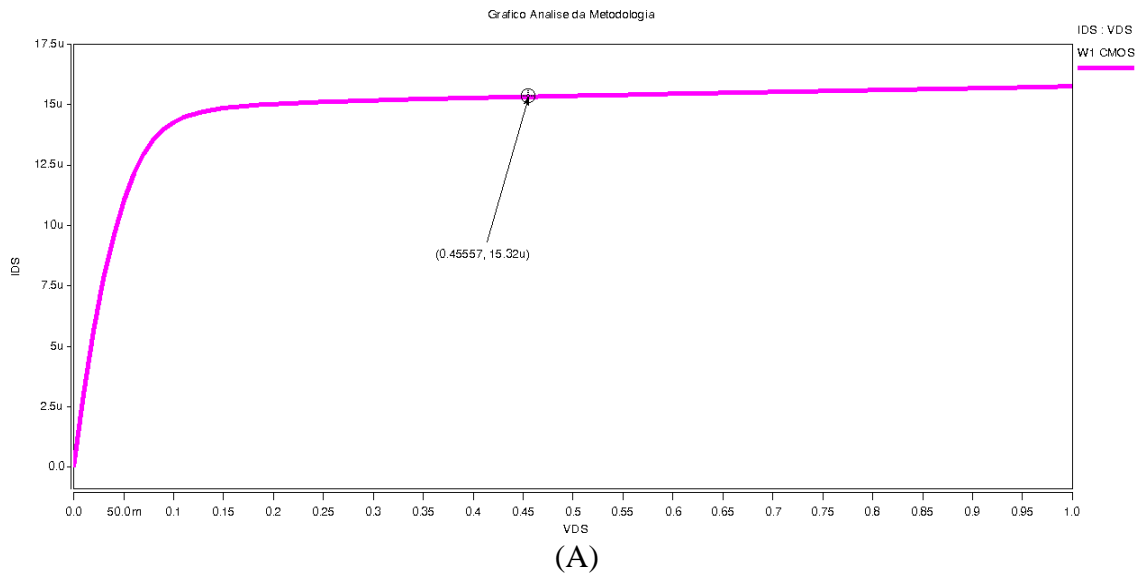
Após o projeto do circuito amplificador operacional em tecnologia CMOS, realizado na unidade anterior, parte-se então para o projeto em tecnologia CNTFET com o objetivo de transcrever o circuito CMOS para o CNTFET, utilizando a metodologia proposta.

Assim, após o projeto do amplificador diferencial em tecnologia CMOS é necessário observar os valores da tensão de dreno-source (V_{DS}) e da tensão de gate-source (V_{GS}) de cada um dos transistores que compõem o circuito. Para este projeto, os valores encontrados estão mostrados na TABELA 5. Estes dados apresentados foram coletados da simulação do circuito.

TABELA 5
Dados obtidos da simulação do Amplificador Diferencial para a tecnologia CMOS

	M1	M3	M5
V_{DS} (V)	0,452	-0,985	0,362
V_{GS} (V)	0,537	-0,985	0,447
V_{BS} (V)	0	0	0

Em seguida, com base nesses valores, foi realizada a simulação $I_{DS} \times V_{DS}$ para cada um dos transistores, onde foi observado o ponto de polarização, conforme mostra a FIGURA 22.



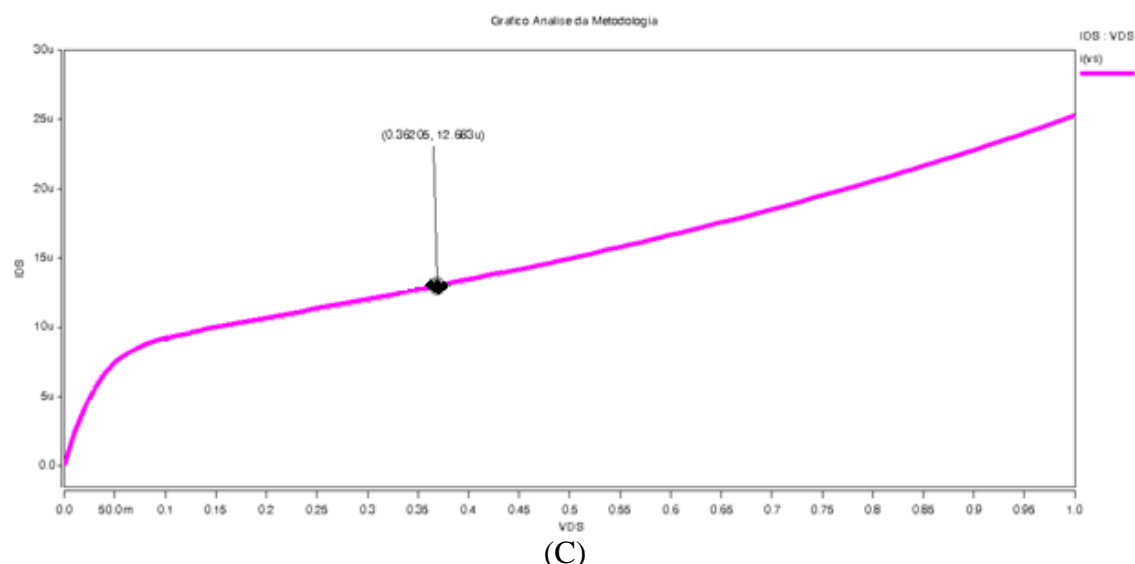
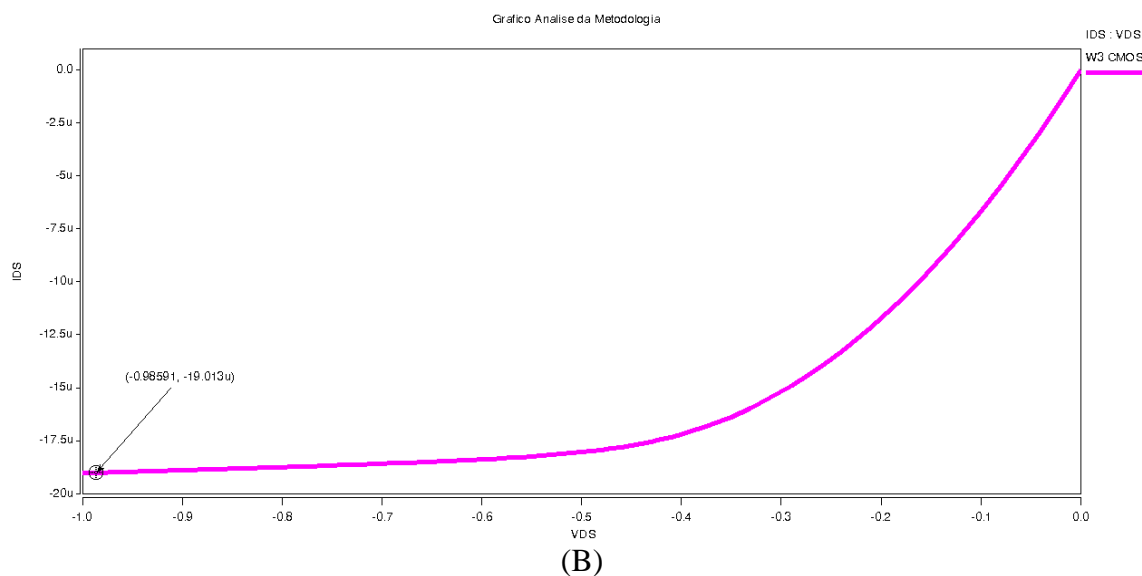


FIGURA 22 – Simulação do ponto de polarização dos transistores CMOS: (A) M1, (B) M3 e (C) M5

Após essa etapa, é necessário realizar a simulação elétrica de $I_{DS} \times V_{DS}$ e $I_{DS} \times V_{GS}$ para cada um dos transistores com CNTFET's, adotando os mesmos valores da tensão de dreno-source (V_{DS}) e da tensão de gate-source (V_{GS}), conforme apresentado na TABELA 5 para tecnologia CMOS.

No caso deste trabalho, foi simulada a curva $I_{DS} \times V_{DS}$, onde o objetivo é variar o valor do número dos nanotubos do transistor (n) e do L para a tecnologia CNTFET, de forma que ambas as tecnologias estejam operando no mesmo ponto de polarização. A FIGURA 23 apresentam os gráficos dessa simulação para os transistores M1, M3 e M5, respectivamente.

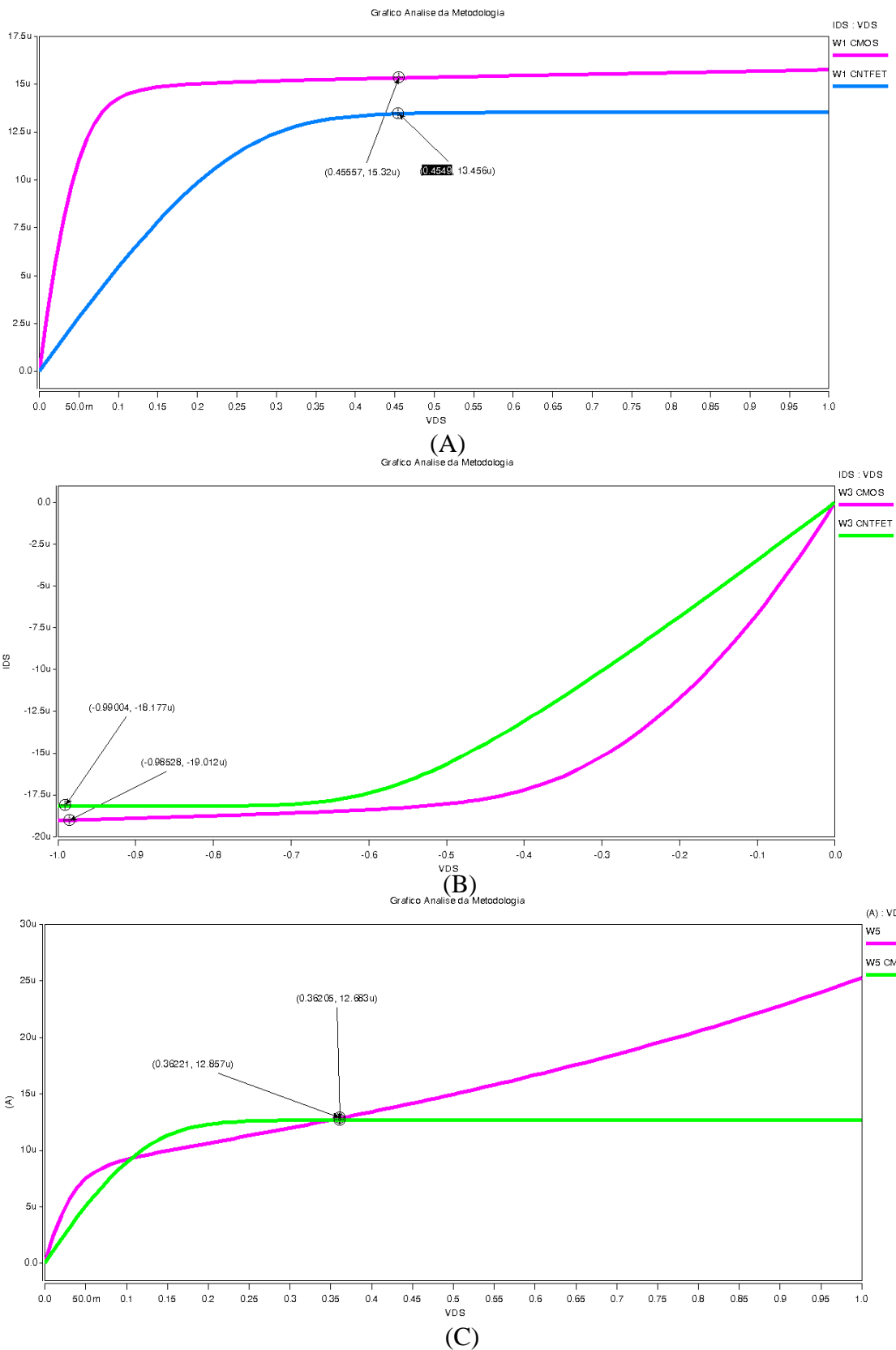


FIGURA 23 – Simulação do ponto de polarização dos transistores CMOS e CNTFET: (A) M1, (B) M3 e (C) M5

A TABELA 6 apresenta os resultados obtidos, via simulação elétrica, relacionando as dimensões do CMOS e do CNTFET estimadas pela curva característica $I_{DS} \times V_{DS}$.

Após encontrar o valor dos nanotubos e comprimento do canal (L) para a tecnologia CNTFET, é realizada a simulação elétrica do amplificador diferencial com nanotubos de carbono, cujo o netlist é mostrado no APÊNDICE B. A FIGURA 24 apresenta o esquemático do amplificador diferencial CNTFET.

Em seguida, deve-se simular o circuito de forma a medir as especificações como feito anteriormente para o CMOS. Caso alguma especificação não venha a ser atendida, deve-se então realizar ajustes nas dimensões (W e L) e na corrente de referência do circuito de forma a atingir as especificações impostas.

TABELA 6
Relação das dimensões de W e L para as tecnologias CMOS e CNTFET

Variável	CMOS	CNTFET
W1	3000 nm	2 tubos (≈ 3 nm)
L1	300 nm	100 nm
W3	400 nm	1 tubo ($\approx 1,5$ nm)
L3	110 nm	70 nm
W5	800 nm	3 tubos ($\approx 4,5$ nm)
L5	45 nm	32nm

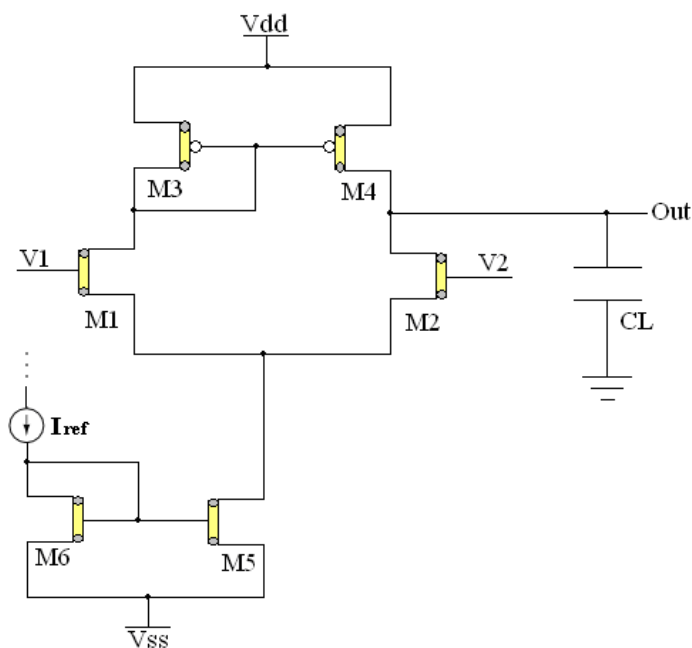


FIGURA 24 – Esquemático do Amplificador Diferencial CNTFET

Para realizar a simulação do amplificador diferencial CNTFET foi executada uma análise AC do circuito a fim de simular o gráfico do diagrama de Bode, em que é possível obter o valor do ganho, GBW (Frequência em que o ganho é unitário) e MF (margem de fase). A FIGURA 25 apresenta este gráfico.

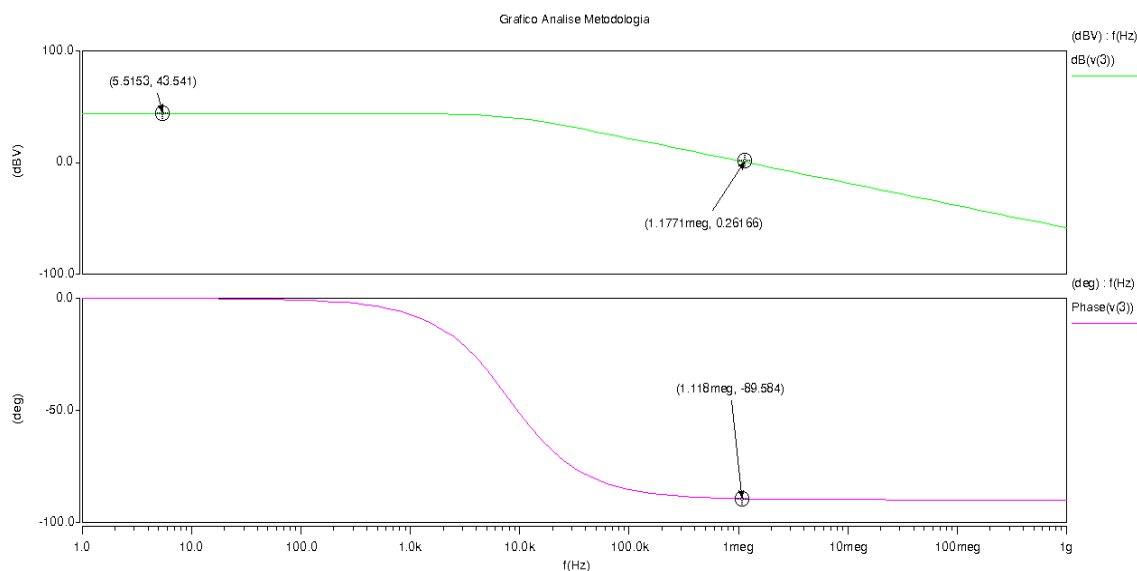


FIGURA 25 – Diagrama de Bode do amplificador diferencial CNTFET

Analisando o gráfico, foi obtido um ganho do circuito de 43,54 dB, o GBW ficou em 1,17 MHz e a Margem de fase em 90° . Em seguida, para obter o valor do $ICMR^-$ e $ICMR^+$, foi variado o valor da tensão de entrada de um valor mínimo a um valor máximo, conforme apresenta a FIGURA 26.

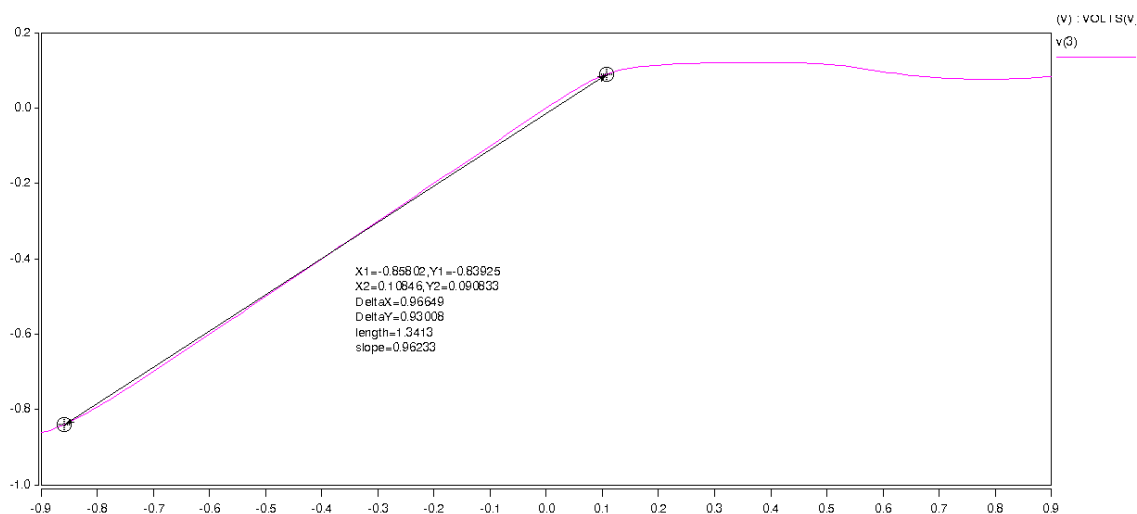


FIGURA 26 – Gráfico do ICMR do amplificador diferencial CNTFET

Com base nessa simulação, foi obtido o valor para o $ICMR^+$ de 0,10 V e o $ICMR^-$ de -0,85 V. Por último, foi realizada a simulação para o slew rate (SR), que é a velocidade de resposta do circuito. A FIGURA 27 ilustra o gráfico do slew rate.

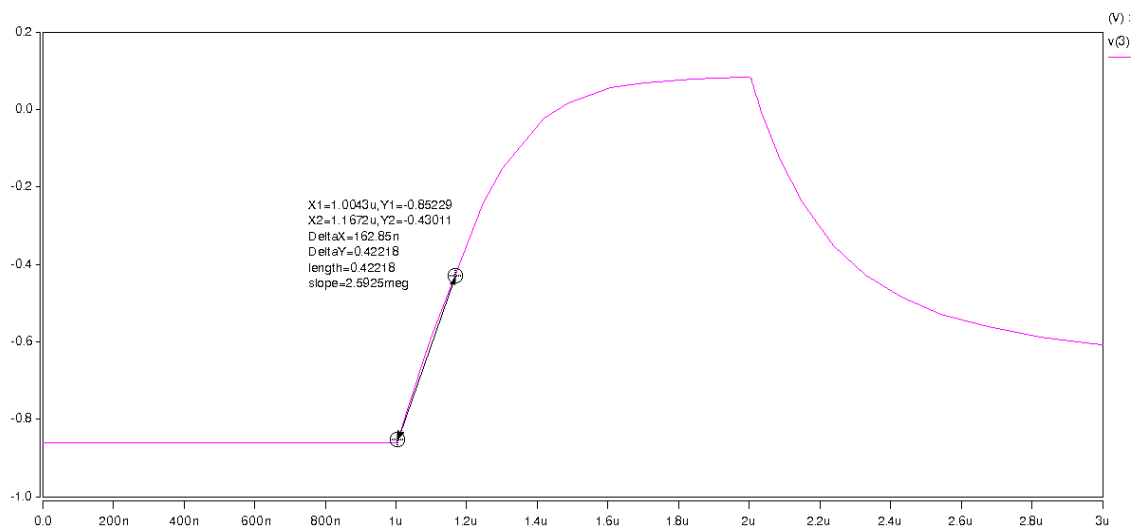


FIGURA 27 – Gráfico do slew rate para o amplificador diferencial CNTFET

Analisando o gráfico, observa-se que a velocidade de resposta do amplificador diferencial com CNTFET foi de 2,59 V/ μ s. Sendo assim, após realizar as análises, é necessário realizar a comparação com as especificações a fim de verificar se as mesmas foram atendidas. A TABELA 7 apresenta os resultados obtidos.

TABELA 7
Resultados obtidos com a simulação elétrica para Amplificador Diferencial com CNT-FET

Especificações	Valores Esperados	Resultado CNTFET
Slew Rate	5V/ μ s	2,59V/ μ s
$ICMR^+$	0,3 V	0,10 V
$ICMR^-$	-0,3 V	-0,85 V
GBW	10 MHz	1,18 MHz
Ganho	40 dB	43,54 dB
Margem de Fase	60°	90°

Como os valores das especificações não atingiram os valores esperados, foi feito um ajuste do valor dos nanotubos e do L, de forma a obter resultados coerentes com o valor da especificação. A FIGURA 28 apresenta o diagrama de Bode do circuito analisado.

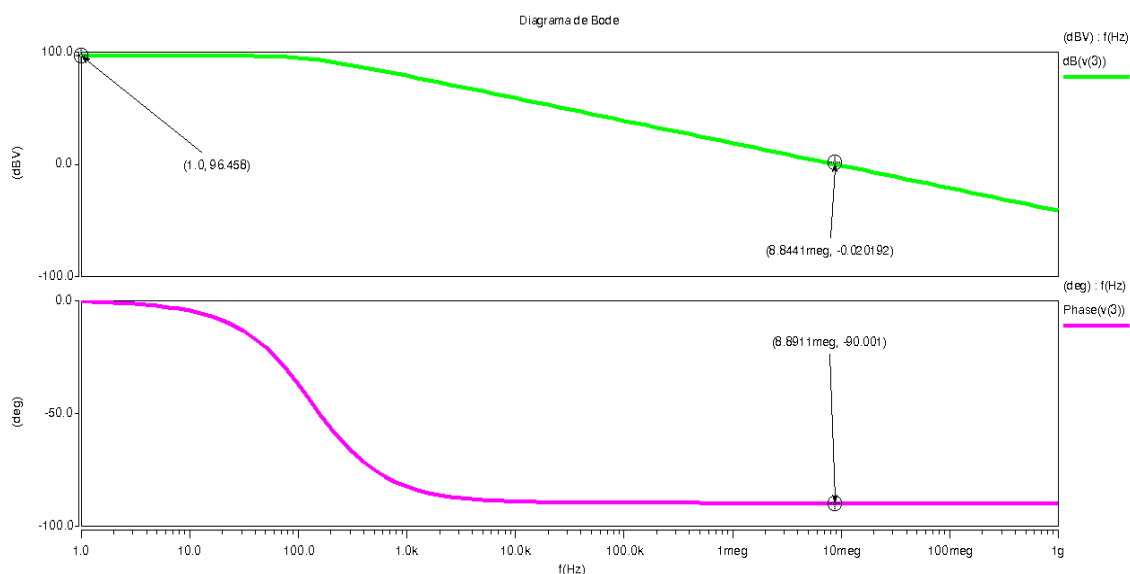


FIGURA 28 – Diagrama de Bode do amplificador diferencial CNTFET versão ajustada

Analisando o gráfico, foi obtido um ganho do circuito de 96,45 dB, o GBW ficou em 8,84 MHz e a margem de fase 90° . Em seguida, para obter o valor do $ICMR^-$ e $ICMR^+$, foi variado o valor da tensão de entrada de um valor mínimo a um valor máximo, conforme apresenta a FIGURA 29.

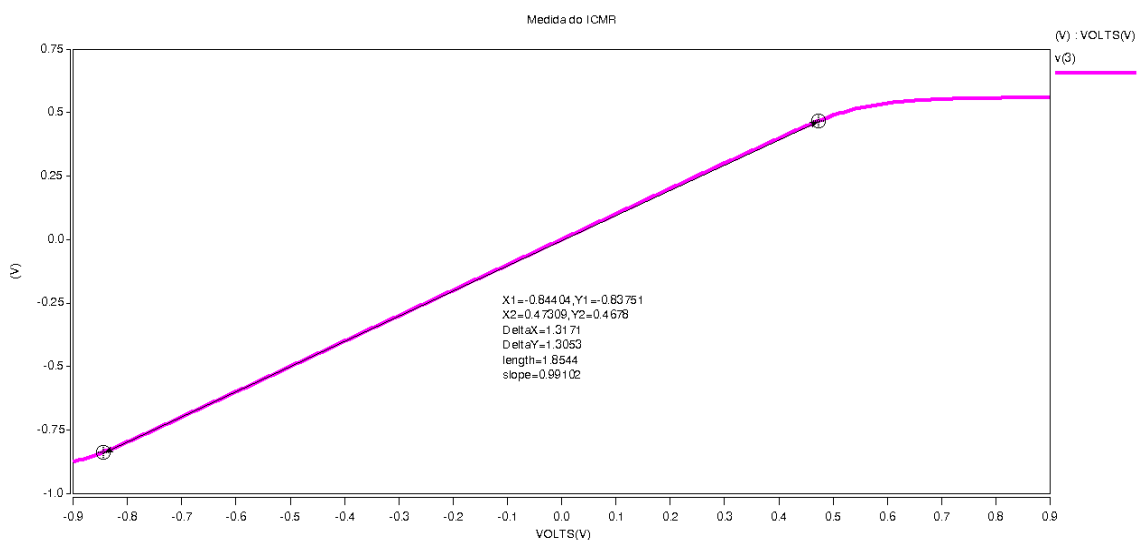


FIGURA 29 – Gráfico ICMR do amplificador diferencial CNTFET versão ajustada

Com base nessa simulação, foi obtido o valor para o $ICMR^+$ de 0,473 V e o $ICMR^-$ de -0,844. Por último foi realizada a simulação para o slew rate (SR). A FIGURA 30 ilustra o gráfico do slew rate.

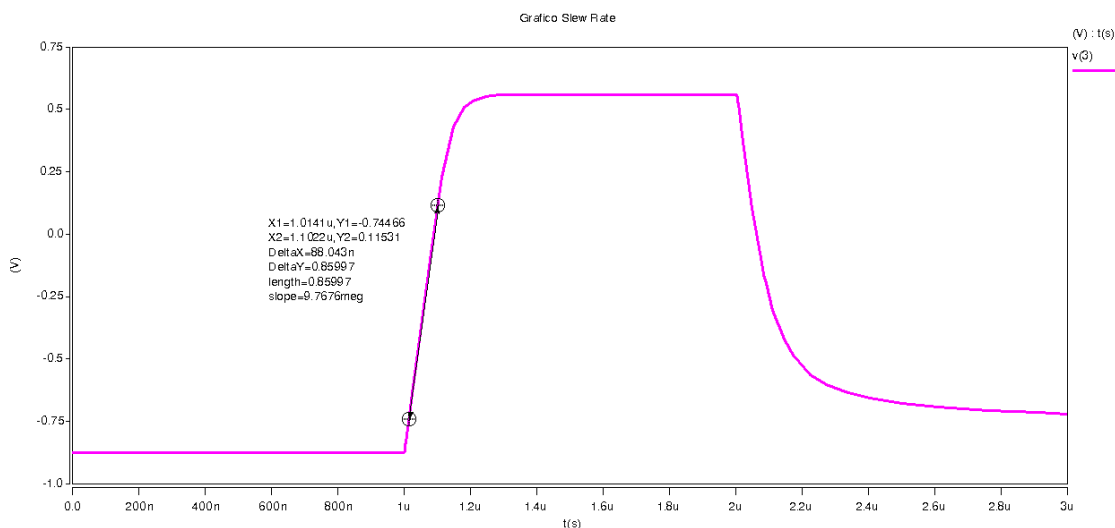


FIGURA 30 – Gráfico do Slew Rate do amplificador diferencial CNTFET versão ajustada

Analisando o gráfico, observa-se que a velocidade de resposta do amplificador diferencial com CNTFET foi de 9,76 V/s. Dessa forma, a TABELA 8 apresenta os resultados obtidos com o amplificador CNTFET, onde pode-se perceber que o ganho, MF, $ICMR^+$, $ICMR^-$, slew rate atenderam as especificações propostas, porém o GBW ficou com um valor um pouco abaixo do especificado.

TABELA 8

Comparação dos resultados com especificações do projeto do Amplificador Diferencial CNTFET

Especificações	Valores Esperados	Resultado CNTFET
Slew Rate	5V/μs	9,76V/μs
ICMR +	0,3 V	0,473 V
ICMR -	-0,3 V	-0,844 V
GBW	10 MHz	8.84 MHz
Ganho	40 dB	96.45 dB
Margem de Fase	60°	90°
I_{ref}	100μA	

5.4 Comparação entre resultados: Amplificador Diferencial CMOS e CNTFET

Após o projeto do amplificador diferencial para as tecnologias CMOS e CNTFET, neste item do trabalho, será apresentada uma comparação dos resultados, apresentando as vantagens e desvantagens de cada uma das tecnologias analisadas. A TABELA 9 apresenta os resultados obtidos.

TABELA 9
Comparação entre resultados: Amplificador Diferencial CMOS e CNTFET

Especificações	Valores Esperados	Resultado do CMOS	Resultado CNTFET
Slew Rate	5V/ μ s	4,609V/ μ s	2,59V/ μ s
ICMR +	0,3 V	0,187 V	0,10 V
ICMR -	-0,3 V	-0,608 V	-0,85 V
GBW	10 MHz	9 MHz	1,18 MHz
Ganho	40 dB	40 dB	43.54 dB
Margem de Fase	60°	91°	90°

Fazendo uma comparação entre os resultados do amplificador diferencial CMOS com a metodologia proposta para o amplificador diferencial CNTFET é possível perceber que o ganho do circuito para o CNTFET, foi um pouco maior que o CMOS. Porém, esse fato ocorreu devido a existência de uma certa diferença do ponto de operação do circuito em tecnologia CMOS e CNTFET. Como visto, a tecnologia CNTFET, possui uma variação discreta no número de nanotubos. Assim sendo, muitas vezes não é possível aproximar com exatidão o ponto de operação do transistor CMOS.

Porém, foi verificado que a metodologia proposta no presente trabalho é adequada, pois quando alterar as variáveis livres de projeto é possível obter resultados muito bons. A TABELA 10 apresenta uma comparação, dos valores de W e L para a tecnologia CMOS e CNTFET.

TABELA 10

Comparação entre resultados: Amplificador Diferencial CMOS e CNTFET

Variáveis	W (CMOS)	W(CNTFET)	L (CMOS)	L (CNTFET)
M1	3000 nm	3 nm	300 nm	100 nm
M2	3000 nm	3 nm	300 nm	100 nm
M3	400nm	1nm	110 nm	70 nm
M4	400nm	1nm	110 nm	70 nm
M5	800nm	4nm	45 nm	32nm
M6	800nm	4nm	45 nm	32nm

Analisando os valores do de W e L para ambas as tecnologias, observa-se que para a tecnologia CNTFET, os tamanho de W e L dos transistores em geral são bem menores quando comparado com a tecnologia CMOS. Isto reflete em um circuito que ocupa uma área muito menor. No caso do circuito com CNTFET, a área de gate é de $0,996 \times 10^{-3} \mu\text{m}^2$. Já para o CMOS é de $1,96 \mu\text{m}^2$, ou seja a área de gate do circuito em tecnologia CNTFET é aproximadamente 2000 vezes menor que um circuito da tecnologia CMOS.

5.5 Projeto Amplificador Folded Cascode CMOS

Para realizar o projeto do amplificador Folded Cascode para a tecnologia CMOS, o primeiro passo é verificar as especificações de projeto e posteriormente, escolher uma metodologia de projeto, que no caso deste trabalho será baseando-se na metodologia proposta por (ALLEN, 2002). Quanto ao fluxograma base para projetar o amplificador folded cascode CMOS, foi seguido o mesmo padrão da FIGURA 17.

Para este projeto, através da metodologia e das especificações requeridas, é possível obter valores iniciais para o projeto. Após isso, baseando-se na simulação elétrica, as especificações do circuito são medidas. Caso ficarem na faixa dos valores requeridos, o circuito está projeta-

do. Caso contrário deve-se ajustar as variáveis livres do projeto (W , L , I_{bias} , $R1$, $R2$) de forma a satisfazer estas especificações impostas. A TABELA 11, apresenta as especificações de projeto e a TABELA 12 apresenta os valores das variáveis do projeto. Quanto ao valor de tensão da alimentação do circuito folded cascode é de $V_{DD}=0,9\text{ V}$ e $V_{SS}=-0,9\text{ V}$ e a capacitância da carga de 10pF para uma tecnologia CMOS 32 nm (BERKLEY, 2010).

Primeiramente, foi realizada uma análise AC (análise no domínio da frequência), do circuito a fim de gerar o gráfico do diagrama de Bode, composto pela magnitude e pela fase do ganho do circuito. A FIGURA 31 apresenta o gráfico da simulação AC.

TABELA 11
Especificações do Amplificador Folded Cascode

Especificações	Valores Esperados
Slew Rate	$5\text{V}/\mu\text{s}$
ICMR ⁺	$0,3\text{ V}$
ICMR ⁻	$-0,3\text{ V}$
GBW	5 MHz
Ganho	50 dB
Margem de Fase	60°
Output Swing max	$0,3\text{ V}$
Output Swing min	$-0,3\text{ V}$

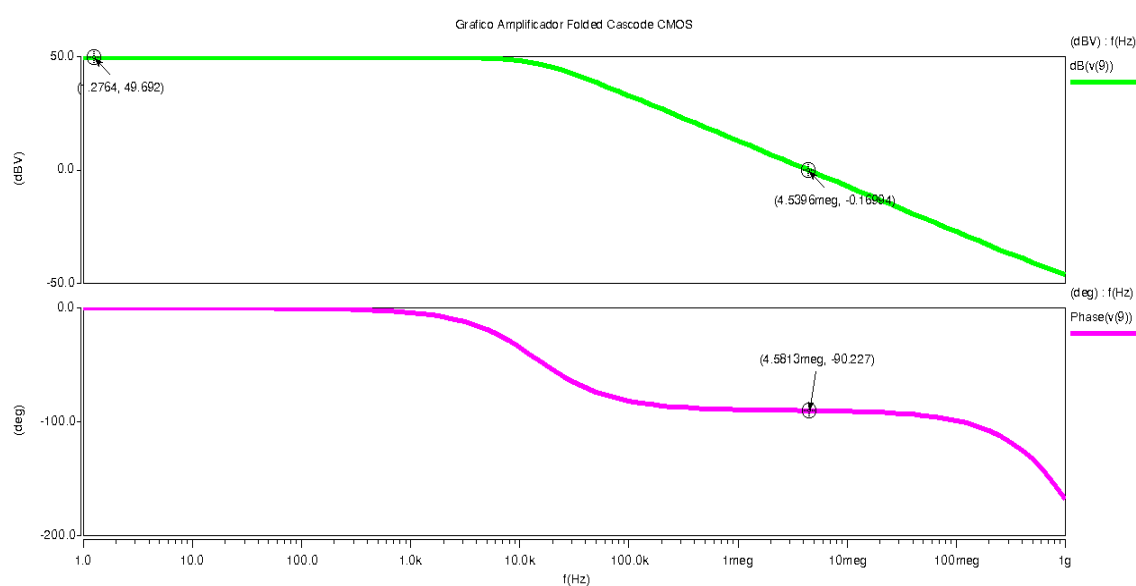


FIGURA 31 – Diagrama de Bode do amplificador folded cascode CMOS

Analisando o gráfico, foi obtido um ganho do circuito de 49,69 dB, o GBW ficou em 4,5 MHz e a margem de fase 89,78°. Em seguida, para obter o valor do $ICMR^-$ e $ICMR^+$, foi realizada uma análise DC do circuito, de forma a verificar a variação da saída em uma configuração de ganho unitário devido a uma variação da tensão de entrada partindo de um valor mínimo a um valor máximo, conforme apresenta a FIGURA 32.

TABELA 12
Tamanho dos dispositivos do projeto do Amplificador Folded Cascode CMOS

Variável	W (CMOS)	L (CMOS)
M1	1500 nm	100 nm
M2	15000 nm	100 nm
M3	1800 nm	60 nm
M4	550 nm	32 nm
M5	550 nm	32 nm
M6	1100 nm	500 nm
M7	1100 nm	500 nm
M8	100 nm	80 nm
M9	100 nm	80 nm
M10	100 nm	80 nm
M11	100 nm	80 nm
M12	100 nm	40nm
M13	1100 nm	500 nm
M14	550 nm	32 nm
M15	1800 nm	60 nm

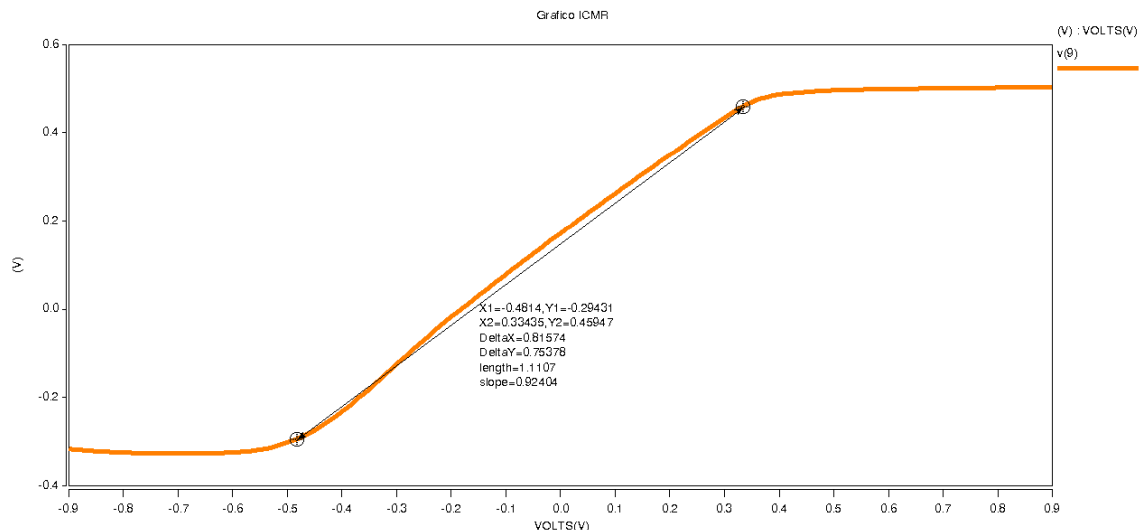


FIGURA 32 – Gráfico do ICMR para amplificador folded cascode CMOS

Com base nessa simulação, foi obtido o valor para o $ICMR^+$ de 0,33 V e o $ICMR^-$ de -0,48 V. E por último foi realizada a simulação transiente (domínio do tempo) para verificar a velocidade de resposta do circuito em configuração de ganho unitário, de forma a medir o slew rate (SR). Para isso, é analisada a saída do circuito devido a um pulso na sua entrada, conforme ilustra a FIGURA 33.

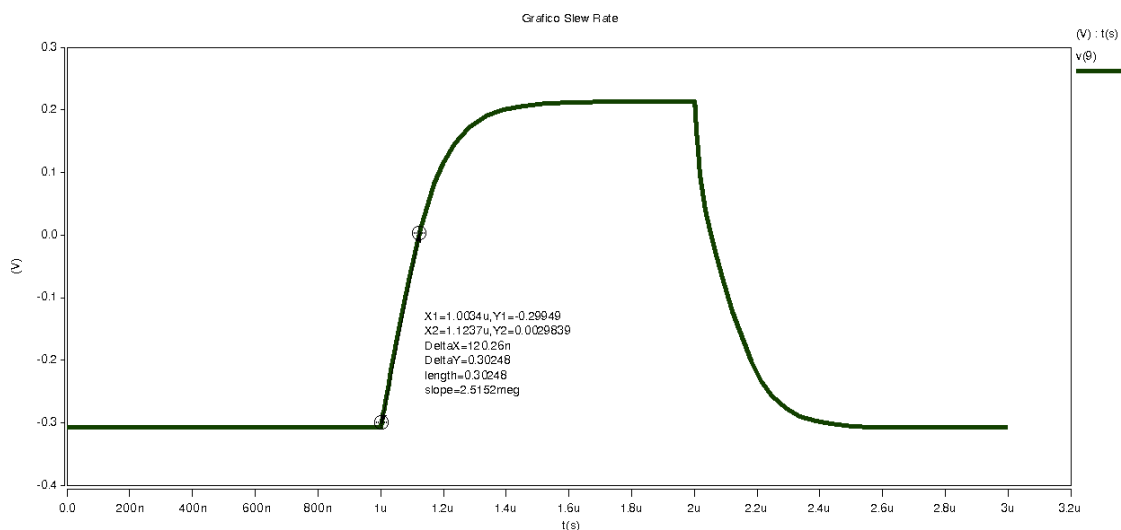


FIGURA 33 – Gráfico do slew rate do amplificador folded cascode CMOS

Analisando o gráfico, observa-se que a velocidade de resposta do amplificador diferencial foi de 2,51 V/ μ s. Posteriormente, foi realizada a simulação do output swing, conforme apresenta a FIGURA 34.

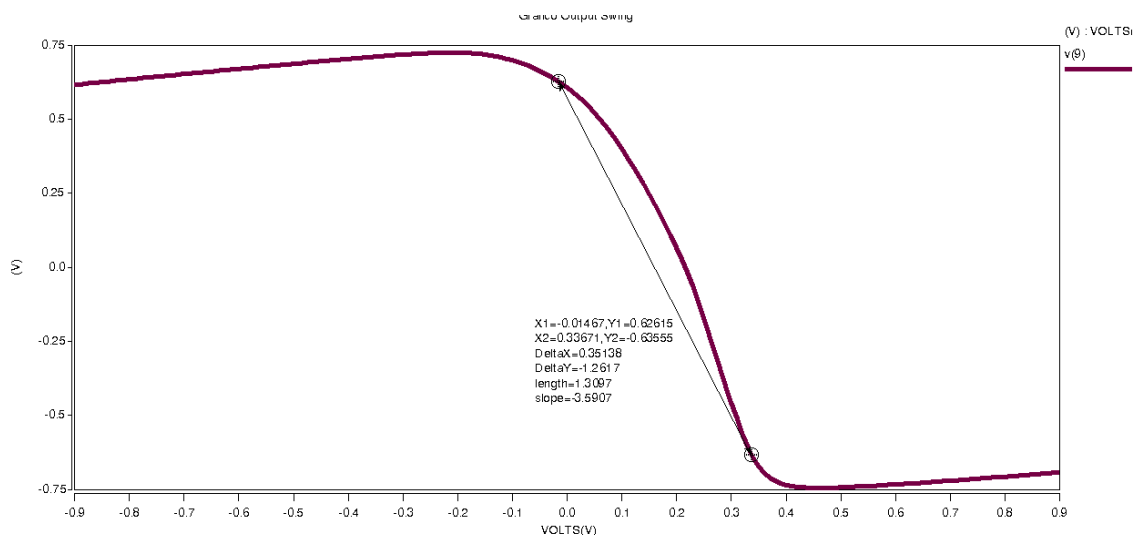


FIGURA 34 – Gráfico output swing amplificador folded cascode CMOS

Analisando o gráfico, é possível perceber que output swing⁺ foi de 0,62 V, enquanto o output swing⁻ foi de -0,63V. O arquivo de descrição do circuito simulado (netlist) está mostrado no APÊNDICE C deste trabalho. A TABELA 13 apresenta os resultados obtidos através da simulação elétrica para o amplificador folded cascode. Dessa forma, comparando os resultados, pode-se perceber que nem todos os valores obtidos com a simulação elétrica ficaram dentro do especificado, mas como essa variação foi pouca, então essa solução foi aceita como uma solução válida para o circuito.

TABELA 13
Resultados Amplificador Folded Cascode CMOS

Especificações	Valores Esperados	Resultado CMOS
Slew Rate	5V/ μ s	2,51V/ μ s
ICMR +	0,3 V	0,33 V
ICMR -	-0,3 V	-0,48 V
GBW	5 MHz	4,539 MHz
Ganho	50 dB	49,69 dB
Output Swing ⁺	0,3 V	0,62 V
Output Swing ⁻	-0,3 V	-0,63 V
MF	60°	89,78°

5.6 Projeto de um Amplificador Folded Cascode CNTFET

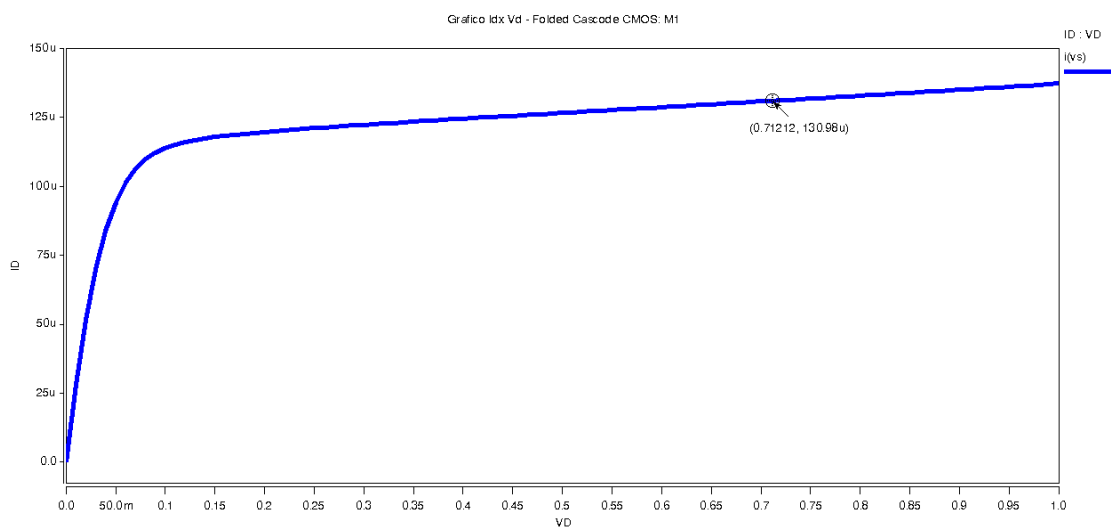
Após o projeto do circuito amplificador operacional em tecnologia CMOS, realizado na unidade anterior, parte-se, então, para o projeto em tecnologia CNTFET, com o objetivo de transcrever o circuito CMOS para CNTFET utilizando a metodologia proposta.

Assim, após o projeto do amplificador diferencial em tecnologia CMOS, é necessário observar os valores da tensão de dreno-source (V_{DS}) e da tensão de gate-source (V_{GS}) de cada um dos transistores que compõem o circuito. Para este projeto, os valores encontrados, estão mostrados na TABELA 14. Estes dados, foram coletados da simulação do ponto de operação (.op) do circuito.

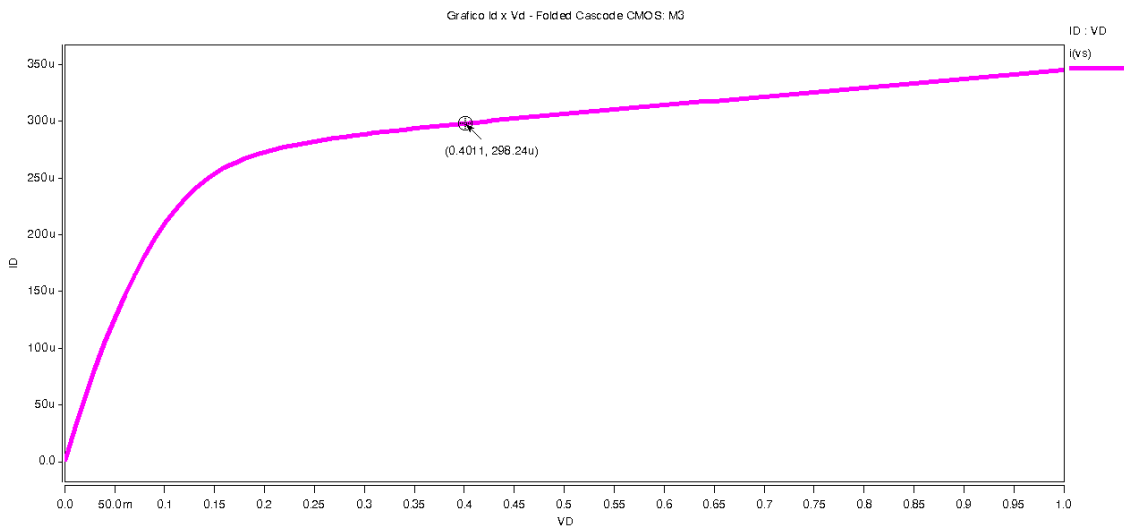
TABELA 14
Dados obtidos da simulação com Amplificador Folded Cascode para a tecnologia CMOS

	M1=M2	M3=M15	M4=M5=M14	M6=M7=M13	M8=M9=M10=M11	M12
V_{DS} (V)	0,7	0,4	-0,74	-0,83	0,60	0,28
V_{GS} (V)	0,49	-0,68	-0,68	-0,39	0,498	0,68
V_{BS} (V)	0	0	0	0	0	0

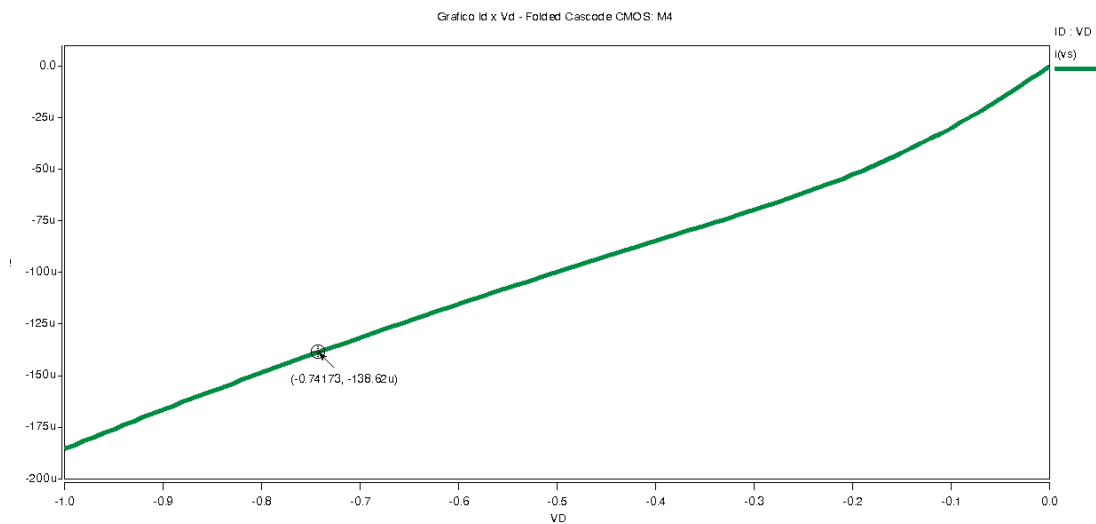
Em seguida, com base nesses valores, realizou-se a simulação $I_{DS} \times V_{DS}$ para cada um dos transistores e observar o ponto de polarização, conforme ilustra na FIGURA 35.



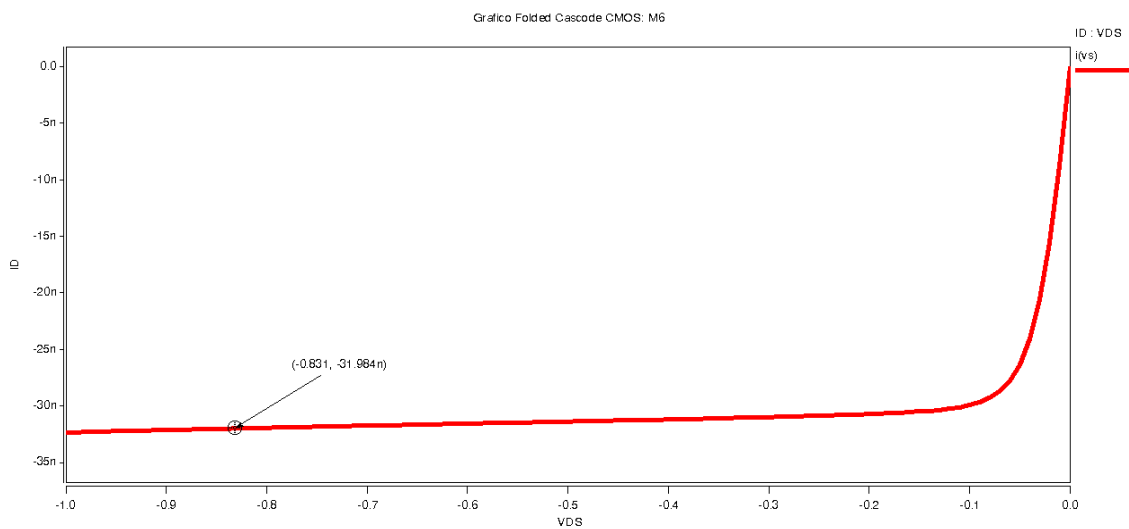
(A)



(B)



(C)



(D)

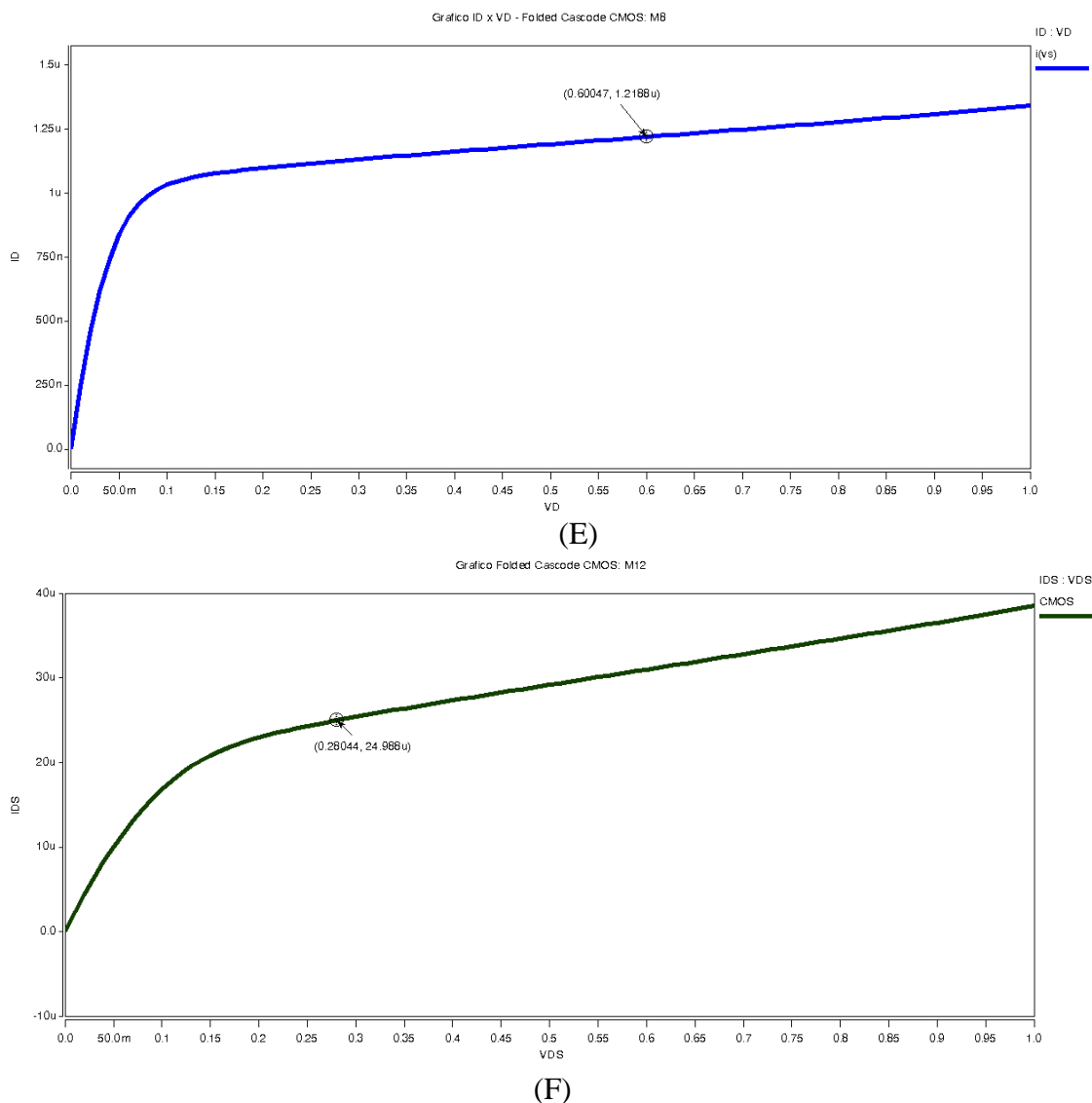
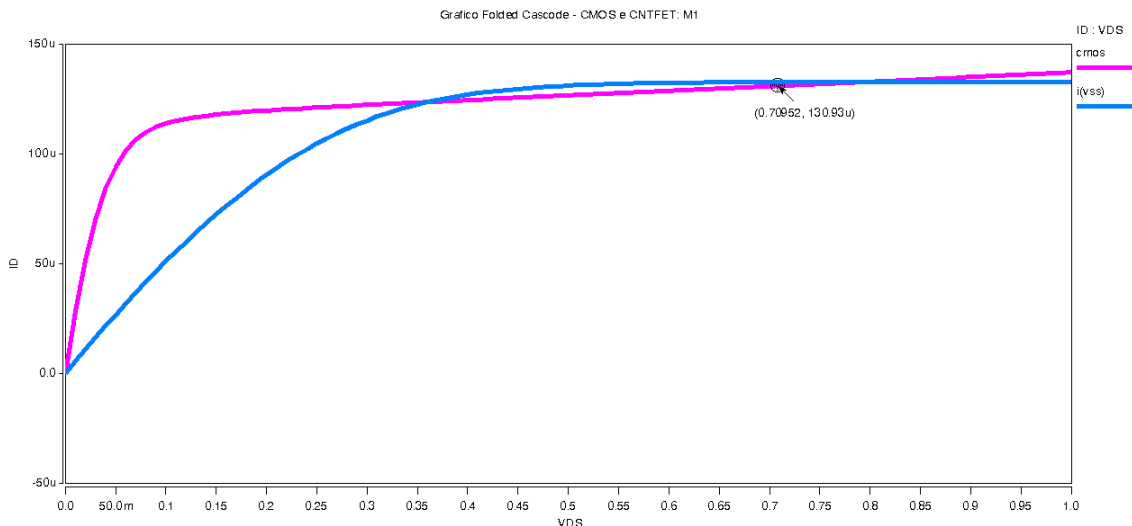


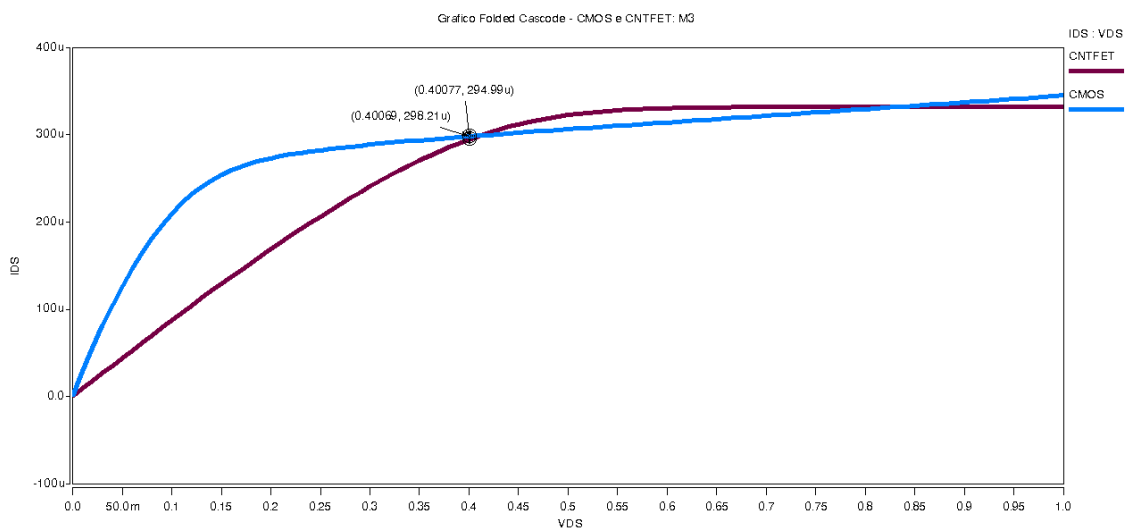
FIGURA 35 – Simulação do ponto de polarização dos transistores CMOS: (A) M1, (B) M3, (C) M4, (D) M6, (E) M8 e (F) M12

Após essa etapa, é necessário realizar a simulação elétrica de $I_{DS} \times V_{DS}$ e $I_{DS} \times V_{GS}$ para cada um dos transistores com CNTFET's, adotando os mesmos valores da tensão de dreno-source (V_{DS}) e da tensão de gate-source (V_{GS}), conforme apresentado na TABELA 14 para tecnologia CMOS.

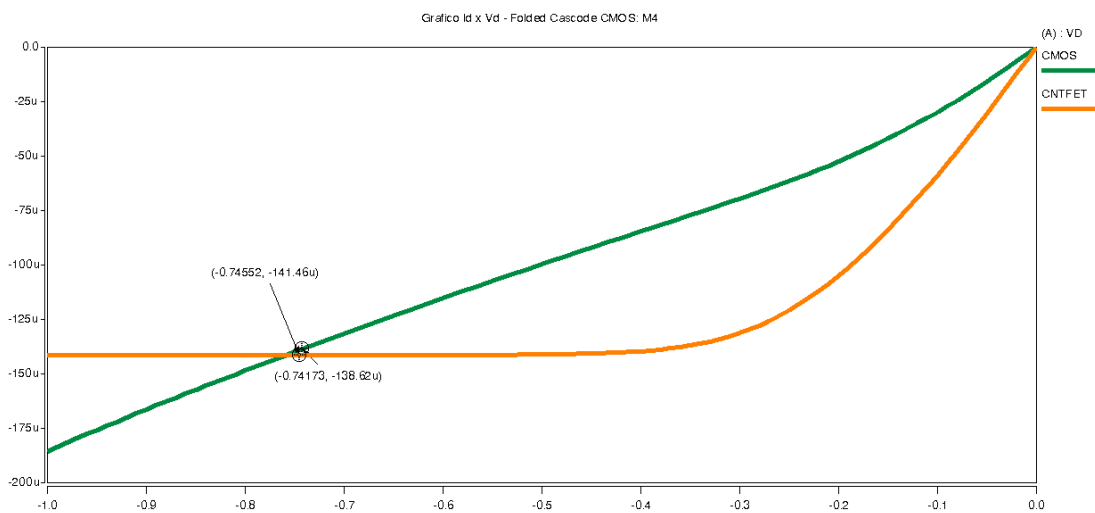
Após isso é necessário simular a curva $I_{DS} \times V_{DS}$ e variar o valor do número de nanotubos do transistor (n) e do L para a tecnologia CNTFET, de forma que o ponto de operação de ambas as tecnologias sejam semelhantes. A FIGURA 36 ilustra as simulações realizadas.



(A)



(B)



(C)

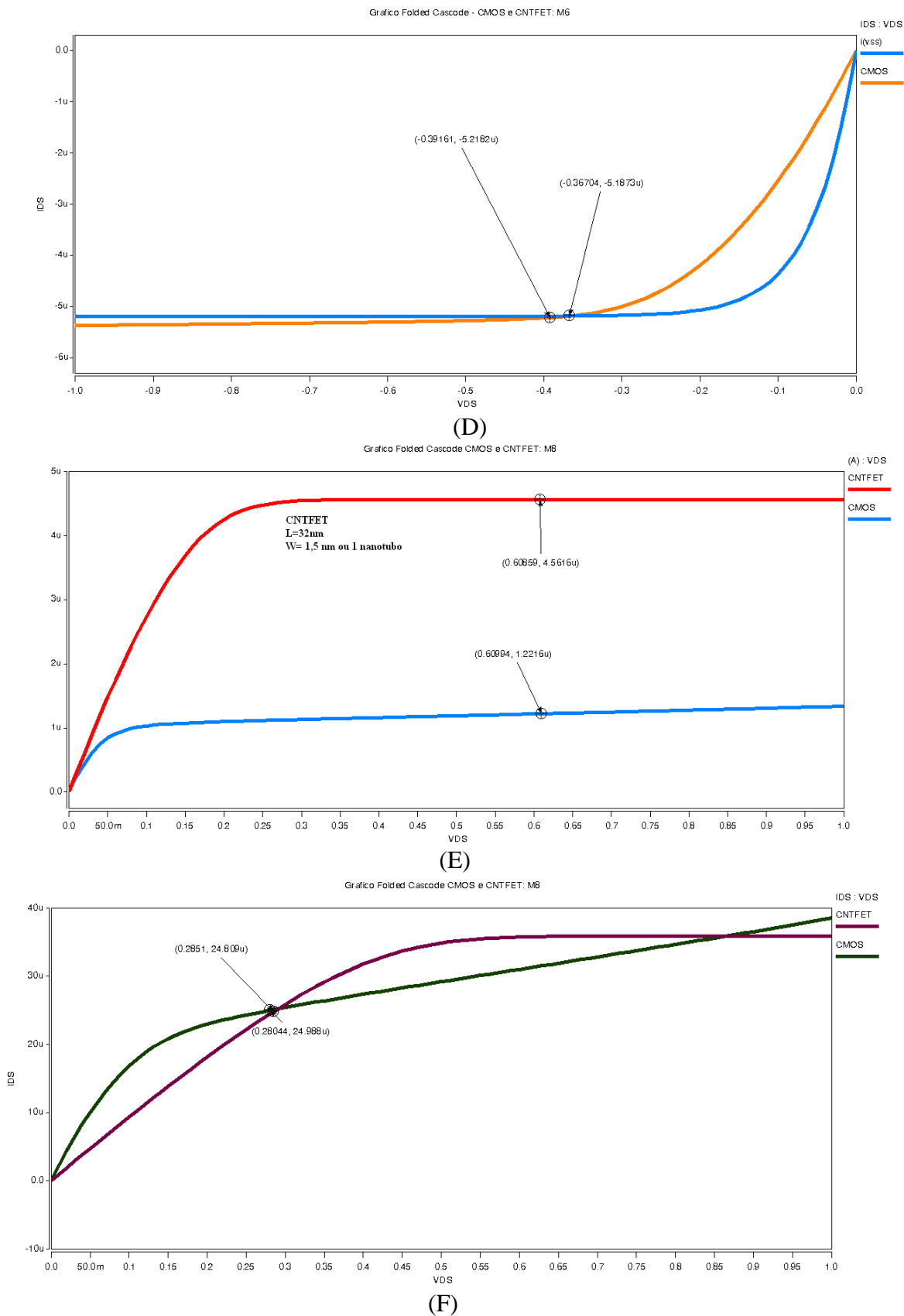


FIGURA 36 – Simulação do ponto de polarização dos transistores CMOS e CNTFET: (A) M1, (B) M3, (C) M4, (D) M6, (E) M8 e (F) M12

Analisando a FIGURA 36, observa-se que o ponto de polarização do CNTFET foi aproximado com exatidão entre as tecnologias para os transistores M1, M3, M4, M6 e M12. Porém o transistor M8, não foi possível aproximar o ponto de polarização, pois com as dimensões nos seus valores mínimos, a curva da relação $I_{DS} \times V_{DS}$ se encontra, acima da mesma curva para a tecnologia CMOS. Isto impossibilita a aproximação do ponto de polarização, o que pode fazer com que o circuito em tecnologia CNTFET não funcione como na tecnologia CMOS.

Após encontrar o valor dos nanotubos e comprimentos do canal (L) para a tecnologia CNTFET, é realizada a simulação elétrica do amplificador folded cascode com nanotubos de carbono, cujo netlist é mostrado no APÊNDICE D. Em seguida, deve-se simular o circuito de forma a medir as especificações como feitas anteriormente para o CMOS. Caso alguma especificação não seja atendida, devem-se fazer ajustes nas dimensões e na corrente de referência do circuito de forma a atingir as especificações impostas.

Para realizar a simulação do amplificador diferencial CNTFET, foi realizada uma análise AC do circuito a fim de simular o gráfico do Diagrama de Bode. A FIGURA 37 apresenta este gráfico.

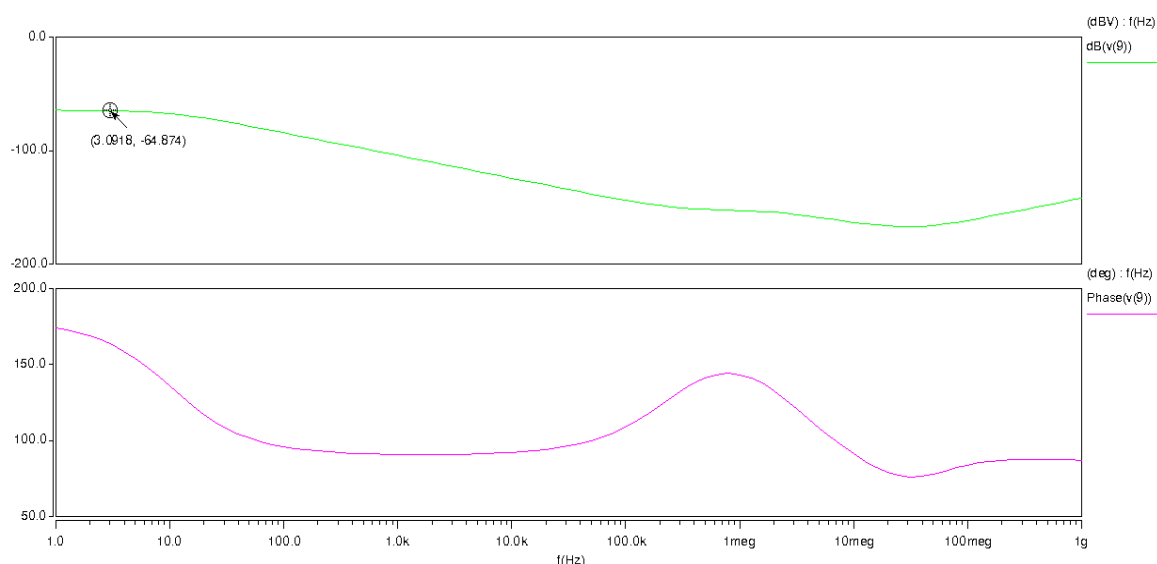


FIGURA 37 – Diagrama de Bode do amplificador folded cascode CNTFET

Analisando o gráfico, foi observado que os valores encontrados não atingiram as especificações do circuito. Em seguida, para obter o valor do $ICMR^-$ e $ICMR^+$, foi realizada uma análise DC do circuito, de forma a verificar a variação da saída em uma configuração de ganho unitário devido a uma variação da tensão de entrada partindo de um valor mínimo a um valor máximo, conforme apresenta a FIGURA 38.

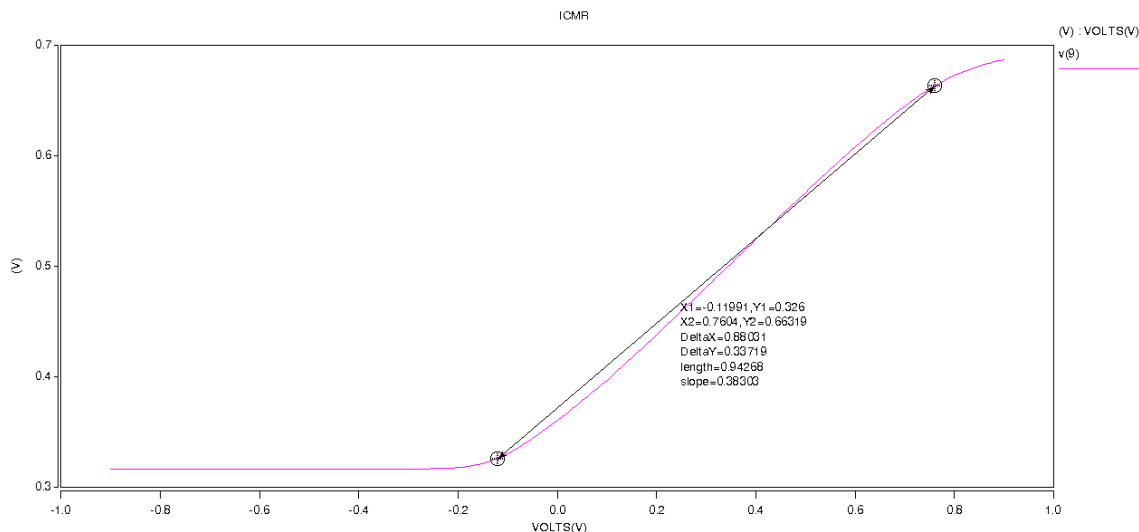


FIGURA 38 – Gráfico ICMR do amplificador folded cascode CNTFET

Com base nessa simulação, foi verificado que nenhuma das especificações atingiram as exigidas. Por último, foi realizada a simulação transiente (domínio do tempo) para verificar a velocidade de resposta do circuito em configuração de ganho unitário, de forma a medir o slew rate (SR). Para isso, é analisada a saída do circuito devido a um pulso na sua entrada, conforme ilustra a FIGURA 39.

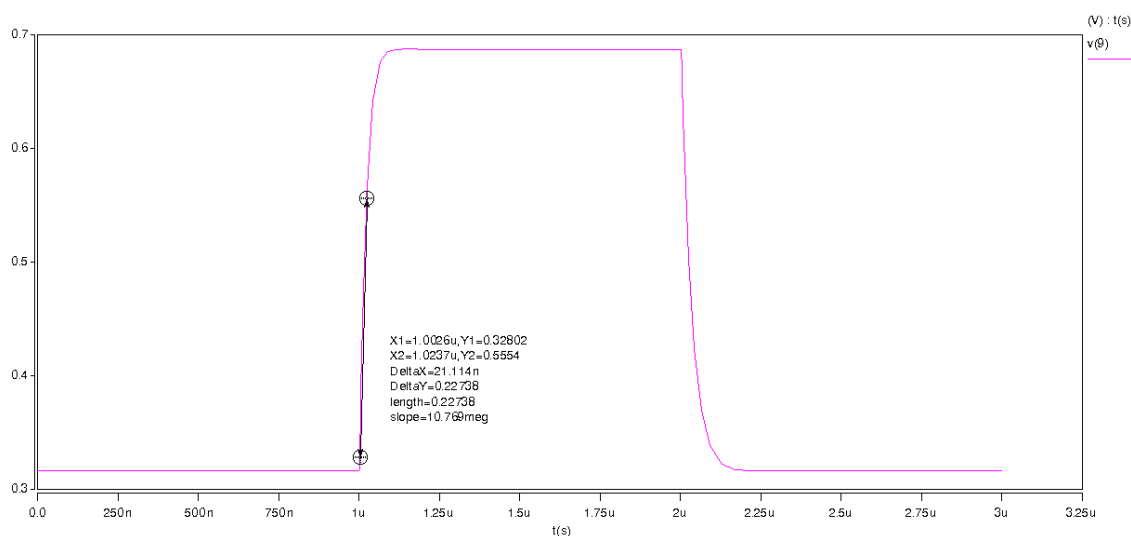


FIGURA 39 – Gráfico Slew Rate amplificador folded cascode CNTFET

Analisando o gráfico, observa-se que a velocidade de resposta do amplificador folded cascode foi de $10.70 \text{ V}/\mu\text{s}$. Posteriormente, foi realizada a simulação do output swing, conforme apresenta a FIGURA 40.

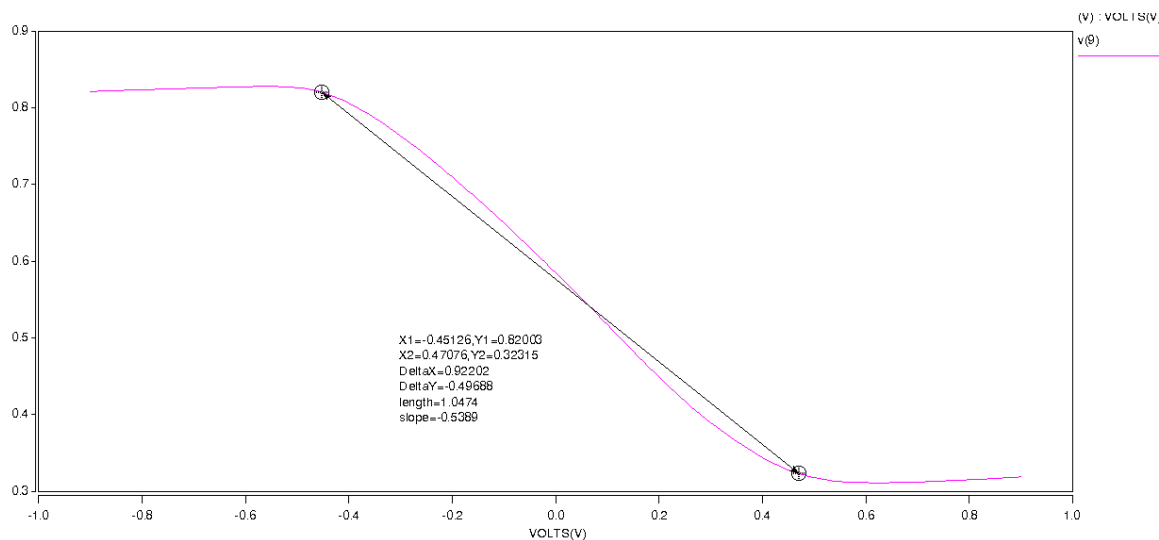


FIGURA 40 – Gráfico do Output Swing do amplificador folded cascode CNTFET

Analisando o gráfico, é possível perceber que output swing^+ foi de $0,82 \text{ V}$, enquanto que o output swing^- foi de $0,32 \text{ V}$. A TABELA 15 apresenta os resultados obtidos através da simulação elétrica para o amplificador Folded Cascode e o APENDICE D apresenta a descrição do circuito.

TABELA 15
Resultados Amplificador Folded Cascode CNTFET

Especificações	Valores Esperados	Resultado CNTFET
Slew Rate	$2 \text{ V}/\mu\text{s}$	$10,7 \text{ V}/\mu\text{s}$
ICMR +	$0,3 \text{ V}$	$0,78 \text{ V}$
ICMR -	$-0,3 \text{ V}$	$0,11 \text{ V}$
GBW	5 MHz	$4,5 \text{ MHz}$
Ganho	50 dB	$-64,87 \text{ dB}$
Output Swing ⁺	$0,3 \text{ V}$	$0,32 \text{ V}$
Output Swing ⁻	$-0,3 \text{ V}$	$0,82 \text{ V}$

Dessa forma, comparando os resultados, pode-se perceber que nem todos os valores obtidos com a simulação elétrica ficaram dentro das especificações requeridas. Este resultado se deve ao fato de que o ponto de polarização encontrado com a aplicação da metodologia proposta não foi o mesmo ponto de polarização da tecnologia CMOS. Isto ocorreu devido ao transistor M8 (consequentemente, os transistores M9, M10 e M11) já estarem nos seus tamanhos mínimos e para alcançar o ponto de polarização da versão CMOS, deveria reduzir ainda mais as dimensões.

Assim, foi realizada novamente a simulação para o folded cascode, variando-se as variáveis livre de projeto (n e L) de forma a encontrar valores de especificação, que satisfaçam as especificações mínimas requeridas. Os valores de n e L para o amplificador folded cascode, obtidos após este ajuste, estão mostrados na TABELA 16.

TABELA 16

Resultados Amplificador Folded Cascode CNTFET para as dimensões n e L		
Variáveis	W(CNTFET)	L (CNTFET)
M1	10 tubos($\approx 15\text{nm}$)	32 nm
M3	10 tubos($\approx 15\text{nm}$)	32 nm
M4	10 tubos($\approx 15\text{nm}$)	32 nm
M6	10 tubos($\approx 15\text{nm}$)	32 nm
M8	10 tubos($\approx 15\text{nm}$)	32 nm
M12	10 tubos($\approx 15\text{nm}$)	32 nm

Para analisar as especificações, foram realizadas novamente as simulações elétricas. A FIGURA 41 apresenta o diagrama de Bode do amplificador folded cascode.

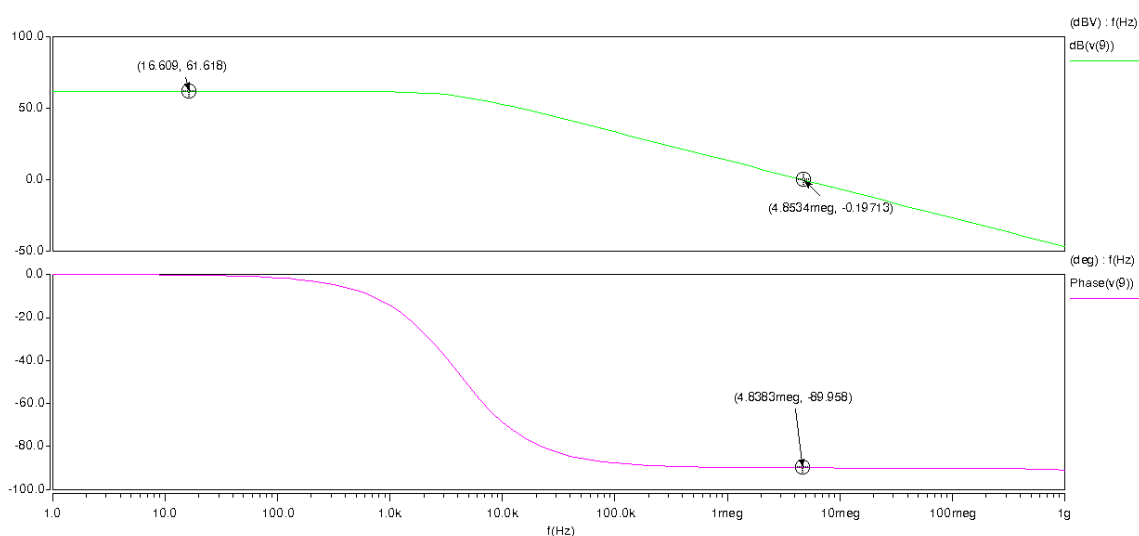


FIGURA 41 – Diagrama de Bode do amplificador folded cascode CNTFET após ajuste

Analisando o gráfico, foi obtido um ganho do circuito de 61,61 dB, o GBW ficou em 4,83 MHz e a margem de fase 90° . Em seguida, para obter o valor do ICMR^- e ICMR^+ , foi variado o valor da tensão de entrada de um valor mínimo a um valor máximo, conforme apresenta a FIGURA 42.

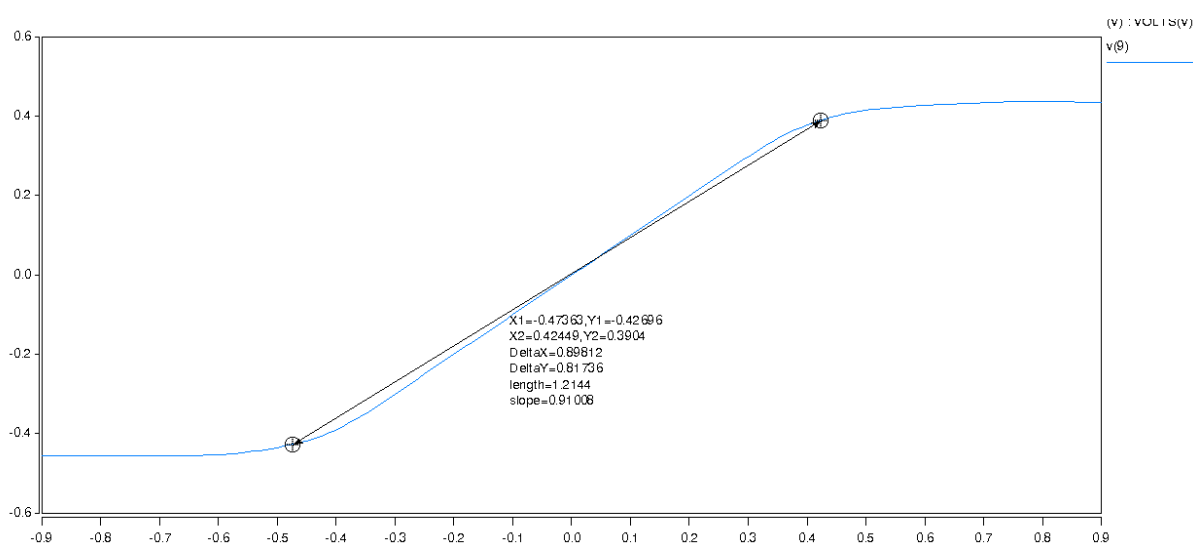


FIGURA 42 – Gráfico do ICMR do amplificador folded cascode CNTFET após ajuste

Com base nessa simulação, foi obtido o valor para o ICMR^+ de 0,42 V e o ICMR^- de -0,47 V. Em seguida, foi realizada a simulação para o slew rate (SR). A FIGURA 43, ilustra o gráfico obtido.

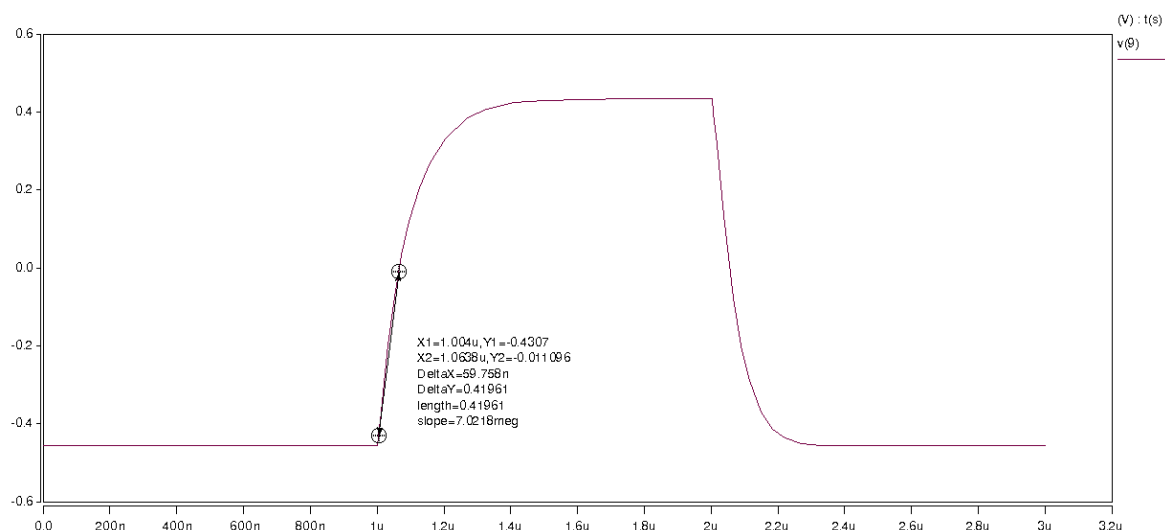


FIGURA 43 – Gráfico do Slew Rate do amplificador folded cascode CNTFET após ajuste

Analisando o gráfico, observa-se que a velocidade de resposta do amplificador folded cascode com CNTFET foi de 7,012 V/ μs . Posteriormente, foi realizada a simulação do output swing, conforme apresenta a FIGURA 44.

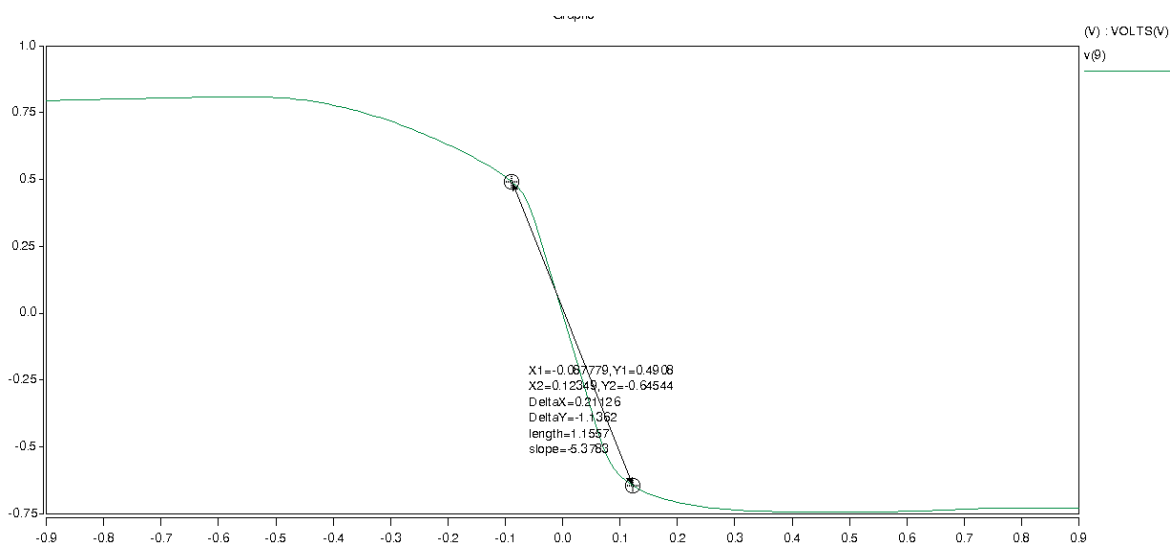


FIGURA 44 – Gráfico Output Swing amplificador folded cascode CNTFET após ajuste

Analisando o gráfico, é possível perceber que output swing⁺ foi de 0,49 V, enquanto que o output swing⁻ foi de -0,62 V. A TABELA 17 apresenta os resultados obtidos através da simulação elétrica para o amplificador Folded Cascode CNTFET, após o ajuste comparando com os valores obtidos com a tecnologia CMOS.

TABELA 17
Resultados do Amplificador Folded Cascode CNTFET após ajuste e CMOS

Especificações	Valores Esperados	Resultado CNTFET
Slew Rate	2V/ μ s	7,012V/ μ s
ICMR +	0,3 V	0,42 V
ICMR -	-0,3 V	-0,47 V
GBW	5 MHz	4,83 MHz
Ganho	60 dB	61,61 dB
Output Swing ⁺	0,3 V	0,49 V
Output Swing ⁻	-0,3 V	-0,62 V

5.7 Comparação entre os resultados obtidos para o Amplificador Folded Cascode CMOS e CNTFET

Após o projeto do amplificador Folded Cascode para as tecnologias CMOS e CNTFET, nesta seção do trabalho será apresentada uma comparação dos resultados, apresentando as vantagens e desvantagens de cada uma das tecnologias analisadas. A TABELA 18 apresenta os resultados obtidos.

TABELA 18
Comparação entre resultados: Amplificador Folded Cascode CMOS e CNTFET

Especificações	Valores Esperados	Resultado CMOS	Resultado CNTFET
Slew Rate	5V/ μ s	2,51V/ μ s	7,012V/ μ s
ICMR ⁺	0,3 V	0,33 V	0,42 V
ICMR ⁻	-0,3 V	-0,48 V	-0,47 V
GBW	5 MHz	4,539 MHz	4,83 MHz
Output Swing ⁺	0,3 V	0,62 V	0,49 V
Output Swing ⁻	-0,3 V	-0,63 V	-0,62 V
Ganho	50 dB	49,69 dB	61,61 dB
Margem de Fase	60°	91°	90°

Fazendo uma comparação entre os resultados, todas as especificações obtidas ficaram próximas do valor requerido. Com estes resultados, verifica-se que foram obtidos melhores valores de ganho e slew rate para a tecnologia CNTFET. A TABELA 19 apresenta uma comparação, dos valores das dimensões dos transistores para a tecnologia CMOS e CNTFET.

De maneira geral, observa-se que as dimensões do circuito em tecnologia CNTFET são muito menores quando comparadas com a tecnologia CMOS. Além disso, a potência dissipada pelo circuito da tecnologia CNTFET é bem menor, pois a fonte de corrente de polarização I_{bias} (diretamente proporcional a potência), foi cerca de 3,3 vezes menor.

Com relação ao valor de I_{bias} , observa-se uma questão interessante com a tecnologia CNTFET, uma vez que o valor do slew rate, é diretamente dependente desta corrente. Mesmo I_{bias} sendo menor, a tecnologia CNTFET, obteve um valor de SR cerca de 2,8 vezes maior que a tecnologia CMOS.

TABELA 19

Comparação entre resultados: Amplificador Diferencial CMOS e CNTFET

Variáveis	W (CMOS)	W(CNTFET)	L (CMOS)	L (CNTFET)
M1	15000 nm	15 nm	200 nm	32 nm
M3	1800 nm	15 nm	100 nm	32 nm
M4	550 nm	15nm	100 nm	32 nm
M6	1100 nm	15nm	100 nm	32 nm
M8	100 nm	15nm	100 nm	32 nm
M12	100nm	15nm	100 nm	32 nm

6 CONCLUSÃO

Foi apresentado neste documento, um trabalho com objetivo, de projetar circuitos amplificadores operacionais, em tecnologia CNTFET. Neste trabalho foi proposta uma metodologia de dimensionamento de transistores CNTFET, baseada no projeto de circuito em tecnologia CMOS.

A metodologia proposta se mostrou válida nos casos em que o ponto de polarização dos transistores CNTFET são iguais ao ponto de operação do mesmo transistor em tecnologia CMOS. Este fato muitas vezes não é atingido, pois as tecnologias apresentam características elétricas diferentes. Os CNTFETS apresentam um parâmetro de largura do canal com variação discreta (número de nanotubos de carbono). Assim muitas vezes não é possível aproximar com exatidão o comportamento elétrico dos dispositivos.

Mesmo assim, o projeto dos amplificadores diferencial e folded cascode, após um ajuste final, apresentaram bons resultados, pois as especificações encontradas foram próximas das especificações requeridas.

Dessa forma, este trabalho atingiu o objetivo proposto, pois foram realizados os projetos de amplificadores em tecnologia CNTFET e uma metodologia de projeto foi proposta. Embora simples, ela apresentou resultados satisfatórios.

Em trabalhos futuros, é indicado que a utilização da metodologia em sua primeira parte, o projeto em tecnologia CMOS já esteja relacionado a tecnologia CNTFET, pois com isso pode-se polarizar os transistores CMOS em pontos realizáveis para a tecnologia CNTFET.

REFERÊNCIAS BIBLIOGRÁFICAS

JEVEY, “**Balistic Carbon Nanotube Field Effect Transistor**” Nature, vol. 424, pp. 654-657, 2003.

BACHTOLD, “**Logic Circuits with Carbon Nanotube Transistors**” Science, vol. 294, pp. 1317-1320, 2001.

S. IJIMA and T. ICHIHASHI, “**Single-shell carbon nanotubes of 1 nm diameter**” Nature, vol. 363, pp. 603–605, 1991.

D. S. BETHUNE, C. H. KIANG, M. S. DEVRIES, G. GORMAN, R. SAVOY, J. VASZQUEZ, and R. BEYERS, “**Cobalt-catalyzed growth of carbon nanotubes with single atomic layer walls**” Nature, vol. 363, pp.605–607, 1993.

A.P. GRAHAM, G.S. DUESBERG, W. HOENLEIN, F. KREUPL, M. LIEBAU, R. MARTIN, B. RAJASEKHARAN, W. PAMLER, R. SEIDEL, W. STEINHOEGL, E. UNGER, “**How do carbon nanotubes fit into the semiconductor roadmap**” Appl. Phys. A 80 (2005) pp.1141.

BANKS, M. G. “**Na extension of the Hirsch Index: indexing scientific topics and compounds**” physics/0604216; <http://arxiv.org/abs/physics/papernum=0604216>, 2008.

ARTACHO, D. SÁNCHEZ-PORTAL, P. ORDEJÓN, A. GARCÍA, J. M. SOLER, “**Linear-scaling ab-initio calculations for large and complex systems**” Physica Status Solidi B 215 (1999) 809-817.

STANFORD, “**Predictive Technology Model**” website: <http://www.nano.stanford.edu/~ptm> Acesso em 2010.

CONNELL, MICHAEL J, “**Carbon Nanotube Properties and Applications**” pp. 3-8, 2006.

ZÜTICH CHRISTOFER HIEROLD ETH , “**Carbon Nanotube Devices**” vol. 8, pp. 1-6, 2008.

ALLEN, Phillip E., HOLBERG, Douglas R.. “**CMOS Analog Circuit Design**” Oxford University Press, Segunda Edição, 2002.

SEDRA, ADEL S. SEDRA, SMITH KENNETH C, “**Microeletrônica**” São Paulo, Makron Books pp. 448-802, 2000.

MARTY L, “**Self-Assembled Single Wall Carbon Nanotube Field Effect Transistor**” IEEE, pp.240-243, 2003.

AJAYAN, P.M. “**Nanotubes From Carbo**” Chem., Rev., V. 99, n.7, p.1787-1799, 1999.

FERREIRA O.P, “**Monografia Nanotubos de Carbono**”, website: http://lqes.iqm.unicamp.br/images/vivencia_lqes_monografias_odair_nanotubos_carbono.pdf
Acesso em: 2011.

BERKLEY LAB, “**Atomic Chicken Wire**” website: <<http://www.lbl.gov/wonder/louie-2.html>> Acesso em: 2011.

RAO, C.N.R, SATISHKUMAR, B.C., GOVINDARAJ, A., NATH, M. “**Nanotubes**” Chem-physche., v.2, p.78-105, Acesso em: 2011.

TERRAZOS, L. “**Os Nanotubos de Carbono**” website: <www.df.ufcg.edu.br/~romulo/seminarios/Luis_Terrazos.ppt> Acesso em: 2011.

SANTOS CHICO, “**Jornal da Ciência**”, website: <<http://www.jornaldaciencia.org.br/Detailhe.jsp?id=71167>> 2010.

BERKLEY, “**Preditive Tecnology Model**” website: WWW.eas.asu.edu/~ptm Acesso em: 2010

K. TEO, ETAL, “**Carbon nanotube technology for solid state and vacuum electronics,**” IEEE Proceedings, Circuits Devices and Systems 151(5), 2004, 443–451, Acesso em:2010

APÊNDICE A – DESCRIÇÃO EM NETLIST PARA AMPLIFICADOR DIFERENCIAL CMOS

Title: Amp-op Diferencial

.include model_nmos.lib

.include model_pmos.lib

M1 2 8 4 4 NMOS w=3000e-9 L=300e-9 AD=0.000045e-9 AS=0.000045e-9 PD=3.03e-6 PS= 3.03e-6

M2 3 9 4 4 NMOS w=3000e-9 L=300e-9 AD=0.000045e-9 AS=0.000045e-9 PD=3.03e-6 PS= 3.03e-6

M3 2 2 1 1 PMOS w=400e-9 L=110e-9 AD=0.000006e-9 AS=0.000006e-9 PD=4.3e-7 PS= 4.3e-7

M4 3 2 1 1 PMOS w=400e-9 L=110e-9 AD=0.000006e-9 AS=0.000006e-9 PD=4.3e-7 PS= 4.3e-7

M5 4 6 5 5 NMOS w=800e-9 L=45e-9 AD=0.000012e-9 AS=0.000012e-9 PD=8.3e-7 PS= 8.3e-7

M6 6 6 5 5 NMOS w=800e-9 L=45e-9 AD=0.000012e-9 AS=0.000012e-9 PD=8.3e-7 PS= 8.3e-7

VDD 1 0 0.9

VSS 5 0 -0.9

Vin2 9 0 0

Vin1 8 0 DC 0 AC 1

IRef 0 6 70e-6

CL 3 0 10e-12

.AC DEC 10 1 1e9

.print v(2)

.op

.end

APÊNDICE B – DESCRIÇÃO EM NETLIST PARA AMPLIFICADOR DIFERENCIAL CNTFET

```
.options POST
.options AUTOSTOP
.options INGOLD=2   DCON=1
.options GSHUNT=1e-12 RMIN=1e-15
.options ABSTOL=1e-5 ABSVDC=1e-4
.options RELTOL=1e-2 RELVDC=1e-2
.options NUMDGT=4   PIVOT=13

.param  TEMP=27
*****

*****

* Carbon Nanotube Field Effect Transistors
*       HSPICE Model
*       Version 2.2.1
*
*
* Copyright The Board Trustees of the Leland Stanford Junior University 2009
* Albert Lin, Gordon Wan, Jie Deng, Prof. H-S Philip Wong
* All Rights Reserved.
*
* 09/09/2008 Last Modified by Albert Lin.
*
* Carbon Nanotube Field Effect Transistors Verilog-A implementation
* based on
* "A Circuit-Compatible SPICE model for Enhancement Mode Carbon
* Nanotube Field Effect Transistors" by Jie Deng and H-S Philip Wong
*
* Patent Pending.
*
```

* File name: cnfet_sample.sp

* LICENSE AGREEMENT

* Stanford Leland Junior University and the authors ("Stanford")

* provide these model files to you subject to the License Agreement,

* which may be updated by us from time to time without notice to you.

* The most-up-to-date License Agreement can be found at

* <http://nano.stanford.edu/license.php>

*

*Sample HSPICE Deck

*

.TITLE 'IDS vs VGS for CNFET'

*For optimal accuracy, convergence, and runtime

.options POST

.options AUTOSTOP

.options INGOLD=2 DCON=1

.options GSHUNT=1e-12 RMIN=1e-15

.options ABSTOL=1e-5 ABSVDC=1e-4

.options RELTOL=1e-2 RELVDC=1e-2

.options NUMDGT=4 PIVOT=13

.param TEMP=27

*Include relevant model files

.lib 'CNFET.lib' CNFET

*Beginning of circuit and device definitions

*Supplies and voltage params:

.param Supply=1.0

.param Vg='Supply'

.param Vd='Supply'

*Some CNFET parameters:

.param Ccsd=0 CoupleRatio=0

.param m_cnt=1 Efo=0.6

.param Wg=0 Cb=40e-12

.param Lg=32e-9 Lgef=100e-9

.param Vfn=0 Vfp=0

.param m=19 n=0

.param Hox=4e-9 Kox=16

* Define power supply

VDD 1 0 0.9
VSS 5 0 -0.9
Vin2 9 0 0
Vin1 8 0 DC 0 AC 1

IRef 0 6 100e-6
CL 3 0 10e-12

* Main Circuits

*M1 e M2 - NMOS *****

X1 2 8 4 4 NCFET Lch=100e-9 Lgeff='Lgef' Lss=32e-9 Ldd=32e-9
+ Kgate='Kox' Tox='Hox' Csub='Cb' Vfbn='Vfn' Dout=0 Sout=0 Pitch=20e-9 n1=m
n2=n tubes=2

X2 3 9 4 4 NCFET Lch=100e-9 Lgeff='Lgef' Lss=32e-9 Ldd=32e-9
+ Kgate='Kox' Tox='Hox' Csub='Cb' Vfbn='Vfn' Dout=0 Sout=0 Pitch=20e-9 n1=m
n2=n tubes=2

*M3 e M4 - PMOS *****

X3 2 2 1 1 PCNFET Lch=70e-9 Lgeff='Lgef' Lss=32e-9 Ldd=32e-9
+ Kgate='Kox' Tox='Hox' Csub='Cb' Vfbp='Vfp' Dout=0 Sout=0 Pitch=20e-9 n1=m
n2=n tubes=1

X4 3 2 1 1 PCNFET Lch=70e-9 Lgeff='Lgef' Lss=32e-9 Ldd=32e-9
+ Kgate='Kox' Tox='Hox' Csub='Cb' Vfbp='Vfp' Dout=0 Sout=0 Pitch=20e-9 n1=m
n2=n tubes=1

*M5 e M6 - NMOS *****

```
X5 4 6 5 5 NCFET Lch=32e-9 Lgeff='Lgef' Lss=32e-9 Ldd=32e-9
+ Kgate='Kox' Tox='Hox' Csub='Cb' Vfbn='Vfn' Dout=0 Sout=0 Pitch=20e-9 n1=m
n2=n tubes=4
```

```
X6 6 6 5 5 NCFET Lch=32e-9 Lgeff='Lgef' Lss=32e-9 Ldd=32e-9
+ Kgate='Kox' Tox='Hox' Csub='Cb' Vfbn='Vfn' Dout=0 Sout=0 Pitch=20e-9 n1=m
n2=n tubes=4
```

```
.AC DEC 10 1 1e9
```

```
.PRINT V(1)
```

```
.PRINT V(2)
```

```
.PRINT V(3)
```

```
.PRINT V(4)
```

```
.PRINT V(5)
```

```
.PRINT V(6)
```

```
.PRINT V(8)
```

```
.PRINT V(9)
```

```
.op
```

```
.end
```

APÊNDICE C – DESCRIÇÃO EM NETLIST PARA AMPLIFICADOR FOLDED CASCODE CMOS

.include model_nmos.lib

.include model_pmos.lib

M1 4 13 12 12 NMOS W= 15000e-9 L=100e-9

M2 3 14 12 12 NMOS W= 15000e-9 L= 100e-9

M3 12 11 10 10 NMOS W= 1800e-9 L= 60e-9

M4 4 2 1 1 PMOS W= 550e-9 L= 32e-9

M5 3 2 1 1 PMOS W= 550e-9 L= 32e-9

M6 7 6 4 4 PMOS W= 1100e-9 L=500e-9

M7 9 6 3 3 PMOS W=1100e-9 L=500e-9

M8 8 7 15 15 NMOS W= 100e-9 L=80e-9

M9 9 7 16 16 NMOS W= 100e-9 L=80e-9

M10 15 8 10 10 NMOS W= 100e-9 L=80e-9

M11 16 8 10 10 NMOS W= 100e-9 L= 80e-9

M12 6 11 10 10 NMOS W= 100e-9 L=40e-9

M13 2 6 5 5 PMOS W= 1100e-9 L= 500e-9

M14 5 2 1 1 PMOS W= 550e-9 L= 32e-9

M15 11 11 10 10 NMOS W=1800E-9 L=60E-9

R1 2 6 30e3

R2 7 8 20e3

CL 9 0 10E-12

Ibias 10 11 330E-6

VDD 1 0 0.9

VSS 10 0 -0.9

Vin2 14 0 0

Vin1 13 0 DC 0 AC 1

.AC DEC 10 1 1e9

.op

.end

**APÊNDICE D – DESCRIÇÃO EM NETLIST PARA AMPLIFICADOR FOLDED
CASCODE CNTFET**

.options POST

.options AUTOSTOP

.options INGOLD=2 DCON=1

.options GSHUNT=1e-12 RMIN=1e-15

.options ABSTOL=1e-5 ABSVDC=1e-4

.options RELTOL=1e-2 RELVDC=1e-2

.options NUMDGT=4 PIVOT=13

.param TEMP=27

* Carbon Nanotube Field Effect Transistors

* HSPICE Model

* Version 2.2.1

*

*

* Copyright The Board Trustees of the Leland Stanford Junior University 2009

* Albert Lin, Gordon Wan, Jie Deng, Prof. H-S Philip Wong

* All Rights Reserved.

*

* 09/09/2008 Last Modified by Albert Lin.

*

* Carbon Nanotube Field Effect Transistors Verilog-A implementation

* based on

* "A Circuit-Compatible SPICE model for Enhancement Mode Carbon

* Nanotube Field Effect Transistors" by Jie Deng and H-S Philip Wong

*

* Patent Pending.

*

* File name: cnfet_sample.sp

* LICENSE AGREEMENT

* Stanford Leland Junior University and the authors ("Stanford")

* provide these model files to you subject to the License Agreement,

* which may be updated by us from time to time without notice to you.

* The most-up-to-date License Agreement can be found at

* <http://nano.stanford.edu/license.php>

*

*Sample HSPICE Deck

*

.TITLE 'IDS vs VGS for CNFET'

*For optimal accuracy, convergence, and runtime

.options POST

.options AUTOSTOP

.options INGOLD=2 DCON=1

.options GSHUNT=1e-12 RMIN=1e-15

.options ABSTOL=1e-5 ABSVDC=1e-4

.options RELTOL=1e-2 RELVDC=1e-2

.options NUMDGT=4 PIVOT=13

.param TEMP=27

*Include relevant model files

.lib 'CNFET.lib' CNFET

*Beginning of circuit and device definitions

*Supplies and voltage params:

.param Supply=1.0

.param Vg='Supply'

.param Vd='Supply'

*Some CNFET parameters:

.param Ccsd=0 CoupleRatio=0

.param m_cnt=1 Efo=0.6

.param Wg=0 Cb=40e-12

.param Lg=32e-9 Lgef=100e-9

.param Vfn=0 Vfp=0

.param m=19 n=0

.param Hox=4e-9 Kox=16

* Define power supply

VDD 1 0 0.9

VSS 10 0 -0.9

Vin2 14 0 0

Vin1 13 0 DC 0 AC 1

R1 2 6 30e3

R2 7 8 20e3

CL 9 0 10E-12

Ibias 10 11 330E-6

* Main Circuits

*M1 M2 e M3 - NMOS *****

X1 4 13 12 12 NCFET Lch=200e-9 Lgeff='Lgef' Lss=32e-9 Ldd=32e-9

+ Kgate='Kox' Tox='Hox' Csub='Cb' Vfn='Vfn' Dout=0 Sout=0 Pitch=20e-9 n1=m
n2=n tubes=26

X2 3 14 12 12 NCFET Lch=200e-9 Lgeff='Lgef' Lss=32e-9 Ldd=32e-9

+ Kgate='Kox' Tox='Hox' Csub='Cb' Vfn='Vfn' Dout=0 Sout=0 Pitch=20e-9 n1=m
n2=n tubes=26

X3 12 11 10 10 NCFET Lch=100e-9 Lgeff='Lgef' Lss=32e-9 Ldd=32e-9

+ Kgate='Kox' Tox='Hox' Csub='Cb' Vfn='Vfn' Dout=0 Sout=0 Pitch=20e-9 n1=m
n2=n tubes=28

*M4 M5 M6 M7- PMOS *****

X4 4 2 1 1 PCNFET Lch=100e-9 Lgeff='Lgef' Lss=32e-9 Ldd=32e-9

+ Kgate='Kox' Tox='Hox' Csub='Cb' Vfbp='Vfp' Dout=0 Sout=0 Pitch=20e-9 n1=m
n2=n tubes=22

X5 3 2 1 1 PCNFET Lch=100e-9 Lgeff='Lgef' Lss=32e-9 Ldd=32e-9

+ Kgate='Kox' Tox='Hox' Csub='Cb' Vfbp='Vfp' Dout=0 Sout=0 Pitch=20e-9 n1=m
n2=n tubes=22

X6 7 6 4 4 PCNFET Lch=100e-9 Lgeff='Lgef' Lss=32e-9 Ldd=32e-9

+ Kgate='Kox' Tox='Hox' Csub='Cb' Vfbp='Vfp' Dout=0 Sout=0 Pitch=20e-9 n1=m
n2=n tubes=35

X7 9 6 3 3 PCNFET Lch=100e-9 Lgeff='Lgef' Lss=32e-9 Ldd=32e-9

+ Kgate='Kox' Tox='Hox' Csub='Cb' Vfbp='Vfp' Dout=0 Sout=0 Pitch=20e-9 n1=m
n2=n tubes=35

*M8 M9 e M10 - NMOS *****

X8 8 7 15 15 NCFET Lch=100e-9 Lgeff='Lgef' Lss=32e-9 Ldd=32e-9

+ Kgate='Kox' Tox='Hox' Csub='Cb' Vfbn='Vfn' Dout=0 Sout=0 Pitch=20e-9 n1=m
n2=n tubes=1

X9 9 7 16 16 NCFET Lch=100e-9 Lgeff='Lgef' Lss=32e-9 Ldd=32e-9

+ Kgate='Kox' Tox='Hox' Csub='Cb' Vfbn='Vfn' Dout=0 Sout=0 Pitch=20e-9 n1=m
n2=n tubes=1

X10 15 8 10 10 NCFET Lch=100e-9 Lgeff='Lgef' Lss=32e-9 Ldd=32e-9

+ Kgate='Kox' Tox='Hox' Csub='Cb' Vfbn='Vfn' Dout=0 Sout=0 Pitch=20e-9 n1=m
n2=n tubes=1

*M11 e M12 - NMOS *****

X11 16 8 10 10 NCNFET Lch=100e-9 Lgeff='Lgef' Lss=32e-9 Ldd=32e-9

+ Kgate='Kox' Tox='Hox' Csub='Cb' Vfbn='Vfn' Dout=0 Sout=0 Pitch=20e-9 n1=m
n2=n tubes=1

X12 6 11 10 10 NCNFET Lch=100e-9 Lgeff='Lgef' Lss=32e-9 Ldd=32e-9

+ Kgate='Kox' Tox='Hox' Csub='Cb' Vfbn='Vfn' Dout=0 Sout=0 Pitch=20e-9 n1=m
n2=n tubes=4

*M13 e M14- PMOS *****

X13 2 6 5 5 PCNFET Lch=100e-9 Lgeff='Lgef' Lss=32e-9 Ldd=32e-9

+ Kgate='Kox' Tox='Hox' Csub='Cb' Vfbp='Vfp' Dout=0 Sout=0 Pitch=20e-9 n1=m
n2=n tubes=35

X14 5 2 1 1 PCNFET Lch=100e-9 Lgeff='Lgef' Lss=32e-9 Ldd=32e-9

+ Kgate='Kox' Tox='Hox' Csub='Cb' Vfbp='Vfp' Dout=0 Sout=0 Pitch=20e-9 n1=m
n2=n tubes=22

X15 11 11 10 10 NCNFET Lch=100e-9 Lgeff='Lgef' Lss=32e-9 Ldd=32e-9

+ Kgate='Kox' Tox='Hox' Csub='Cb' Vfbn='Vfn' Dout=0 Sout=0 Pitch=20e-9 n1=m
n2=n tubes=28

.AC DEC 10 1 1e9

.op

.end