

UNIVERSIDADE FEDERAL DO PAMPA

Matheus Cortez

**MODELAGEM COMPORTAMENTAL E ELÉTRICA DE UM MODULADOR
SIGMA-DELTA EM TEMPO CONTÍNUO DE BAIXA TENSÃO PARA A FAIXA
DE ÁUDIO**

Alegrete-RS

2023

Matheus Cortez

**MODELAGEM COMPORTAMENTAL E ELÉTRICA DE UM MODULADOR
SIGMA-DELTA EM TEMPO CONTÍNUO DE BAIXA TENSÃO PARA A FAIXA
DE ÁUDIO**

Dissertação apresentada ao Programa de Pós-graduação Stricto Sensu em Engenharia Elétrica da Universidade Federal do Pampa, como requisito parcial para obtenção do Título de Mestre em Engenharia Elétrica.

Orientador: Prof. Dr. Paulo César Comassetto de Aguirre

Coorientador: Prof. Dr. Alessandro Golçalves Girardi

Alegrete-RS
2023

Ficha catalográfica elaborada automaticamente com os dados fornecidos
pelo(a) autor(a) através do Módulo de Biblioteca do
Sistema GURI (Gestão Unificada de Recursos Institucionais) .

C828m Cortez, Matheus

Modelagem comportamental e elétrica de um modulador sigma-
delta em tempo contínuo de baixa tensão para a faixa de áudio
/ Matheus Cortez.

102 p.

Dissertação(Mestrado)-- Universidade Federal do Pampa,
MESTRADO EM ENGENHARIA ELÉTRICA, 2023.

"Orientação: Paulo César Comassetto de Aguirre".

1. Modulação sigma-delta. 2. Conversor analógico-digital.
3. Sinais de áudio. 4. Baixa tensão. I. Título.

MATHEUS CORTEZ

MODELAGEM COMPORTAMENTAL E ELÉTRICA DE UM MODULADOR SIGMA-DELTA EM TEMPO CONTÍNUO DE BAIXA TENSÃO PARA A FAIXA DE ÁUDIO

Dissertação apresentada ao Programa de Pós-Graduação em Engenharia Elétrica da Universidade Federal do Pampa, como requisito parcial para obtenção do Título de Mestre em Engenharia Elétrica.

Dissertação defendida e aprovada em: 20 de Outubro de 2023.

Banca examinadora:

Prof. Dr. Paulo César Comassetto de Aguirre
Orientador
UNIPAMPA

Prof. Dr. Alessandro Gonçalves Girardi
Co-Orientador
UNIPAMPA

Prof. Dr. Cesar Augusto Prior
UFSM

Prof. Dr. Cristian Muller
UNIPAMPA

Prof. Dr. Lucas Compassi Severo
UNIPAMPA



Assinado eletronicamente por **PAULO CESAR COMASSETTO DE AGUIRRE, PROFESSOR DO MAGISTERIO SUPERIOR**, em 24/10/2023, às 10:00, conforme horário oficial de Brasília, de acordo com as normativas legais aplicáveis.



Assinado eletronicamente por **CRISTIAN MULLER, PROFESSOR DO MAGISTERIO SUPERIOR**, em 24/10/2023, às 10:20, conforme horário oficial de Brasília, de acordo com as normativas legais aplicáveis.



Assinado eletronicamente por **Cesar Augusto Prior, Usuário Externo**, em 24/10/2023, às 20:02, conforme horário oficial de Brasília, de acordo com as normativas legais aplicáveis.



Assinado eletronicamente por **Lucas Compassi Severo, Usuário Externo**, em 26/10/2023, às 17:01, conforme horário oficial de Brasília, de acordo com as normativas legais aplicáveis.



Assinado eletronicamente por **ALESSANDRO GONCALVES GIRARDI, PROFESSOR DO MAGISTERIO SUPERIOR**, em 14/11/2023, às 14:50, conforme horário oficial de Brasília, de acordo com as normativas legais aplicáveis.



A autenticidade deste documento pode ser conferida no site https://sei.unipampa.edu.br/sei/controlador_externo.php?acao=documento_conferir&id_orgao_acesso_externo=0, informando o código verificador **1266453** e o código CRC **B01E1CCC**.

RESUMO

A migração do processamento de sinais para o domínio digital permite resultados mais confiáveis e eficientes em relação ao processamento de sinais em domínio contínuo. Os circuitos digitais vem sendo comumente aprimorados, tornando seus circuitos cada vez mais complexos, precisos e rápidos. No entanto, como a natureza dos sinais de áudio é analógica, há a necessidade do uso de conversores analógico-digitais (ADCs) de alta resolução para uma aquisição de áudio com alta relação sinal-ruído (SNR), capazes de transformar uma informação analógica em palavras digitais para que os núcleos de processamento digital possam processar as informações com maior desempenho. Esta dissertação apresenta uma modelagem comportamental e elétrica de um modulador sigma-delta em tempo contínuo (CT-SDM) para faixa de áudio com capacidade de operação em baixa tensão de alimentação. Neste trabalho é desenvolvido o modelo comportamental de 2 CT-SDMs com diferentes topologias de conversores digital-analógico (DAC) de realimentação. O primeiro é um CT-SDM com DAC do tipo *non-return-to-zero* (NRZ) de 1-bit implementado com um inversor CMOS e o segundo utiliza um filtro de resposta finita ao impulso (FIR) de 6 taps como DAC de realimentação, sendo que este último se mostrou a melhor escolha pois apresentou uma redução na área e consumo do primeiro estágio integrador. Uma metodologia baseada em circuitos programados em VerilogA é utilizada para estimar os requisitos mínimos do amplificador operacional utilizado no primeiro integrador, que apresenta um maior impacto à performance do CT-SDM. Por fim, é apresentado o projeto elétrico do CT-SDM utilizando um DAC do tipo FIR de 6-taps em tecnologia CMOS de $0,18 \mu m$ e tensão de alimentação de $0,5 V$. O CT-SDM foi simulado utilizando os circuitos projetados à nível de transistor e mantendo o 2º e 3º integradores com modelos de amplificadores ideais programados em VerilogA. Os resultados das simulações transientes conservativas sem e com ruído resultaram em uma relação sinal-ruído e distorção (SNDR) e número efetivo de bits (ENOB) de $95,71 \text{ dB}/15,60 \text{ bits}$ e $82,28 \text{ dB}/13,37 \text{ bits}$, respectivamente. Este CT-SDM apresentou um consumo de $40,02 \mu W$ resultando em uma Figura de mérito (FoM) de Walden de $94,50 \text{ fj/conv.}$, desconsiderando a potência do 2º e 3º integradores.

Palavras-chave: Modulação Sigma-delta, Conversor Analógico-Digital, Sinais de Áudio, Baixa Tensão

ABSTRACT

The migration of signal processing to the digital domain allows for more reliable and efficient results compared to continuous domain signal processing. Digital circuits have been commonly improved, making their circuits increasingly complex, accurate, and fast. However, as the nature of audio signals is analog, there is a need to use high-resolution analog-to-digital converters (ADCs) for an audio acquisition with a high signal-to-noise ratio (SNR), capable of transforming analog information in digital words so that the digital processing cores can process the information with greater performance. This master's dissertation presents a behavioral and electrical modeling of a continuous-time sigma-delta modulator (CT-SDM) for the audio range capable of operating at low voltage. The behavioral model of 2 CT-SDMs with different feedback digital-to-analog converter (DAC) topologies is developed. The first is a CT-SDM with a 1-bit *non-return-to-zero* (NRZ) DAC implemented with a CMOS inverter and the second uses a finite impulse response (FIR) filter of 6 taps as feedback DAC. The latter proved to be the best choice as it presented a reduction in the area and power consumption of the first integrating stage. A methodology based on circuits programmed in VerilogA is used to estimate the minimum requirements of the operational amplifier used in the first integrator, which has a greater impact on the performance of the CT-SDM. Finally, the electrical design of the CT-SDM is presented using a 6-tap FIR type DAC in 0.18 μm CMOS technology and 0.5 V supply voltage. The CT-SDM was simulated using circuits designed at the transistor level and keeping the 2nd and 3rd integrators with ideal amplifier models programmed in VerilogA. The results of conservative transient simulations without and with noise resulted in a signal-to-noise-and-distortion ratio (SNDR) and effective number of bits (ENOB) of 95.71 dB/15.60 bits and 82.28 dB/13.37bits, respectively. This CT-SDM presented a power consumption of 40.02 μW , resulting in a Walden Figure of Merit (FoM) of 94.50 fj/conv., without considering the power of the 2nd and 3rd integrators.

Keywords: Sigma-Delta Modulation, Analog-to-Digital Converter, Audio Signals, Low Voltage.

LISTA DE ILUSTRAÇÕES

Figura 1 – Corte transversal de um microfone MEMS.	16
Figura 2 – Diagrama genérico do ASIC usado nos microfones MEMS.	16
Figura 3 – Conversor Analógico-Digital do tipo Sigma-Delta	20
Figura 4 – Modulador do tipo Sigma-Delta	20
Figura 5 – ADC <i>Nyquist-rate</i>	21
Figura 6 – ADC sobreamostrado	21
Figura 7 – Quantizador	22
Figura 8 – Densidade espectral	23
Figura 9 – Diagrama DT-SDM	24
Figura 10 – Diagrama CT-SDM	24
Figura 11 – Forma de onda do sinal de saída de um DAC NRZ e RZ.	29
Figura 12 – Fluxograma do projeto utilizando o <i>Delta-Sigma Toolbox</i>	30
Figura 13 – Densidade espectral da potência (PSD) de saída da função de transferência do ruído (NTF) gerada.	31
Figura 14 – Topologia de cascata de integradores em avanço (CIFF) para o modulador em tempo discreto (DT-SDM).	32
Figura 15 – Modulador sigma-delta em tempo discreto utilizando topologia CIFF no Simulink/Matlab	34
Figura 16 – PSD do SDM em tempo discreto no Simulink	34
Figura 17 – Representação dos moduladores em (a) tempo discreto (b) tempo contínuo	36
Figura 18 – Topologia CIFF em tempo contínuo.	37
Figura 19 – Modulador sigma-delta em tempo contínuo utilizando topologia CIFF no matlab	38
Figura 20 – PSD do SDM em tempo contínuo no Simulink	39
Figura 21 – Excursão de saída do 1º integrador do SDM em tempo contínuo no Simulink	40
Figura 22 – Excursão de saída do 2º integrador do SDM em tempo contínuo no Simulink	40
Figura 23 – Excursão de saída do 3º integrador do SDM em tempo contínuo no Simulink	41
Figura 24 – Excursão de saída do 1º integrador do SDM em tempo contínuo no Simulink com o escalonamento	43
Figura 25 – Excursão de saída do 2º integrador do SDM em tempo contínuo no Simulink com o escalonamento	43
Figura 26 – Excursão de saída do 3º integrador do SDM em tempo contínuo no Simulink com o escalonamento	44
Figura 27 – PSD do SDM em tempo contínuo no Simulink	44
Figura 28 – Estágio de entrada do CT-SDM	46

Figura 29 – CT-SDM em arquitetura CIFF - Nível elétrico	49
Figura 30 – Somador Ponderado de saída simples	49
Figura 31 – Esquemático do amplificador de saída diferencial	50
Figura 32 – Esquemático do inversor CMOS	52
Figura 33 – PSD de saída do modulador em nível elétrico	53
Figura 34 – Excursão de saída do 1º integrador	54
Figura 35 – Excursão de saída do 2º integrador	54
Figura 36 – Excursão de saída do 3º integrador	55
Figura 37 – Simulação paramétrica para o ganho	56
Figura 38 – Simulação paramétrica para o GBW	57
Figura 39 – Simulação paramétrica para o <i>slew-rate</i>	58
Figura 40 – FFT do modulador com as especificações mínimas do amplificador	59
Figura 41 – Nova Simulação paramétrica com variação do <i>slew-rate</i>	60
Figura 42 – PSD, SNR e SNDR do modulador com as novas especificações mínimas do amplificador	61
Figura 43 – FFT, SNR e SNDR do modulador com as novas especificações mínimas do amplificador	61
Figura 44 – (a) Diagrama simplificado do CT-SDM com DAC FIR e (b) Diagrama DAC FIR de N-taps	64
Figura 45 – CT-SDM em topologia CIFF com FIR DAC e filtro de compensação ao redor do quantizador	65
Figura 46 – (a) resposta ao impulso para o filtro em malha aberta sem o DAC FIR e (b) com o DAC FIR	67
Figura 47 – Respostas ao pulso em malha aberta de um CT-SDM de 3ª ordem com e sem um filtro FIR de 4-taps e extração dos coeficientes C_{cs}	67
Figura 48 – Comportamento do SNR/SNDR vs Número de taps do DAC FIR.	68
Figura 49 – Máximo atraso suportável pelo filtro de loop com DAC FIR de 6-taps	70
Figura 50 – CT-SDM com DAC FIR e filtro de compensação em arquitetura CIFF - Nível elétrico	70
Figura 51 – <i>Dynamic range</i> do CT-SDM com DAC FIR de 6 taps	71
Figura 52 – DAC FIR de 6-taps e filtro de compensação - Nível elétrico	72
Figura 53 – SNR/SNDR vs (a) Ganho, (b) GBW e (c) SR do primeiro integrador	74
Figura 54 – PSD do CT-SDM com DAC FIR de 6-taps usando as especificações mínimas estimadas pelas simulações transientes paramétricas.	75
Figura 55 – Arquitetura completa do CT-SDM com filtro FIR de 6 taps com otimi- zações.	76
Figura 56 – Cascata de registradores	76
Figura 57 – Topologia <i>StrongArm latch</i>	77
Figura 58 – Análise transiente do quantizador.	79

Figura 59 – Registrador sensível à borda de subida.	80
Figura 60 – Análise transiente do registrador de onda completa.	80
Figura 61 – Registrador sensível à borda de descida.	81
Figura 62 – Análise transiente do registrador de meia onda.	82
Figura 63 – Compensação Miller: (a) Interligação do capacitor de compensação e (b) efeito Miller.	84
Figura 64 – Diagrama da compensação em avanço sem capacitores Miller em ampli- ficador de n-estágios.	85
Figura 65 – Esquemático do OTA do primeiro integrador (OTA1).	87
Figura 66 – Resposta em frequência simulada do OTA do primeiro integrador.	88
Figura 67 – Análise de Monte Carlo com 1000 rodadas.	89
Figura 68 – Parcela de consumo de cada circuito, em nível elétrico, utilizado neste CT-SDM.	90
Figura 69 – Excursão de saída do 1º integrador do CT-SDM para simulação transi- ente com ruído.	91
Figura 70 – Excursão de saída do 2º integrador do CT-SDM para simulação transi- ente com ruído.	92
Figura 71 – Excursão de saída do 3º integrador do CT-SDM para simulação transi- ente com ruído.	92
Figura 72 – Densidade espectral de potência de saída do CT-SDM para simulações transientes com e sem ruído.	93

LISTA DE TABELAS

Tabela 1 – Comparação de SDMs de baixa tensão para a faixa de áudio.	28
Tabela 2 – Especificação e parâmetros de entrada para o <i>Delta-Sigma Toolbox</i> . . .	32
Tabela 3 – Coeficientes gerados para topologia CIFF	33
Tabela 4 – Parâmetros simulados	35
Tabela 5 – Equivalentes de TC utilizando DACs de realimentação retangular. . . .	37
Tabela 6 – Coeficientes transformados de DT para CT utilizando a topologia CIFF	38
Tabela 7 – Parâmetros simulados	39
Tabela 8 – Coeficientes escalonados utilizando a topologia CIFF	42
Tabela 9 – Resultados obtidos com a metodologia	48
Tabela 10 – Elementos passivos do CT-SDM	48
Tabela 11 – Resistências em avanço do CT-SDM	50
Tabela 12 – Parâmetros do amplificador ideal	52
Tabela 13 – Parâmetros do amplificador do primeiro estágio integrador	53
Tabela 14 – Simulação paramétrica para o ganho	56
Tabela 15 – Simulação paramétrica para o GBW	56
Tabela 16 – Simulação paramétrica para o <i>slew-rate</i>	57
Tabela 17 – Parâmetros à serem alcançados no projeto do amplificador operacional	58
Tabela 18 – Parâmetros utilizados para simulação com variação do <i>slew-rate</i>	59
Tabela 19 – Parâmetros à serem alcançados no projeto do amplificador operacional	60
Tabela 20 – Parâmetros de entrada para o <i>Delta-Sigma Toolbox</i>	63
Tabela 21 – Coeficientes escalonados utilizando a topologia CIFF	64
Tabela 22 – CT-SDM com DAC FIR de 6-taps: Coeficientes antes e depois do escalonamento.	69
Tabela 23 – Elementos passivos do CT-SDM	70
Tabela 24 – Resistores usados no DAC FIR e filtro de compensação	72
Tabela 25 – Parâmetros dos amplificadores do filtro de loop	73
Tabela 26 – Parâmetros do primeiro integrador para as simulações transientes para- métricas	73
Tabela 27 – Dimensionamento dos transistores.	78
Tabela 28 – Dimensionamento dos transistores.	80
Tabela 29 – Dimensionamento dos transistores.	81
Tabela 30 – Resumo do tamanho dos transistores amplificadores pseudo-diferenciais baseados em inversores do 1º estágio.	86
Tabela 31 – Resultados em nível elétrico do amplificador.	88
Tabela 32 – Resumo de resultados e comparação de CT-SDMs de baixa tensão. . .	91

LISTA DE ABREVIATURAS E SIGLAS

ADC	Conversor analógico-digital
SNR	Relação sinal-ruído
SNDR	Relação sinal-ruído-distorção
CT-SDM	Modulador Sigma-delta em tempo contínuo
DAC	Conversor Digital-Analógico
NRZ	<i>Non-return-to-zero</i>
FIR	Resposta finita ao impulso
ENOB	Número Efetivo de bits
FoM	Figura de mérito
BW	Largura de banda
ADC SD	Conversor Analógico-digital Sigma-delta
MEMS	Sistemas micro-eleto-mecânico
DR	Faixa dinâmica
SD	Sigma-delta
VLSI	<i>Very Large Scale Integration</i>
FF	<i>Feedforward</i>
FB	<i>Feedback</i>
OSR	Taxa de sobreamostragem
AAF	Filtro anti-alias
SDM	Modulador Sigma-delta
FS	<i>Full-scale</i>
NTF	Função de transferência de ruído
ELD	Excesso de atraso de loop
CMOS	<i>Complementary metal-oxide semiconductor</i>
MOSFET	<i>Metal-oxide-semiconductor field effect transistor</i>

GBW	Frequência de ganho unitário
RTO	<i>Return-to-open</i>
CIFB	Cascata de integradores em realimentação
CIFF	Cascata de integradores em avanço
SCR	<i>Switched-capacitor-resistor</i>
RZ	<i>Retur to zero</i>
PSD	Densidade espectral de potência
FFT	Transformada rápida de Fourier
SQNR	Relação sinal-ruído de quantização
MOS	<i>Metal-oxide-semiconductor</i>
SR	<i>Slew-rate</i>
Soc	<i>System-on-chip</i>
NMOS	Transistor MOS de canal N
PMOS	Transistor MOS de canal P
TSMC	<i>Taiwan Semiconductor Manufacturing Company</i>
Cc	Caminho compensado
VDD	Tensão de alimentação
LHP	Zero do semi-plano esquerdo
OTA	Amplificador operacional de transcondutância
CMFB	Realimentação de modo comum
MC	Monte Carlo

SUMÁRIO

1	INTRODUÇÃO	15
1.1	Objetivo	17
1.2	Publicações	18
1.2.1	Publicações inclusas à esta dissertação	18
1.2.2	Publicações não inclusas à esta dissertação	18
1.3	Organização do Trabalho	19
2	MODULAÇÃO SIGMA-DELTA	20
2.1	Moduladores do tipo Sigma-Delta (SDM)	20
2.1.1	Sobramostragem	20
2.1.2	Quantização em amplitude	21
2.1.3	<i>Noise Shaping</i>	23
2.2	SDM: Tempo discreto vs Tempo contínuo	24
2.3	Figura de mérito	25
2.4	Moduladores Sigma-Delta para faixa de áudio em baixa tensão	26
2.5	Considerações	28
3	MODULADOR DO TIPO SIGMA-DELTA EM TEMPO CONTÍ- NUO COM DAC DO TIPO NRZ DE 1-BIT	29
3.1	Projeto em alto nível de um CT-SDM com DAC NRZ 1-bit	30
3.1.1	Projeto do modulador sigma-delta em tempo discreto	30
3.1.2	Conversão do modulador em tempo discreto para tempo contínuo (Conversão DT-CT)	35
3.1.2.1	Transformação invariante ao impulso	35
3.1.3	Escalonamento dos coeficientes em tempo contínuo	41
3.1.4	Análise do Ruído	45
3.1.4.1	Ruído referenciado à entrada do modulador	45
3.1.4.2	Definição do máximo ruído de entrada e cálculo da resistência de entrada do CT-SDM	47
3.1.5	Cálculo dos elementos passivos do CT-SDM	48
3.1.6	Modelagem do amplificador totalmente diferencial	49
3.1.7	Modelagem do comparador	50
3.1.8	Modelagem do DAC de realimentação do tipo NRZ de 1-bit	51
3.2	Implementação do modulador do tipo sigma-delta em tempo con- tínuo com DAC do tipo NRZ de 1-bit	52
3.2.1	Extração dos parâmetros de projeto para o amplificador operacional aplicado a um CT-SDM com DAC NRZ de 1-bit	55
3.3	Considerações	61

4	MODULADOR DO TIPO SIGMA-DELTA EM TEMPO CONTÍNUO UTILIZANDO UM FILTRO FIR COMO DAC DE REALIMENTAÇÃO	63
4.1	Projeto em alto nível de um CT-SDM com DAC FIR	63
4.2	Filtro de Resposta ao Impulso Finita (FIR)	64
4.2.1	Projeto do Filtro FIR	65
4.2.1.1	Projeto dos coeficientes em avanço do CT-SDM de 3ª ordem para implementação do DAC FIR	66
4.2.1.2	Extração dos coeficientes do filtro de compensação	66
4.2.2	Definição de número de taps do DAC FIR	68
4.2.3	Análise do excesso de atraso no loop (ELD)	69
4.3	Implementação parcial em nível elétrico do CT-SDM com FIR de 6-taps	69
4.4	Cálculo do <i>dynamic range</i> do modelo em alto nível do CT-SDM com DAC FIR de 6 taps	71
4.4.1	Cálculo dos elementos passivos do DAC FIR e Filtro de compensação	71
4.4.2	Extração dos parâmetros de projeto para o amplificador operacional aplicado a um CT-SDM com DAC FIR de 6-taps	72
4.5	Considerações	73
5	IMPLEMENTAÇÃO EM NÍVEL ELÉTRICO DO CT-SDM COM DAC FIR DE 6 TAPS	76
5.1	Projeto do quantizador de 1-bit (ADC)	76
5.2	Registradores	78
5.2.1	Projeto do registrador de onda completa	79
5.2.2	Projeto do registrador de meia-onda	80
5.3	Projeto do amplificador operacional	82
5.3.1	Amplificador operacional de múltiplos estágios	83
5.3.2	Dimensionamento e resultados do OTA	85
5.4	Resultados do modelo elétrico do CT-SDM	89
5.5	Considerações	93
6	CONCLUSÃO	94
6.1	Trabalhos Futuros	95
	REFERÊNCIAS	96

1 INTRODUÇÃO

Com o avanço na área de processamento de sinais, a utilização de eletrônica analógica para tal função se tornou muito custosa ou até mesmo inviável, pois se restringe ao processamento simples com a utilização de filtros e amplificadores. Dessa forma, o recurso utilizado para otimizar é fazer o processamento em meio digital. A implementação de tratamento de sinais em meio digital possui algumas vantagens como a confiabilidade, possibilidade de reconfiguração, baixa interferência à ruídos e maior precisão (SOARES, 2018).

Dada sua robustez, os circuitos digitais vem sendo comumente aprimorados, tornando seus circuitos cada vez mais complexos, precisos e rápidos. Com o passar dos anos, a velocidade e a densidade de dispositivos em um mesmo chip aumentaram, expandindo o domínio dos métodos digitais em quase todas as áreas de comunicação e produtos de consumo. Uma vez que o mundo permanece analógico, os conversores de dados são necessários para realizar a interface entre o mundo externo e os núcleos de processamento digital (Pavan; Schreier; Temes, 2017).

Sensores transformam grandezas físicas em sinais analógicos de tensão ou corrente e os conversores analógico-digitais (ADCs) convertem esses sinais analógicos em palavras digitais, na qual, os núcleos de processamento digital podem processar informações com maior desempenho (NEVES, 2011). Existem diversas topologias de ADC e cada tipo de ADC é escolhido através dos requisitos de projeto, que englobam principalmente a largura de banda de operação (BW), relação sinal-ruído e distorção (SNDR) almejada e o consumo de energia (PELGROM, 2017). Dessa forma, a escolha correta da topologia de ADC depende da análise do sinal a ser convertido.

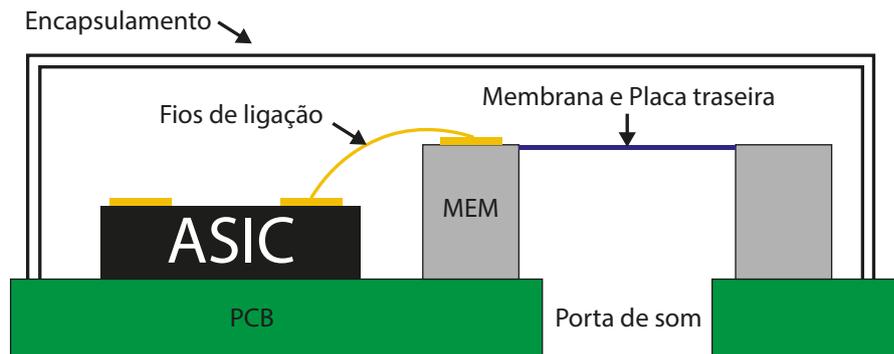
Os sinais de áudio são grandezas analógicas e, dada sua aplicação, é necessário que esse sinal seja convertido para o meio digital, assim pode ser processado, condicionado e/ou transmitido. Diferente de outras grandezas analógicas, os sinais de áudio possuem uma largura de banda bem restrita devido à faixa de frequência audível, que se estende até 20 kHz. Sendo assim, para processar sinais de áudio, o conversor não precisa ter uma grande largura de banda, usualmente inferior a 25 kHz (PUN; CHATTERJEE; KINGET, 2007) (CHEN; PUN; KINGET, 2011), porém, necessita de uma boa resolução.

Os ADCs do tipo sigma-delta (ADC SD) são os melhores candidatos para aplicações de elevada resolução, devido a possibilidade de atingir elevadas resoluções a partir de um quantizador de baixa resolução (PAVAN RICHARD SCHREIER, 2017). Além disso, os ADC SDs também são excelentes candidatos para a digitalização de sinais em rádios cognitivos (ROSA, 2022) e aplicações de banda larga (ORTMANN, 2021), o que reforça a importância do estudo de moduladores sigma-delta.

Em (MALCOVATI; BASCHIROTTO, 2018) é apresentada uma revisão sobre a evolução de microfones micro-eleto-mecânicos (MEM). Neste trabalho afirma-se que os

moduladores sigma-delta em tempo contínuo são os melhores candidatos para este tipo de aplicação, e uma evolução sobre os ADCs sigma-delta para microfones MEMS é fornecida. Observa-se uma evolução de faixa dinâmica (DR) e consumo de energia, sendo esperada para os próximos circuitos um DR na faixa de 100 dB e um consumo de energia menor do que 1 mW. A Figura 1 mostra um microfone MEMS de forma genérica composto pelo microne MEMS e um circuito integrado de aplicação específica (ASIC) encapsulados.

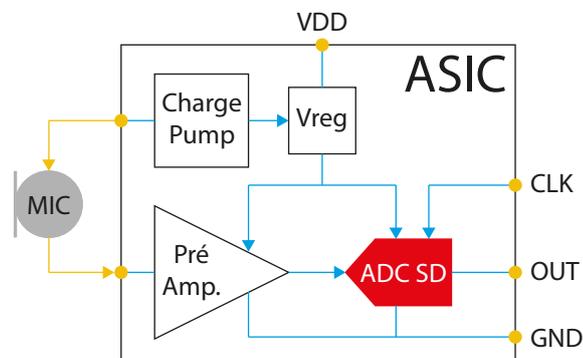
Figura 1 – Corte transversal de um microfone MEMS.



Fonte: Autor.

E a Figura 2 mostra um diagrama genérico do ASIC usado nos microfones MEMS. Dentre os circuitos, destaca-se o ADC SD.

Figura 2 – Diagrama genérico do ASIC usado nos microfones MEMS.



Fonte: Autor.

Telefones móveis, relógios inteligentes, dispositivos de áudio de alta qualidade, sistemas auditivos e sistemas de áudio comerciais são exemplos atuais de onde há aplicação de conversores analógicos-digitais e muitos desses dispositivos são portáteis. Com o crescimento do mercado de dispositivos portáteis, um dos requisitos essenciais para o projeto é o baixo consumo de energia, uma vez que, um baixo consumo de energia estende a vida útil de suas baterias e/ou reduz o tamanho delas (Zhang et al., 2010). Outra forma de energizar esses dispositivos é utilizando colheita de energia, entretanto a utilização desse método impõe restrições devido à limitada potência disponível, sendo assim, a necessidade de operar circuitos com baixa ou ultra-baixa tensão de alimentação

(KARGARAN; MANSTRETTA; CASTELLO, 2021) (DUTRA L. F. M. ; GIRARDI, 2023) (DE-OLIVEIRA et al., 2023).

Como já exposto, no mercado há diversas estratégias para a conversão de sinais analógicos em sinais digitais. Entretanto o conversor AD do tipo sigma-delta (SD) é amplamente usada na indústria. A técnica de modulação SD foi criada em 1962 e só foi efetivamente utilizada após o desenvolvimento da tecnologia VLSI, pois o modulador é composto por blocos analógicos e blocos digitais (NEVES, 2011). Além disso, a técnica SD une uma alta resolução com baixo consumo de potencia, desejado no projeto de conversores aplicados à sinais de áudio.

O ADC do tipo sigma-delta possui dois blocos fundamentais: o modulador do tipo sigma-delta (bloco analógico) e um filtro decimador (bloco digital). A ordem do modulador é determinada pela quantidade de integradores que a topologia escolhida possui. Há duas topologias de moduladores que são bastante conhecidas: A topologia *feedback* (FB) e a topologia *feedforward* (FF) (KOZLOV; PILIPKO, 2020). A topologia FB aplica o conceito básico de realimentação negativa em um sistema sobreamostrado (Korotkov A.S., 2010). Já a topologia FF tem uma série de vantagens em relação à topologia FB, dentre elas se destacam: uma menor sensibilidade as não-linearidades do integrador, que reduz consideravelmente sua taxa de sobreamostragem (OSR) (Silva U. Moon; Temes, 2001) e uma ampla faixa dinâmica, pois o integrador processa apenas o erro de quantização. Entretanto, a topologia FF requer um somador extra antes do comparador, maior número de capacitores e atrasos de tempo para realizar a soma de sinais, o que leva a problemas de implementação de comparadores multi-bit (GHARBIYA; JOHNS, 2006).

Ao longo dos últimos anos inúmeros moduladores sigma-delta para a faixa de áudio foram reportados para tensões de alimentação nominais (BILLA; DIXIT; PAVAN, 2020). Ainda, diferentes topologias de ADCs, como *continuous-time zoom* (GONEN et al., 2020) e sigma-delta incrementais (QURESHI et al., 2021) tem sido exploradas para aplicações de áudio. Entretanto, visando a redução da tensão de alimentação de circuitos eletrônicos é necessário explorar o desenvolvimento de ADCs de áudio para aplicações de baixa tensão. Porém, existem poucas implementações de baixa tensão presentes na literatura, sendo uma das mais recentes a apresentada em (LEE et al., 2021).

1.1 OBJETIVO

O objetivo principal desta dissertação é desenvolver uma metodologia de projeto em nível comportamental de moduladores do tipo sigma-delta em tempo contínuo que operem em baixa tensão de alimentação (CT-SDM) e comprovar a metodologia realizando testes em nível elétrico-misto. Dessa forma, é necessário:

- Explorar diferentes topologias de conversores digitais-analógicos (DACs) empregados na realimentação do modulador;

- Explorar topologias de amplificadores operacionais eficientes em consumo de energia e com capacidade de operar em baixa tensão de alimentação.

1.2 PUBLICAÇÕES

1.2.1 PUBLICAÇÕES INCLUSAS À ESTA DISSERTAÇÃO

- CORTEZ, M. ; GIRARDI, A. G. ; DE AGUIRRE, P. C. C. . High-Level Design of 14-bits Sigma-Delta Modulator for Low-Voltage Audio Devices. In: 37 Simpósio Sul de Microeletrônica, 2022, Novo Hamburgo. 37 Simpósio Sul de Microeletrônica, 2022.
- CORTEZ, MATHEUS ; GIRARDI, ALESSANDRO G. ; DE AGUIRRE, PAULO CESAR C. . High-Level Design of a 14-bit Continuous-Time Sigma-Delta Modulator with FIR DAC for Low-Voltage Audio Devices. In: 2022 35th SBC/SBMicro/IEEE/ACM Symposium on Integrated Circuits and Systems Design (SBCCI), 2022, Porto Alegre. 2022 35th SBC/SBMicro/IEEE/ACM Symposium on Integrated Circuits and Systems Design (SBCCI), 2022. p. 1.
- CORTEZ, M. ; GIRARDI, A. G. ; SEVERO, L. C. ; DE AGUIRRE, P. C. C. . Behavioral and Electrical Modeling of a 0.5-V Third-Order Continuous-Time Sigma-Delta Modulator with FIR DAC for Audio Applications. JICS. JOURNAL OF INTEGRATED CIRCUITS AND SYSTEMS (ED. PORTUGUÊS), v. 18, p. 1, 2023.

1.2.2 PUBLICAÇÕES NÃO INCLUSAS À ESTA DISSERTAÇÃO

Aqui estão publicações realizadas ao longo do Programa de Pós-Graduação em Engenharia Elétrica (PPGEE) de assuntos não relacionados com esta dissertação.

- DUTRA, L. F. M.; CORTEZ, M.; AGUIRRE, P. C. C. de. High-level Modeling and Analysis of a Low-Voltage 8-bit Current-Mode R-2R DAC. *11th Workshop on Circuits and Systems Design*, 2021.
- BRUM, J. L. J.; CORTEZ, M.; RODRIGUES, M. C.; GIRARDI, A. G.; AGUIRRE, P. C. C. de. Design and Characterization of a Dynamic Bias Latch-type CMOS Comparator. *22nd Microelectronics Students Forum*, 2022.
- REZENDE, B. E. H.; CORTEZ, M.; GIRARDI, A. G.; AGUIRRE, P. C. C. de. Design and Characterization of a 0.9-V Differential Inverter-Based OTA. *22nd Microelectronics Students Forum*, 2022.

1.3 ORGANIZAÇÃO DO TRABALHO

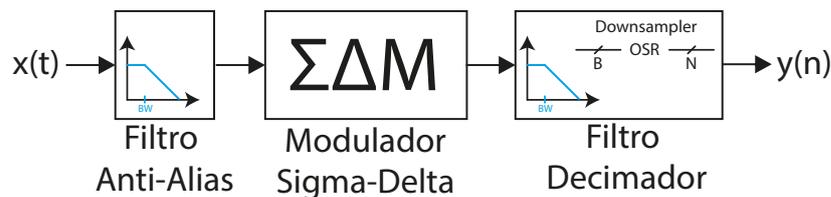
Este trabalho está organizado em 6 capítulos. O capítulo 1 é a introdução, contribuições e organização deste trabalho. O capítulo 2 apresenta uma revisão bibliográfica sobre modulação sigma-delta e sobre o estado da arte. O Capítulo 3 apresenta a metodologia de projeto em alto nível de um CT-SDM utilizando um DAC do tipo NRZ de 1-bit na realimentação e a implementação deste mesmo CT-SDM em nível elétrico utilizando modelos em *VerilogA* dos sub-circuitos. No capítulo 4 é apresentada a estratégia de utilizar um filtro do tipo FIR na realimentação de um CT-SDM, seu projeto e resultados em alto nível e a nível elétrico com modelos em *VerilogA* dos sub-circuitos do CT-SDM. Já no capítulo 5 está o projeto e resultados em nível de esquemático de um CT-SDM com filtro FIR de 6-taps em tecnologia CMOS 180 nm. Por fim, as conclusões estão dispostas no capítulo 6.

2 MODULAÇÃO SIGMA-DELTA

2.1 MODULADORES DO TIPO SIGMA-DELTA (SDM)

O conversor Analógico-Digital (ADC) do tipo Sigma-Delta (SD) é composto por um filtro anti-alias (AAF) um Modulador do tipo Sigma-delta (SDM) e um filtro decimador. Devido sua função o SDM é o circuito mais importante dentro do conversor, pois limita a largura de banda de operação e a precisão do ADC (AGUIRRE, 2014).

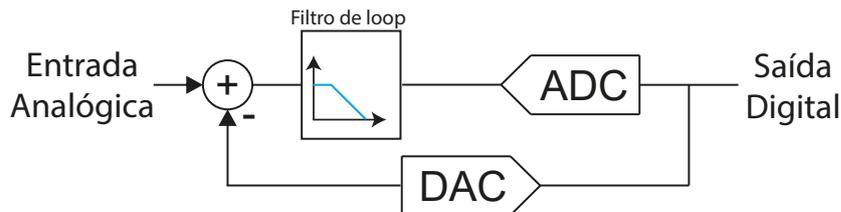
Figura 3 – Conversor Analógico-Digital do tipo Sigma-Delta



Fonte: Autor.

Um modulador do tipo Sigma-Delta (SDM) é composto por um sistema realimentado onde o sinal de entrada é inserido em um bloco somador e logo após passa por um filtro formado basicamente por integradores. Após o filtro, o sinal passa por um quantizador, que realiza a conversão do sinal (ADC). O sinal de saída do SDM é convertido para analógico com um Conversor Digital-Analógico (DAC) que realimenta no bloco do somador fechando o laço de realimentação.

Figura 4 – Modulador do tipo Sigma-Delta



Fonte: Autor.

Em um SDM, o ADC e o DAC são projetados com N bits, com N geralmente variando de 1 a 4 (ROSA, 2011). Devido ao processo de quantização, o ADC insere um erro, que é a diferença entre o sinal de entrada do ADC e o sinal de saída digital. Esse erro de quantização pode ser reduzido através do método de sobreamostragem e modelagem de ruído (Pavan; Schreier; Temes, 2017).

2.1.1 SOBAMOSTRAGEM

Como apresentado pelo teorema de Nyquist, para obter uma reconstrução perfeita do sinal amostrado, sem sofrer distorção é necessário que a frequência de amostragem, f_s seja no mínimo 2 vezes maiores que a frequência do sinal amostrado f_{in} . Já o processo

de sobreamostragem consiste em amostrar o sinal a uma frequência muito maior que a frequência do sinal amostrado (HAYKIN, 1989.).

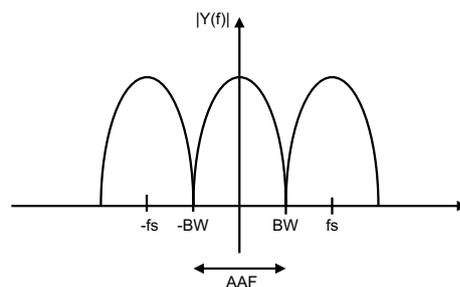
A taxa de sobreamostragem (OSR) relaciona a frequência de amostragem com a frequência de Nyquist (f_N).

$$OSR = \frac{f_s}{2 \cdot BW} \quad (2.1)$$

Para f_s muito maior que f_N , as imagens do sinal de entrada criadas pelo processo de amostragem se tornam mais espaçadas no domínio da frequência do que a imagem de um sinal amostrado com f_s igual à f_N . Assim, o espectro do sinal amostrado não se sobrepõem à largura de banda do sinal, reduzindo as exigências do filtro anti-alias (AAF) (AGUIRRE, 2019).

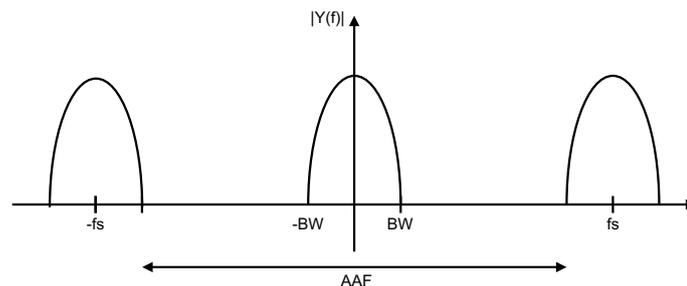
A classificação dos ADCs é dada à partir de sua OSR. Conversores que possuem OSR igual a 1 ou próximo disso são chamados de conversores *Nyquist-rate*, já para ADCs com OSR muito maiores são chamados de sobreamostrados (JOHNS; MARTINS, 1997).

Figura 5 – ADC *Nyquist-rate*



Fonte: Autor.

Figura 6 – ADC sobreamostrado



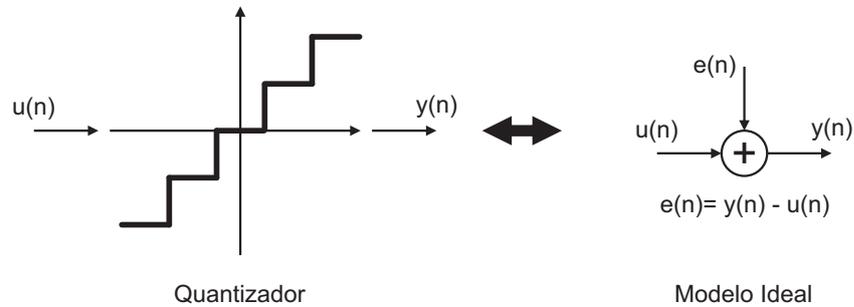
Fonte: Autor.

2.1.2 QUANTIZAÇÃO EM AMPLITUDE

A quantização em amplitude é o processo que transforma uma faixa do sinal contínuo em um conjunto de valores discretos finitos. Mesmo utilizando um quantizador ideal esse processo insere um erro chamado erro de quantização. Sendo assim, não é possível

reverter o processo, pois o erro causa uma redução na resolução do sinal digitalizado (ROSA, 2011).

Figura 7 – Quantizador



Fonte: Autor.

O erro de quantização é correlacionado ao sinal de entrada do quantizador. Porém, se for considerado que não haja correlação podemos modelar esse comportamento do erro de quantização, aproximadamente, pela adição de um ruído branco ao sinal de entrada como mostrado na Figura 7 (JOHNS; MARTINS, 1997).

Nesta modelagem, o erro de quantização é aproximado com um número aleatório independente distribuído uniformemente entre $\pm\Delta/2$, onde Δ é a diferença entre dois níveis de quantização adjacentes (JOHNS; MARTINS, 1997). Entretanto, esse modelo só é válido para valores de entrada que variam rapidamente com amplitude menor ou igual à amplitude de entrada de *full-scale* (FS), $\pm X_{FS}/2$ do quantizador. Para amplitudes maiores que o limite, o erro de quantização excede $\Delta/2$ e cresce monotonicamente (ROSA, 2011).

O passo de quantização Δ , para um quantizador de N bits, é dado por 2.2.

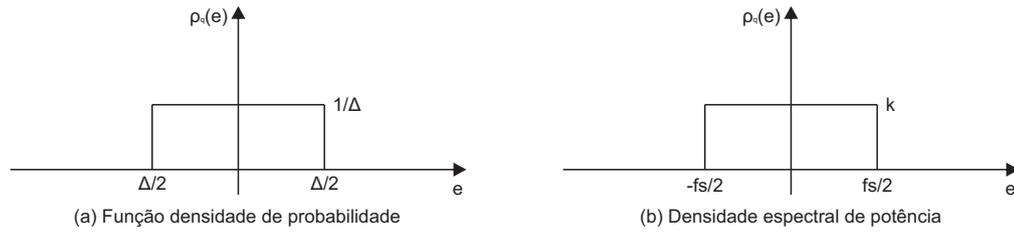
$$\Delta = \frac{Y_{FS}}{2^N - 1} \quad (2.2)$$

Onde Y_{FS} é a faixa de saída de FS do quantizador e N o número do bits.

A função de densidade de probabilidade do erro de quantização $\rho_q(e)$, é uniforme no intervalo de $[-\Delta/2, +\Delta/2]$. A potência total do ruído de quantização $\sigma^2(e)$, é igual à $\Delta^2/12$ e é independente da frequência de amostragem f_s , sendo uniformemente distribuída na faixa de $-\frac{f_s}{2}, +\frac{f_s}{2}$ (JOHNS; MARTINS, 1997).

Assim, a densidade espectral de potência do erro de quantização, $S_E(f)$, é constante com amplitude k e está concentrada no intervalo de frequência $[-\frac{f_s}{2}, +\frac{f_s}{2}]$, conforme mostra a Figura 8. Dessa forma, pode-se calcular $S_E(f)$ pela Equação 2.3.

Figura 8 – Densidade espectral



Fonte: Autor.

$$S_E(f) = \frac{\sigma^2(e)}{f_s} = \frac{\Delta^2}{12 \cdot f_s} \quad (2.3)$$

A potência do ruído de quantização dentro da banda de interesse (P_E) é calculada através da Equação 2.4.

$$P_E = \int_{-BW}^{BW} S_E(f) df = \int_{-BW}^{BW} k df = \frac{\Delta}{12 \cdot OSR} \quad (2.4)$$

2.1.3 NOISE SHAPING

Modelar o ruído abre a possibilidade de reduzir a potência do ruído dentro da banda de interesse e aumentar a potência do ruído fora da largura de banda do sinal. Assim, o espectro plano do ruído de quantização é modificado, resultando em um espectro modelado (Pavan; Schreier; Temes, 2017) (MALOBERTI, 2007.).

A adição de ruído em regiões fora da banda de frequência de interesse não é prejudicial, pois utiliza-se um filtro digital depois do SDM que retira esse ruído em altas frequências.

Para um sinal sobreamostrado e um elevado OSR, têm-se que a amplitude do sinal de entrada irá alterar pouco entre uma amostra e outra. Concluí-se então que o erro de quantização $e(n)$ será similar em baixa frequência e em altas frequências terá valores maiores (de la Rosa; Morgado; del Rio, 2009). Assim, para atenuar as componentes de baixa frequência do ruído de quantização basta subtrair a amostra anterior da amostra atual, conforme Equação 2.5.

$$eq(n) = e(n) - e(n-1) \quad (2.5)$$

Pode-se empregar um número maior de amostras anteriores durante o processo do ruído de quantização (de la Rosa; Morgado; del Rio, 2009). No domínio Z pode-se generalizar esse procedimento conforme Equação 2.6

$$e(z) = (1 - z^{-1})^L \cdot E(z) \quad (2.6)$$

Onde $E(Z)$ é a transformada Z do ruído. Verifica-se que $e(z)$ é o resultado do erro de quantização original após passar por um filtro passa-alta. A função de transferência desse filtro é conhecida como função de transferência de ruído (NTF), definida pela Equação 2.7.

$$NTF(z) = (1 - z^{-1})^L \quad (2.7)$$

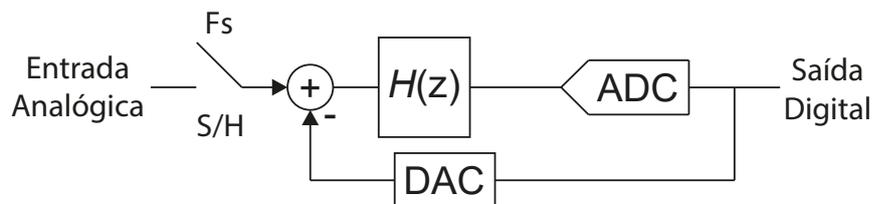
Onde L é a ordem do filtro. Assim, é possível calcular o valor do ruído de quantização dentro da banda de interesse para um conversor AD sobreamostrado através da Equação 2.8.

$$P_q = \frac{\Delta}{12} \cdot \frac{\pi^{2L}}{(2L + 1) \cdot OSR^{(2L+1)}} \quad (2.8)$$

2.2 SDM: TEMPO DISCRETO VS TEMPO CONTÍNUO

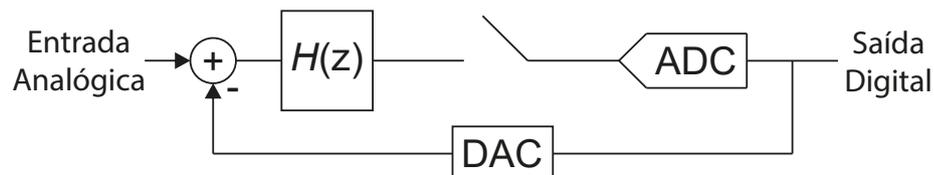
Um modulador do tipo sigma-delta pode ser implementado usando uma topologia de tempo discreto ou em tempo contínuo. A principal diferença entre o modulador sigma-delta em tempo contínuo e o modulador sigma-delta em tempo discreto (DT-SDM) é que o CT-SDM realiza a operação de amostragem dentro do *loop* do modulador e no segundo a operação de amostragem geralmente ocorre em um circuito de amostragem e retenção na entrada do SDM (ORTMANN; GERFERS, 2006). A Figura 10 apresenta em diagrama de blocos um CT-SDM e a Figura 9 o diagrama de blocos de um DT-SDM.

Figura 9 – Diagrama DT-SDM



Fonte: Autor.

Figura 10 – Diagrama CT-SDM



Fonte: Autor.

No DT-SDM, o sinal de entrada possui erro devido a limitação de amostra e retenção e esse erro não é atenuado pelo *noise shaping*. Já o CT-SDM, a operação de amostragem está na entrada do quantizador. Dessa forma, os erros devido ao processo de

amostragem são atenuados pelo *noise shaping* não afetando o desempenho do modulador (CHERRY; SNELGROVE, 2000).

Uma vantagem do CT-SDM é a presença de um filtro anti-alias presente intrinsecamente em algumas topologias. Essa característica é possível devido ao processo de amostragem ocorrer antes do quantizador e pela existência do filtro passa-baixa. Se faz necessário que se analise a topologia e seu esquema elétrico, pois pode ter suas características AAF degradadas (SILVA, June 2001).

Em relação ao consumo, o CT-SDM possui vantagem em relação ao DT-SDM. O DT-SDM possui filtro de loop implementado com integradores de capacitor chaveado, que requerem amplificadores operacionais com o produto ganho largura de banda (GBW) de oito a dez vezes a frequência de amostragem e um alto ganho DC (>80 dB). Já o CT-SDM, tem seu filtro de loop implementado com integradores RC ativos que necessitam de um GBW de uma a duas vezes a frequência de amostragem e um ganho DC comumente na faixa de 40 dB a 60 dB. Dessa forma, o CT-SDM é a melhor escolha quando as especificações de projeto necessitam de uma baixa potencia e alta velocidade (ORTMANN; GERFERS, 2006) (de Aguirre et al., 2020).

Em contra partida, os CT-SDM apresentam menor linearidade devido ao uso dos integradores RC ativos ou integradores Gm-C no filtro de loop. Além disso, eles ainda sofrem com os efeitos do *clock jitter* e com excesso de atraso de loop (ELD) (ORTMANN; GERFERS, 2006).

2.3 FIGURA DE MÉRITO

As figuras de mérito (FOM) são utilizadas para comparar os desempenhos dos SDMs (ROSA; RIO, 2013).

A FOM mais utilizado entre trabalhos encontrados na literatura é a proposta por (Walden, 1999) onde é enfatizado o consumo de energia. A FOM proposta é dada pela Equação 2.9.

$$FOM_W = \frac{P_W(W)}{2^{ENOB(bits)} \cdot 2 \cdot BW} \cdot 10^{15} [fj/conv] \quad (2.9)$$

Onde P_W é o consumo de energia do circuito, ENOB o número efetivo de bits do modulador e BW a largura de banda. Essa FOM é dada em Joules e quanto menor o valor desta FOM, mais eficiente em termos de energia é o modulador.

A FOM de Schreier, dada pela Equação 2.10 foi proposta em Pavan, Schreier e Temes (2017) modificando o que foi apresentado em Rabii e Wooley (1997). Essa FOM enfatiza o DR do modulador e quanto maior o valor da FOM, mais eficiente será o modulador em termos de energia.

$$FOM_S = DR + 10 \log \left(\frac{BW}{P_W} \right) [dB] \quad (2.10)$$

Quando o modulador exibe um forte comportamento não linear, o SNDR é limitado, reduzindo o ENOB. Assim, o *Schreier-FoM* poderia ser utilizado em substituição do DR pelo SNDR para uma melhor avaliação dos circuitos em análise, conforme Equação 2.11.

$$FOM_{SNDR} = SNDR + 10 \log \left(\frac{BW}{P_W} \right) [dB] \quad (2.11)$$

2.4 MODULADORES SIGMA-DELTA PARA FAIXA DE ÁUDIO EM BAIXA TENSÃO

Com o avanço do mercado de eletrônicos portáteis a redução da tensão de alimentação e da potência dos circuitos tornou cada vez mais desejada pelos projetistas de circuitos integrados. A redução contínua da tecnologia *complementary metal-oxide semiconductor* (CMOS) fez com que a tensão de alimentação dos circuitos integrados digitais fosse reduzida para valores abaixo de 1 V. Circuitos de sinais analógicos ou mistos enfrentam problemas para o seu correto funcionamento já que, mesmo com a redução das tecnologias os valores da tensão de limiar (V_{TH}) dos *metal-oxide-semiconductor field effect transistor* (MOSFET) não reduzem proporcionalmente (Luo et al., 2013).

Para os SDM, o filtro de loop torna-se o bloco mais complexo para projetos de baixa tensão de alimentação. Como o filtro de loop dos CT-SDM possuem integradores RC ativos o projeto do amplificador operacional é o principal afetado com essa redução.

Para os amplificadores operacionais a redução na tensão de alimentação afeta diretamente a amplitude máxima de processamento e causa problemas no projeto como a necessidade de um alto ganho DC e uma alta frequência de ganho unitário (GBW) com um baixo consumo de potência (Luo et al., 2013).

Devido a necessidade de baixa tensão de alimentação o CT-SDM é comumente usado, mesmo não havendo muitos trabalhos na literatura de moduladores com baixa tensão de alimentação, pois seu filtro de loop tende a consumir uma menor energia quando comparado ao filtro de loop em tempo discreto. Além disso, a operação em baixa velocidade reduz os impactos das não-linearidades relacionadas ao clock, como *clock-jitter* e o excesso de atraso de loop. Sendo assim, o modulador sigma delta de tempo contínuo mostra um potencial atraente para baixo consumo de energia aplicados a sinais de áudio (Zhang et al., 2010) (Koppula; Balagopal; Saxena, 2012).

Um dos primeiros CT-SDM para a faixa de áudio foi proposto em 2007 por (PUN; CHATTERJEE; KINGET, 2007). Este trabalho empregou um DAC do tipo *return-to-open* (RTO) em uma topologia de cascata de integradores em realimentação (CIFB) de terceira ordem e atingiu um SNDR de 74 dB para uma largura de banda de 25 kHz, utilizando uma tensão de alimentação de 0,5 V e um frequência de *clock* de 3,2 MHz. O consumo de potência deste circuito foi de 300 μ W.

Zhang et al. (2011) apresentou um CT-SDM de quarta ordem com topologia de

casca de integradores em avanço (CIFF) operando com uma tensão de alimentação de 0,6 V. Neste trabalho, o somador ponderado clássico usado em frente ao quantizador foi substituído por um comparador com múltiplas entradas ponderadas. Este CT-SDM atingiu um SNDR de 79,10 dB para uma largura de banda de 20 kHz e frequência de *clock* de 2,56 MHz. O consumo de potência deste circuito foi de 28,60 μ W.

Em Chen, Pun e Kinget (2011) é apresentado um CT-SDM para a faixa de áudio (20 kHz) operando em 0,5 V. Neste trabalho é apresentado um modulador de terceira ordem com DAC do tipo *switched-capacitor-resistor* (SCR) para mitigar os impactos do *clock-jitter* do modulador. Este modulador apresentou um SNDR de 83,40 dB para uma frequência de *clock* de 6,4 MHz.

Chen e Pun (2012) apresentou uma evolução do trabalho de Chen, Pun e Kinget (2011). Este circuito apresenta um SNDR de 90 dB para consumo de energia de 682 μ W. A frequência de *clock* também é de 6,4 MHz.

Em Chen et al. (2019) é reportado um CT-SDM de terceira ordem operando com uma tensão de 0,4 V e atingindo um SNDR de 90,20 dB para um consumo de potência de 221 μ W. Este circuito consegue operar até uma tensão de 0,34 V.

Lee et al. (2021) apresenta o CT-SDM em baixa tensão para faixa de áudio mais recente, até a defesa desta dissertação. Neste é reportado um CT-SDM de 3^a ordem em arquitetura CIFF e utilizando um DAC FIR de 8-taps atingindo um SNDR/SNR de 83,0 dB/84,0 dB com um consumo total de 33,6 μ W.

Na segunda década deste século, a maioria dos ADCs de baixa tensão para a faixa de áudio foram implementados em tempo discreto, sendo os poucos circuitos de baixa tensão com resultados de medida reportados acima. A Tabela 1 sumariza os resultados dos CT-SDMs de baixa tensão para a faixa de áudio reportados na literatura.

Entretanto, foi evidenciada uma evolução de técnicas de projeto e o surgimento de diferentes topologias de amplificadores operacionais de transcondutância com melhor eficiência energética nos últimos anos. Assim, diferentes CT-SDMs em baixa tensão foram apresentados na literatura para maiores larguras de banda e com o uso de amplificadores baseados em inversores CMOS ou circuitos com polarização de substrato (AGUIRRE; SUSIN, 2018), (AGUIRRE et al., 2020), (LV et al., 2018), (LV et al., 2019) e (LEE et al., 2021).

Tabela 1 – Comparação de SDMs de baixa tensão para a faixa de áudio.

Parâmetros	[1]	[2]	[3]	[4]	[5]	[6]	[7]	[8]
Tipo	DT	DT	CT	CT	CT	CT	CT	CT
Ano	2012	2013	2007	2011	2011	2012	2019	2021
Processo (nm)	130	65	180	130	130	130	130	28
VDD (V)	0,5	0,7	0,5	0,5	0,6	0,5	0,4	0,6
Fs (MHz)	2,56	5	3,2	6,4	2,56	6,4	6,4	12,8
BW (kHz)	20	20	25	25	20	20	20	40
OSR	64	125	64	128	64	160	160	160
SNDR (dB)	81,7	89	74	81,2	79,1	90	90,2	83,0
SNR (dB)	82,4	92	76	81,3	82	90,5	90,6	84,0
DR (dB)	85	94	n/a	82	82	n/a	n/a	86,5
Power (μ W)	35,20	152,00	300,00	625,00	28,60	682,50	221,00	33,6
FoM (fJ/conv)	88,53	164,95	1464,84	1332,03	97,03	660,09	208,88	36,37

[1] (YANG et al., 2012);

[2] (Luo et al., 2013);

[3] (PUN; CHATTERJEE; KINGET, 2007);

[4] (CHEN; PUN; KINGET, 2011);

[5] (ZHANG et al., 2011);

[6] (CHEN; PUN, 2012);

[7] (CHEN et al., 2019);

[8] (LEE et al., 2021);

Em Sant et al. (2022) é apresentada uma revisão sobre microfones micro-eletrônicos (MEM) comerciais considerados estado da arte. Tipicamente estes microfones atingem um SNR variando de 67 a 69 dB. Este SNR é uma combinação de todos os componentes do microfone MEM: encapsulamento, transdutor MEM e circuitos eletrônicos de *readout*. Neste mesmo trabalho são propostos dois ADC SD em tempo discreto, um de terceira ordem e outro de quarta ordem operando com frequências de *clock* de 4,8 MHz e 768 kHz e apresentando um SNR de pico de 76,10 e 66 dB, respectivamente.

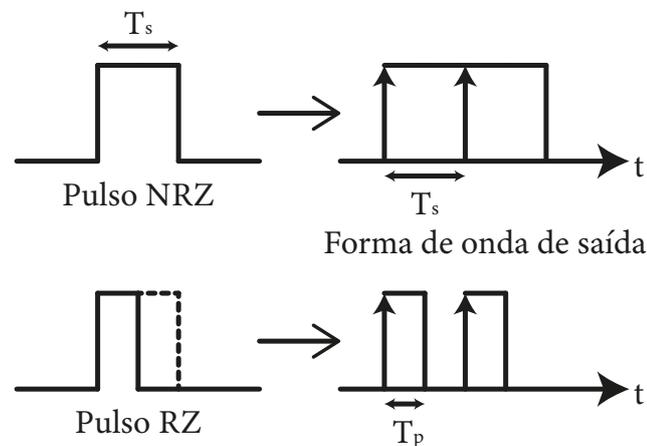
2.5 CONSIDERAÇÕES

Neste capítulo foram apresentados os conceitos básicos da modulação sigma-delta e sua aplicação em moduladores que empregam essa estratégia em de ADC SD. Foi visto uma comparação entre as arquiteturas de moduladores que operam em tempo discreto e em tempo contínuo e quais métricas são utilizadas para comparar o desempenho entre moduladores. Por fim, uma revisão de moduladores encontrados na literatura foi apresentada.

3 MODULADOR DO TIPO SIGMA-DELTA EM TEMPO CONTÍNUO COM DAC DO TIPO NRZ DE 1-BIT

Existem, principalmente, duas arquiteturas de DACs mais comuns, que são empregados em moduladores que utilizam a estratégia sigma-delta, o DAC com pulsos *non-return to zero* (NRZ) e o DAC com pulso *return to zero* (RZ). A Figura 11 apresenta o pulso NRZ e RZ e suas respectivas formas de onda de saída. O pulso do DAC NRZ sofre de interferência intersimbólica, enquanto o pulso do DAC RZ é mais sensível ao *clock jitter* e pode não fornecer nível de *feedback* suficiente, especialmente em alta frequência de amostragem (TIEW; CHEN, 2005).

Figura 11 – Forma de onda do sinal de saída de um DAC NRZ e RZ.



Fonte: Adaptado de (KAZUNO et al., 2017).

Em DACs de pulso NRZ, os pulsos do DAC são mantidos constantes para cada período de amostragem inteiro sem retornar à tensão de modo comum como no caso do DAC de pulso RZ (LEOW et al., 2009).

A distorção em um DAC NRZ de 1 bit é causada por interferência intersimbólica. Como a transição de pulso NRZ, na prática, terá um tempo de subida e descida limitado, o nível de *feedback* efetivo gerado pelo DAC dependerá da existência ou não de uma transição de saída de um nível para outro (TIEW; CHEN, 2005). Sendo assim, Como a distorção depende do estado anterior, ela depende do sinal e resultará em componentes de distorção harmônica e produtos de intermodulação (ENGELN; PLASSCHE, 1999). Em contrapartida, o uso de DACs com pulsos RZ torna o modulador em tempo contínuo mais sensível ao *clock jitter* o que aumenta, em geral, 6dB, aproximadamente, o nível de ruído dentro da banda de interesse (CHERRY; SNELGROVE, 1999), o que é indesejado para este projeto. Sendo assim, dentre essas opções de DACs o de pulso NRZ é mais atraente.

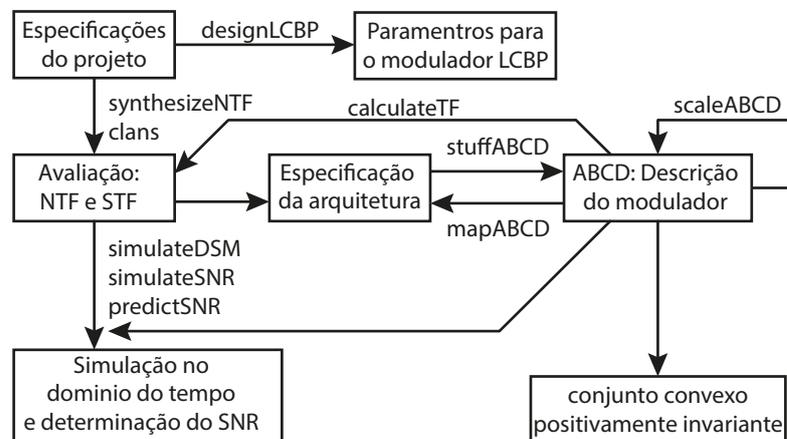
3.1 PROJETO EM ALTO NÍVEL DE UM CT-SDM COM DAC NRZ 1-BIT

No passado, a maioria dos moduladores sigma-delta eram projetados em tempo discreto. Dessa forma, diversas ferramentas, softwares e arquiteturas inovadoras focadas a conversores sigma-delta foram desenvolvidos em tempo discreto. Assim, foi desenvolvido um procedimento que utiliza um modulador em tempo discreto como primeira etapa para o projeto de um modulador em tempo contínuo, com a finalidade de acelerar o procedimento geral do projeto (ORTMANN; GERFERS, 2006).

Consequentemente, é altamente recomendável iniciar o projeto do modulador em tempo contínuo à partir de um modulador em tempo discreto com as mesmas características de desempenho requeridas pelo resultado final (OLIAEI, 2003).

Para a realização do projeto do ADC sigma-delta uma boa estratégia é a utilização do *Delta-Sigma Toolbox* para o software MATLAB (Pavan; Schreier; Temes, 2017). Esse *toolbox* possui cerca de 100 funções que possibilitam realizar a síntese da função de transferência do ruído (*NTF*), simulação de um modulador (apenas a *NTF* bem como a estrutura completa), realiza estimativas da relação sinal-ruído (*SNR*) entre outras funcionalidades (SCHREIER, 2022). A Figura 12 mostra o fluxograma do projeto de um *SDM* em tempo contínuo utilizando o *Delta-sigma Toolbox*.

Figura 12 – Fluxograma do projeto utilizando o *Delta-Sigma Toolbox*.



Fonte: Adaptado de (PAVAN RICHARD SCHREIER, 2017).

Posterior ao projeto utilizando o toolbox no matlab é feita a conversão para o esquema elétrico ideal, onde é montada a topologia com resistores, capacitores, amplificadores, comparadores e DAC. Como etapa de projeto, os componentes mais complexos, como é o caso dos amplificadores operacionais e o comparador serão substituídos por modelos em VerilogA para que seja extraído seus requisitos reais de projeto.

3.1.1 PROJETO DO MODULADOR SIGMA-DELTA EM TEMPO DISCRETO

O primeiro passo na utilização do toolbox é realizar o projeto completo de um modulador sigma-delta em tempo discreto (DT-SDM). Sendo assim, a função *SynthesizeNTF*

gera a função de transferência do ruído do modulador sigma-delta em tempo discreto.

$$NTF = \text{synthesizeNTF}(\text{order}, \text{OSR}, \text{opt}, H_{inf}, f_0)$$

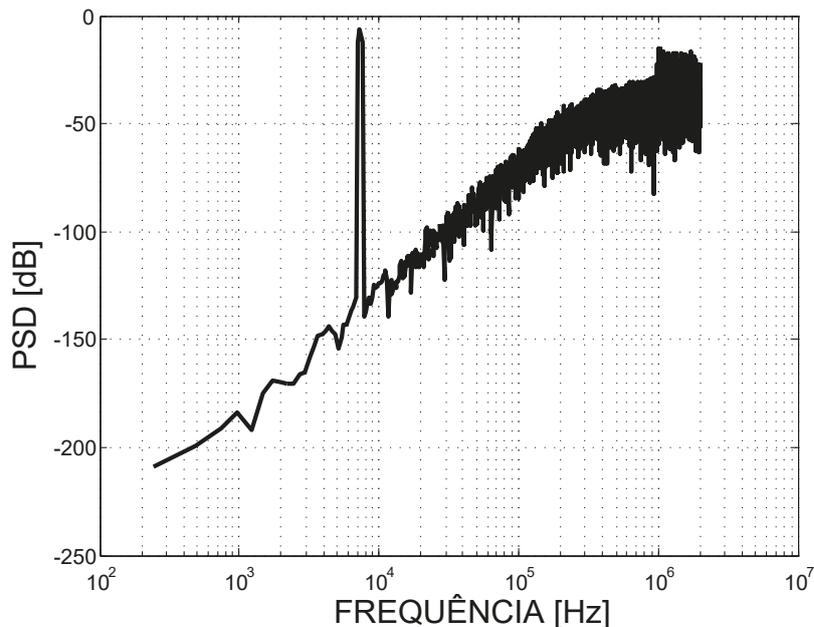
Onde, *order* é a ordem NTF, *OSR* é a taxa de sobreamostragem, *opt* sinaliza se haverá otimização zero ou não, H_{inf} é o ganho máximo fora da banda da NTF e f_0 a frequência central do modulador. Nesta etapa já é possível realizar a simulação de um modulador sigma-delta com a função *simulateDSM*.

$$v = \text{simulateDSM}(u, h)$$

Onde u é o sinal de entrada dado na forma vetorial e h é a NTF gerada pelo comando anterior (*synthesizeNTF*).

É possível verificar o comportamento do modulador através do monitoramento da densidade espectral de potência (PSD) da saída do modulador, que é obtida através da transformada rápida de Fourier (FFT) da saída do modulador. A Figura 13 apresenta a resposta de um modulador sigma-delta utilizando os parâmetros dispostos na Tabela 2. Para esta simulação foi definido como especificação do modulador uma largura de banda de 20 kHz e um número efetivo de bits (ENOB) de 14 bits. Entretanto foi utilizado como parâmetro de entrada para o *Toolbox* um ENOB de 15 bits, tendo uma margem de 1-bit.

Figura 13 – Densidade espectral da potência (PSD) de saída da função de transferência do ruído (NTF) gerada.



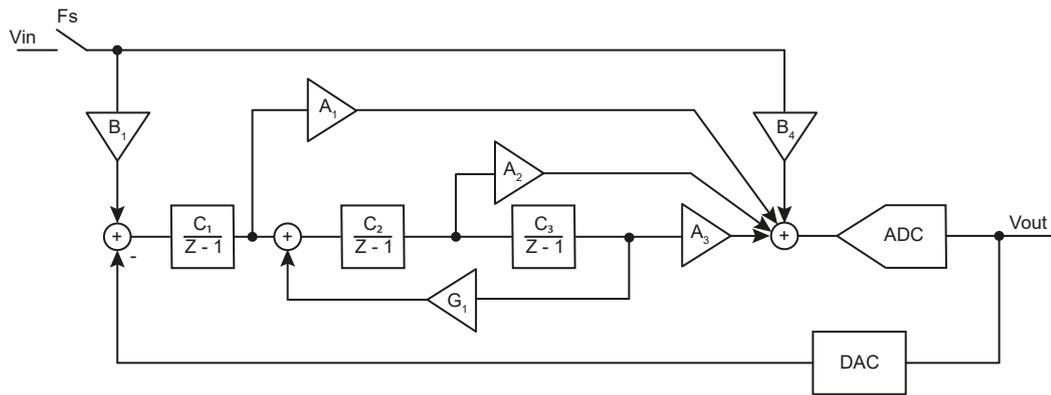
Fonte: Autor

Assim que a resposta encontrada no passo anterior for satisfatória para o projetista, a função *realizeNTF* converte o NTF em coeficientes de uma determinada topologia. Neste

Tabela 2 – Especificação e parâmetros de entrada para o *Delta-Sigma Toolbox*

Parâmetro	Valor
Vdd	0,5 V
Arquitetura do SDM	CIFF
Ordem	3
F_s	4 MHz
OSR	100
BW	20 kHz
Otimização de zeros	Não
ENOB especificado	14 bits

caso a topologia utilizada é a de cascata de integradores em avanço (*CIFF*) conforme Figura 14.

Figura 14 – Topologia de cascata de integradores em avanço (*CIFF*) para o modulador em tempo discreto (DT-SDM).

Fonte: Autor

A Equação 3.1 apresenta a sintaxe da função *realizeNTF*.

$$[a,g,b,c] = \text{realizeNTF}(ntf,form) \quad (3.1)$$

Onde *ntf* é o resultado de *synthesizeNTF* e *form* é a topologia escolhida.

Após, a função *stuffABCD* gera, a partir dos coeficientes previamente calculados, a matriz de dados para uma topologia específica.

$$ABCD = \text{stuffABCD}(a,g,b,c,form) \quad (3.2)$$

O próximo passo é refinar os resultados já obtidos com a função *scaleABCD*. Essa função escala os coeficientes de modo que se mantenha a excursão de saída de cada estágio integrador dentro de limites especificados de modo a evitar distorção dos sinais de saída dos integradores. Usualmente, estipula-se uma excursão de saída dos integrados na faixa de 50% em relação a tensão de referência.

$$[ABCDs,umax]=\text{scaleABCD}(ABCD,nlev,f,xlim,ymax,umax) \quad (3.3)$$

Onde $ABCD$ é o resultado da função $stuffABCD$, $nlev$ o número de níveis do quantizador, f a frequência normalizada do sinal de entrada, $xlim$ limite de dados, $ymax$ limite para analisar a estabilidade do modulador e $umax$ o nível máximo de entrada permitido.

Com a função $mapABCD$ os coeficientes para uma determinada topologia são convertidos.

$$[a,g,b,c] = mapABCD(ABCD,form) \quad (3.4)$$

A matriz resultado da função $mapABCD$ possui todos os coeficientes necessários para aplicar aos ganhos apresentados na Figura 14. Para uma melhor análise em alto nível dos resultados obtidos é possível realizar a simulação via Simulink da topologia e seus coeficientes.

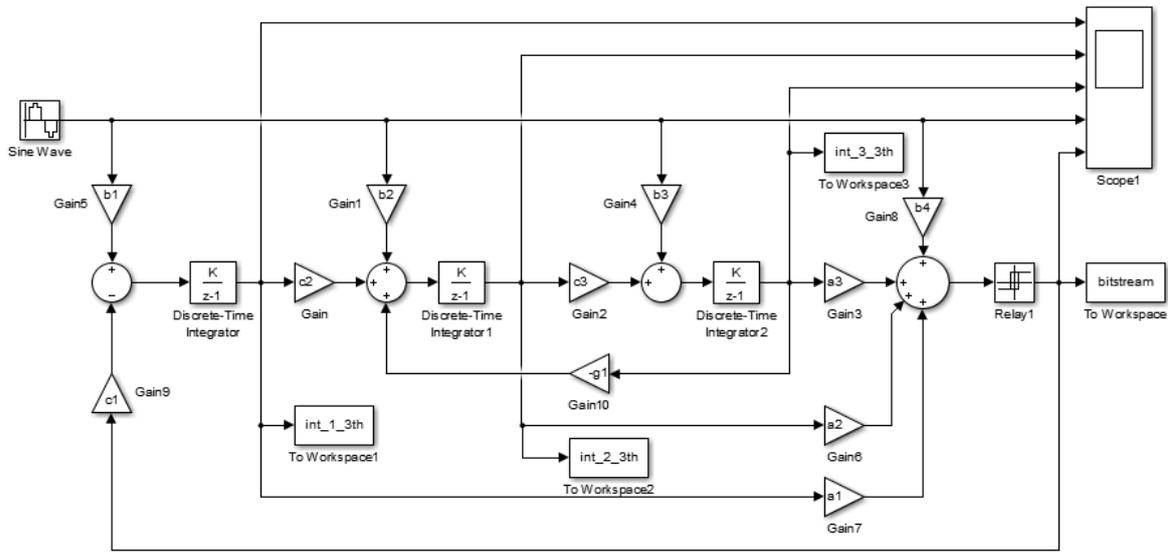
Conforme especificações apresentadas na Tabela 2, a Tabela 3 apresenta os coeficientes gerados nos passos anteriores.

Tabela 3 – Coeficientes gerados para topologia CIFF

Parâmetro	Valor
a1	0,7997
a2	0,2881
a3	0,0440
b1	1
b2	0
b3	0
b4	1
c1	1
c2	1
c3	1
g1	0

A Figura 15 mostra a implementação da topologia CIFF no simulink. Com a finalidade de verificar o comportamento do modulador simulado, o bloco *To Workspace* armazena os dados da saída do modulador que serão analisados no Matlab.

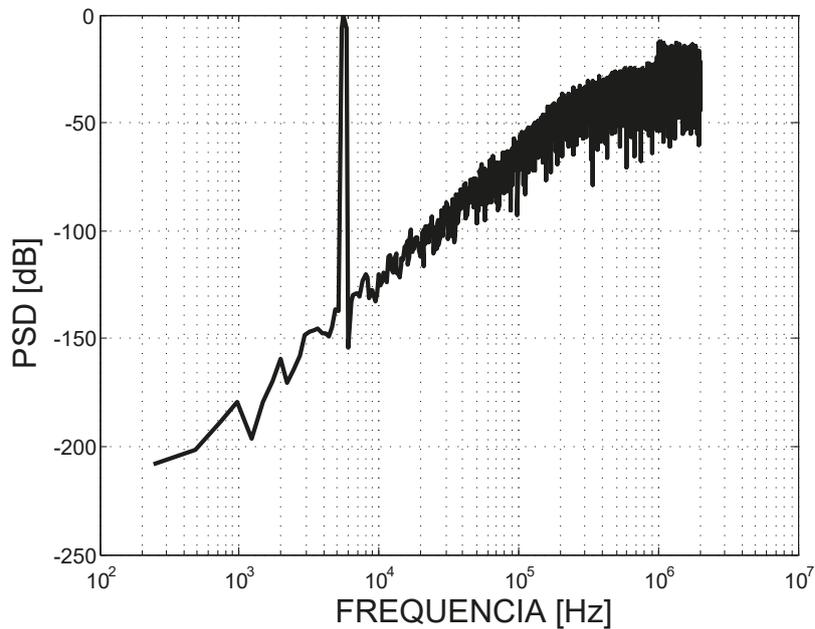
Figura 15 – Modulador sigma-delta em tempo discreto utilizando topologia CIFF no Simulink/Matlab



Fonte: Autor

A Figura 16 apresenta o PSD da saída do modulador simulado no simulink.

Figura 16 – PSD do SDM em tempo discreto no Simulink



Fonte: Autor

Para calcular a relação sinal-ruído e distorção (SNDR) e a relação sinal-ruído utilizou-se uma modificação da função *calcSNR* presente no SDToolbox 2 (MALCOVATI, 2019).

$$[snrdB,snrdB,ptotdB,psigdB,pnoisedB] = calcSNR(vout,f,fBL,fBH,w,N) \quad (3.5)$$

Onde V_{out} é a saída do modulador, f é a frequência normalizada, f_{BL} é o bin de frequência de limite inferior da banda base, f_{BH} é o bin de frequência de limite superior da banda base, w é o janelamento para a FFT, N o número de pontos da FFT. Como resultado da função tem-se o $snrdB$ que é o SNR dado em decibéis (dB), $sndrdB$ é o SNDR em dB, $ptotdB$ é a densidade espectral de potência de saída do modulador em dB, $psigdB$ é densidade espectral de potência de sinal extraída em dB e $pnoisedB$ é a densidade espectral de potencia do ruído e dB.

Na Tabela 4 estão dispostos os resultados extraídos da simulação pela função $calcSNR$. Em posse do SNDR é possível calcular o número efetivo de bits pela Equação 3.6.

$$ENOB = \frac{SNDR - 1,76}{6,02} \quad (3.6)$$

Tabela 4 – Parâmetros simulados

Parâmetro	Valor
SNR	95,22dB
SNDR	93,91dB
ENOB	15 bits

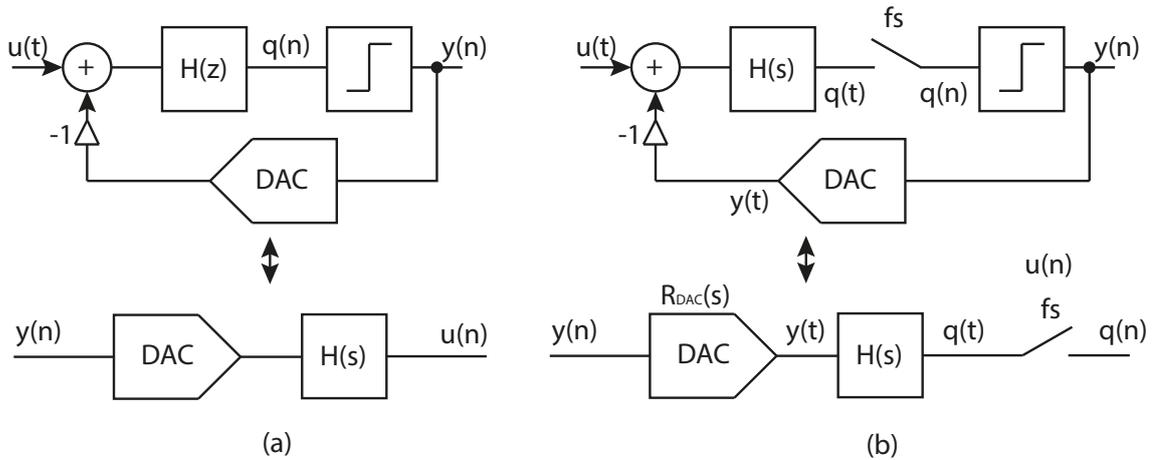
3.1.2 CONVERSÃO DO MODULADOR EM TEMPO DISCRETO PARA TEMPO CONTÍNUO (CONVERSÃO DT-CT)

Há diversos métodos para realizar a conversão de tempo discreto para tempo contínuo como a transformação Z modificada, a transformação invariante ao impulso e o método de espaço de estados (ORTMANN; GERFERS, 2006). Neste texto será abordado o método da transformação invariante ao impulso.

3.1.2.1 TRANSFORMAÇÃO INVARIANTE AO IMPULSO

A conversão DT-CT baseia-se na existência de um *clock* no quantizador do modulador em tempo contínuo o que torna, neste ponto, o modulador em tempo contínuo um sistema em tempo discreto. A equivalência é encontrada se a entrada para ambos os quantizadores (tanto do DT-SDM quanto do CT-SDM) forem a mesma no mesmo instante da amostragem, ou seja, pela Figura 17, $x(t)$ deve ser igual à $X(n)$. Assim, os fluxos de bit de saída de ambos os moduladores e o ruído serão iguais. É importante verificar que, o DAC na realimentação do modulador em tempo contínuo atua como um conversor contínuo-discreto e cuja sua saída (contínua) depende da sua função de transferência, $R_{DAC}(s)$ (ORTMANN; GERFERS, 2006).

Figura 17 – Representação dos moduladores em (a) tempo discreto (b) tempo contínuo



Fonte: Autor

A condição necessária para a equivalência entre os moduladores é apresentada pela Equação 3.7

$$Z^{-1}(H(z)) = \mathcal{L}^{-1}(R_{DAC}(s)H(s))|_{t=nT_s} \quad (3.7)$$

No domínio do tempo isso leva à condição expressa pela Equação 3.8.

$$h(n) = [rDAC(t) \cdot h(t)]|_{t=nT_s} = \int_{-\infty}^{\infty} rDAC(\tau)h(t - \tau)d\tau|_{t=nT_s} \quad (3.8)$$

Onde o $rDAC(t)$ é a resposta do DAC ao impulso. Essa transformação é chamada de invariante ao impulso, porque torna as respostas ao impulso do modulador em malha aberta iguais nos mesmos tempos de amostragem. Essa transformação permite projetar um modulador sigma-delta em tempo contínuo, que junto com uma função de transferência do DAC, corresponde exatamente ao comportamento de um modulador em tempo discreto (ORTMANN; GERFERS, 2006).

Em Ortmanns e Gerfers (2006) as equivalências foram previamente calculadas utilizando softwares matemáticos que realizam simplificações de funções com variáveis simbólicas. Sendo assim, o procedimento de cálculo se torna menos complexo.

Para utilizar esses equivalentes, é necessário extrair a função de transferência de malha aberta do modulador em tempo discreto, $LF(z)$. A $LF(z)$ do modulador em tempo discreto da Figura 14 é dada pela Equação 3.9

$$LF(z) = c1 \cdot c2 \cdot c3 \cdot a3 \cdot \frac{1}{(z-1)^3} + c1 \cdot c2 \cdot a2 \cdot \frac{1}{(z-1)^2} + c1 \cdot a1 \cdot \frac{1}{(z-1)^1} \quad (3.9)$$

As equivalências para um modulador de ordem 3 estão dispostas na Tabela 5 (ORTMANN; GERFERS, 2006).

Aplicando as equivalências, os coeficientes dados pela Tabela 3 e assumindo que o DAC é do tipo NRZ, isto é, ($\alpha = 0$ e $\beta = 1$) na Equação 3.9 resulta na Equação 3.10. Esta

Tabela 5 – Equivalentes de TC utilizando DACs de realimentação retangular.

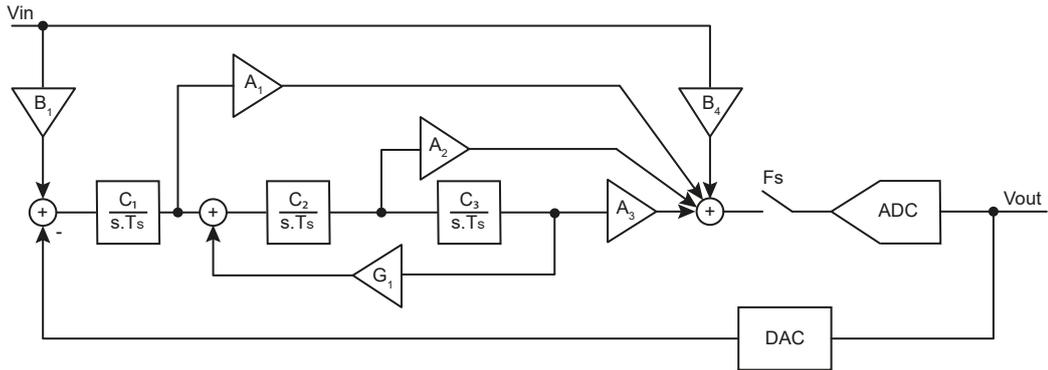
Equivalente DT	Equivalente CT
$\frac{1}{(z-1)}$	$\frac{w_0}{s}, w_0 = \frac{fs}{\beta-\alpha}$
$\frac{1}{(z-1)^2}$	$\frac{w_1 \cdot s + w_0}{s^2}, w_0 = \frac{fs^2}{\beta-\alpha}, w_1 = \frac{1}{2} \cdot \frac{fs \cdot (\alpha + \beta - 2)}{\beta - \alpha}$
$\frac{1}{(z-1)^3}$	$\frac{w_2 \cdot s^2 + w_1 \cdot s + w_0}{s^3}, w_0 = \frac{fs^3}{\beta-\alpha}, w_1 = \frac{1}{2} \cdot \frac{fs^2 \cdot (\alpha + \beta - 3)}{\beta - \alpha},$ $w_2 = \frac{1}{12} \cdot \frac{fs[\beta(\beta-9) + \alpha(\alpha-9) + 4\alpha\beta + 12]}{\beta - \alpha}$

equação representa a função de transferência convertida de tempo discreto para tempo contínuo.

$$LF(s) = 0.6703 \cdot \frac{fs}{s^1} + 0.2441 \cdot \frac{fs^2}{s^2} + 0.0439 \cdot \frac{fs^3}{s^3} \quad (3.10)$$

Para converter essa função de transferência em uma topologia e extrair os coeficientes transformados é necessário escolher a topologia e extrair sua função de transferência em malha aberta. Neste caso será utilizada a topologia CIFF conforme Figura 18.

Figura 18 – Topologia CIFF em tempo contínuo.



Fonte: Autor

Para este caso a função de transferência é dada pela equação

$$LF(s) = c1 \cdot a1 \cdot \frac{fs}{s^1} + c1 \cdot c2 \cdot a2 \cdot \frac{fs^2}{s^2} + c1 \cdot c2 \cdot c3 \cdot a3 \cdot \frac{fs^3}{s^3} \quad (3.11)$$

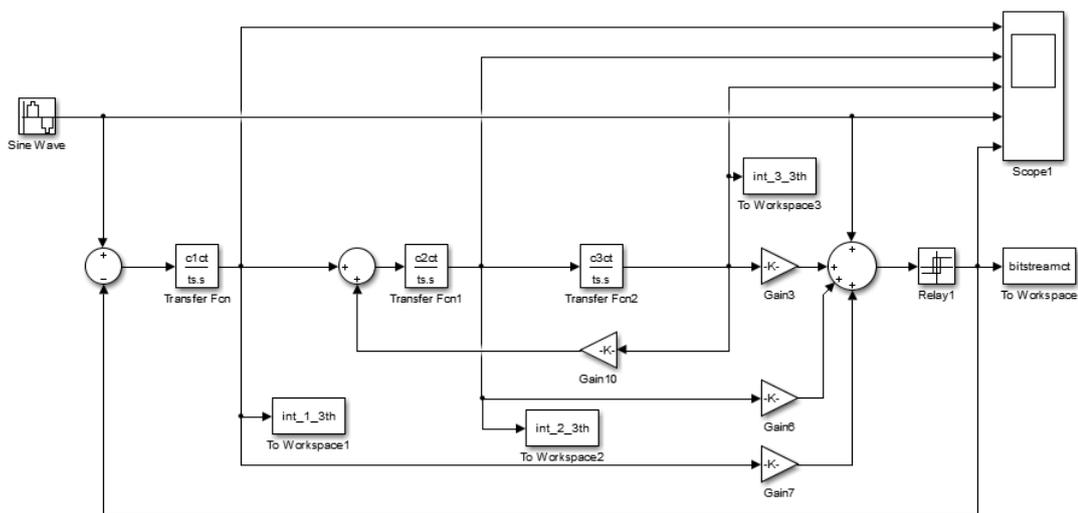
Como os coeficientes em tempo discreto $c1$, $c2$ e $c3$ são unitários pode-se prever que os mesmos irão se manter em tempo contínuo, assim as parciais encontradas na Equação 3.10 são respectivamente $a1$, $a2$ e $a3$. Os coeficientes transformados para tempo contínuo estão dispostos na Tabela 6.

Novamente com o software Simulink pode-se simular o modulador e através da FFT verificar o seu funcionamento e com a função *calcSNR1* as métricas de desempenho. A Figura 19 apresenta a topologia implementada ao Simulink para a simulação.

Tabela 6 – Coeficientes transformados de DT para CT utilizando a topologia CIFF

Parâmetro	Valor
a1	0,6703
a2	0,2441
a3	0,0439
b1	1
b2	0
b3	0
b4	1
c1	1
c2	1
c3	1
g1	0

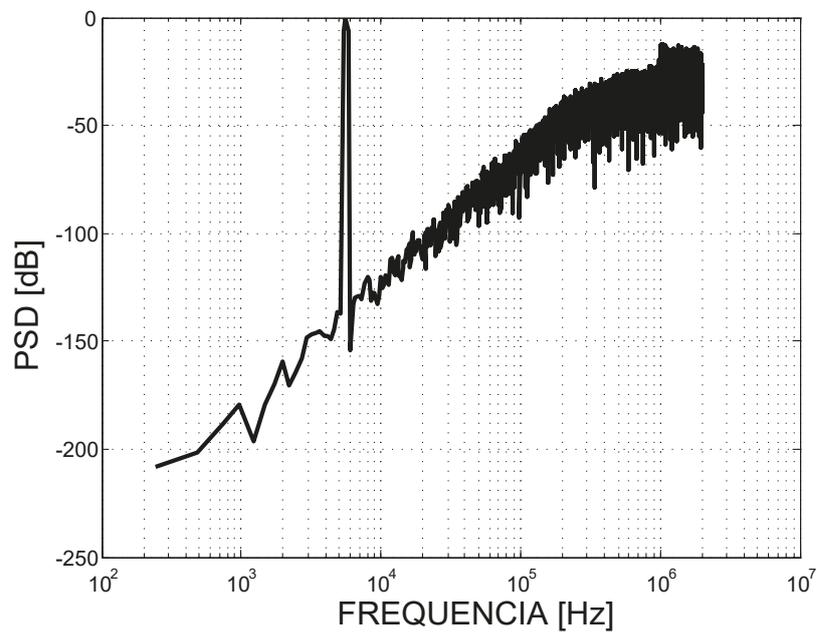
Figura 19 – Modulador sigma-delta em tempo contínuo utilizando topologia CIFF no matlab



Fonte: Autor

A Figura 20 mostra a FFT da saída do modulador e a Tabela 7 apresenta as métricas de desempenho simuladas. É possível verificar que o resultado do CT-SDM é o mesmo do DT-SDM.

Figura 20 – PSD do SDM em tempo contínuo no Simulink



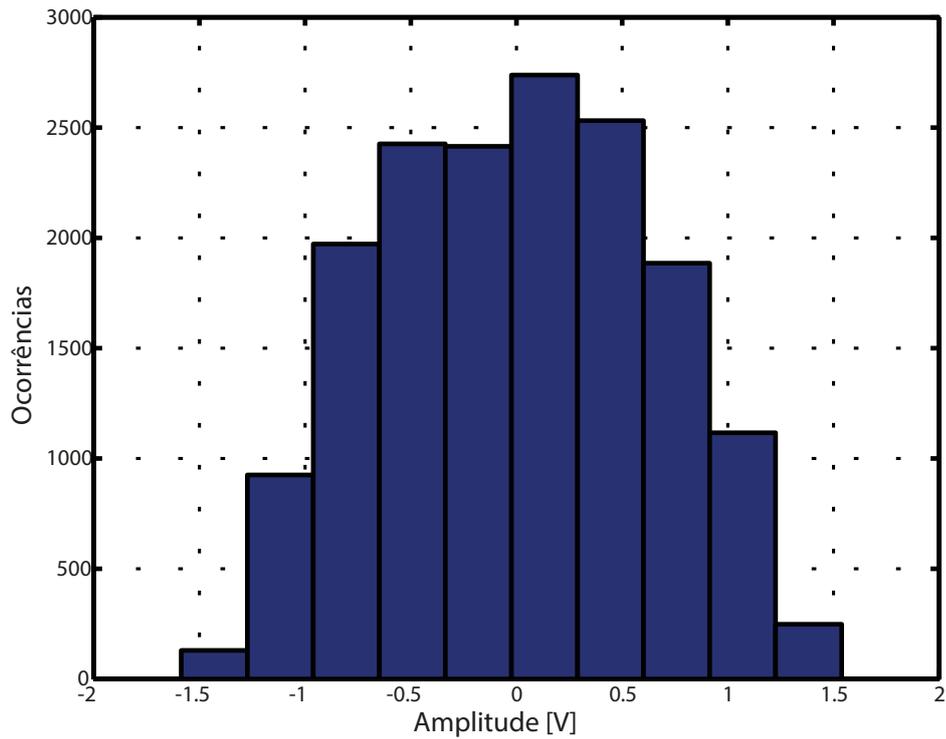
Fonte: Autor

Tabela 7 – Parâmetros simulados

Parâmetro	Valor
SNR	95,22dB
SNDR	93,91dB
ENOB	15,30 bits

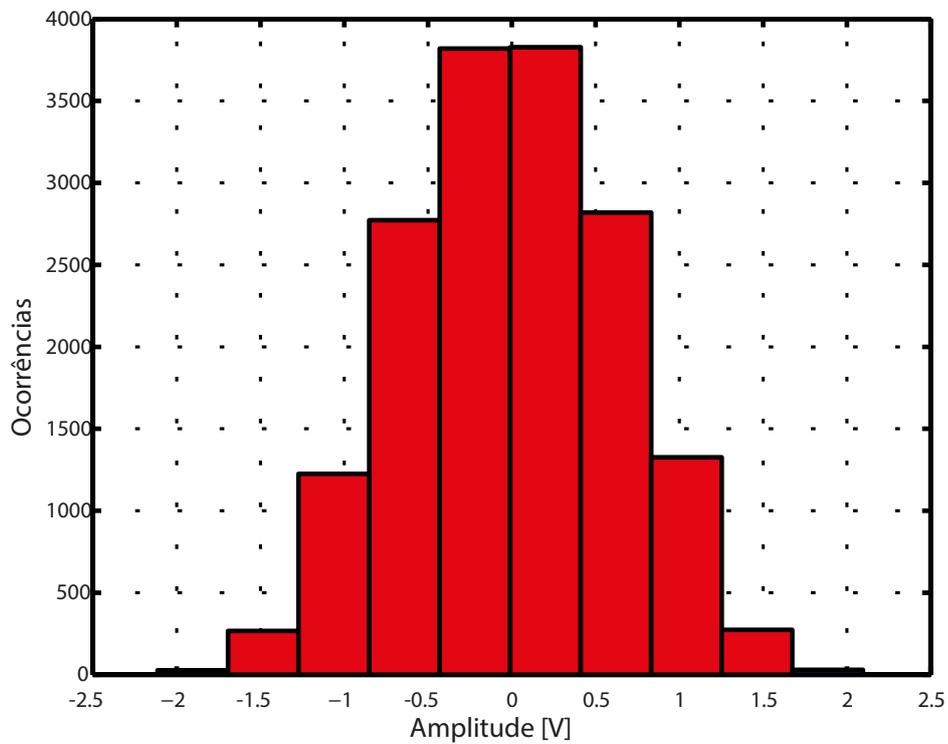
Mesmo realizando o escalonamento dos coeficientes com a função *scaleABCD*, após à transformação DT-CT é recomendável verificar se a excursão de saída de cada estágio integrador está de acordo com o projeto. A Figura 21 mostra a excursão de saída do 1º integrador, a Figura 22 a excursão do 2º e a Figura 23 do 3º. Os gráficos gerados em forma de histograma apresentam uma melhor visibilidade para entender quais são os valores de máximos e mínimos de tensão de cada estágio.

Figura 21 – Excursão de saída do 1º integrador do SDM em tempo contínuo no Simulink



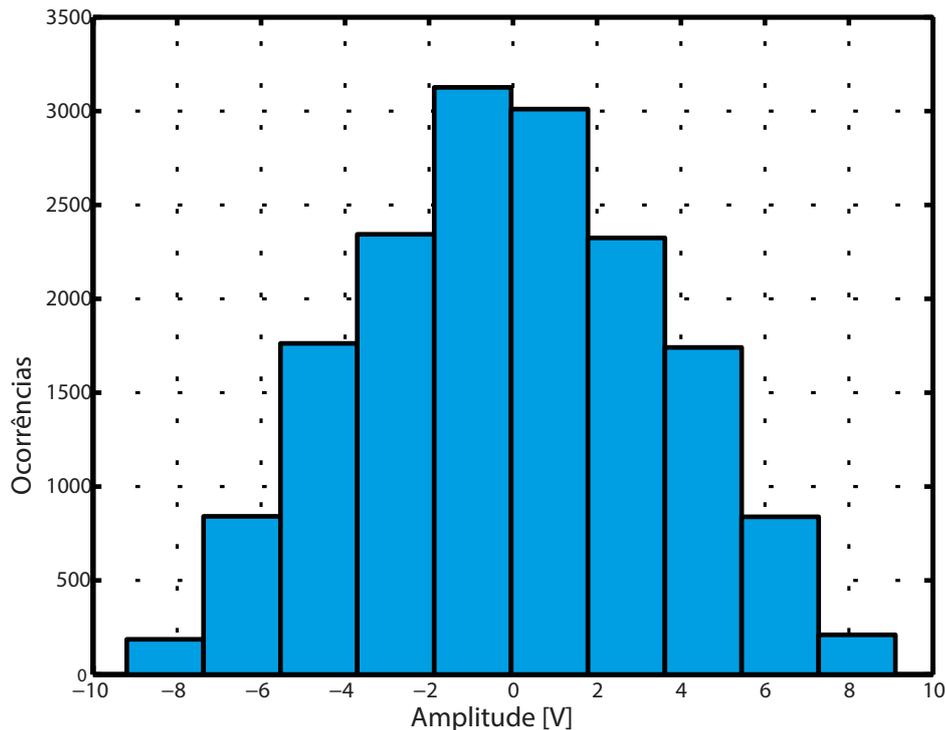
Fonte: Autor

Figura 22 – Excursão de saída do 2º integrador do SDM em tempo contínuo no Simulink



Fonte: Autor

Figura 23 – Excursão de saída do 3º integrador do SDM em tempo contínuo no Simulink



Fonte: Autor

Os resultados das excursões de cada estágio mostram que os valores de máximos e mínimos excedem o valor de referência definido na Tabela 2. Em ambiente real, em nível elétrico, esse excesso se traduz em uma saturação na saída de cada estágio o que degradará a resolução do modulador. Para corrigir a excursão é necessário escalonar os coeficientes do CT-SDM.

3.1.3 ESCALONAMENTO DOS COEFICIENTES EM TEMPO CONTÍNUO

Devido aos altos valores das tensões de saída dos integradores é realizado o escalonamento dos coeficientes onde analisa-se a função de cada coeficiente e realiza uma compensação para que se mantenha o modulador em funcionamento e reduza os níveis de tensão na saída de cada estágio integrador conforme necessidade.

Analisando as equações 3.10 e 3.11 temos:

$$0,6703 = c1 \cdot a1 \quad (3.12)$$

$$0,2441 = c1 \cdot c2 \cdot a2 \quad (3.13)$$

$$0,0439 = c1 \cdot c2 \cdot c3 \cdot a3 \quad (3.14)$$

Para que não haja nenhuma alteração no desempenho do modulador, o resultado final da multiplicação dos coeficientes da topologia deve ser o encontrado na transformação

DT-CT. Analisando o circuito é possível notar que os coeficientes c_1 , c_2 e c_3 representam os ganhos intrínsecos do 1º, 2º e 3º estágio integrador, respectivamente. Dessa forma se reduzir os coeficientes c_1 , c_2 , c_3 e aumentar os coeficientes a_1 , a_2 e a_3 , as expressões manterão os valores finais conforme a transformação DT-CT e irão reduzir a excursão de saída de cada estágio integrador.

Visto os níveis simulados anteriormente, é necessário que para um dimensionamento correto deve-se levar em consideração o nível de tensão de referência do modulador, $1V$, para isso é necessário que os níveis de tensão estejam centrados em $V_{ref}/2$ e com amplitude de no máximo 50% de V_{ref} .

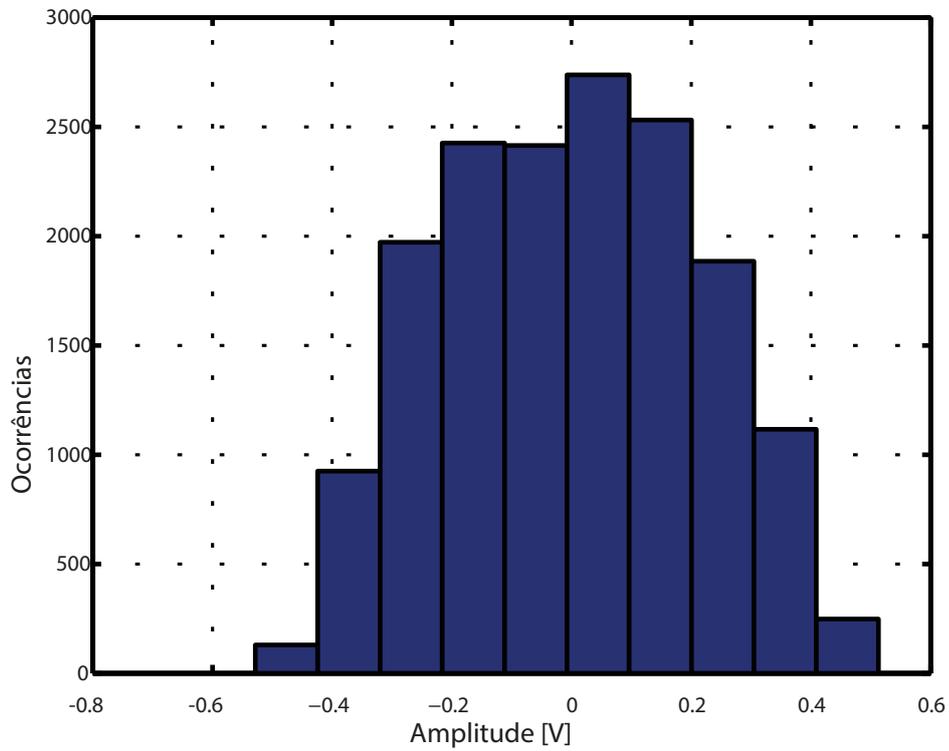
A Tabela 8 apresenta os coeficientes para a topologia CIFF do modulador em tempo contínuo escalonados.

Tabela 8 – Coeficientes escalonados utilizando a topologia CIFF

Parâmetro	Valor
a1	2,0109
a2	1,4649
a3	0,7916
b1	1
b2	0
b3	0
b4	1
c1	0,3333
c2	0,5000
c3	0,3333
g1	0

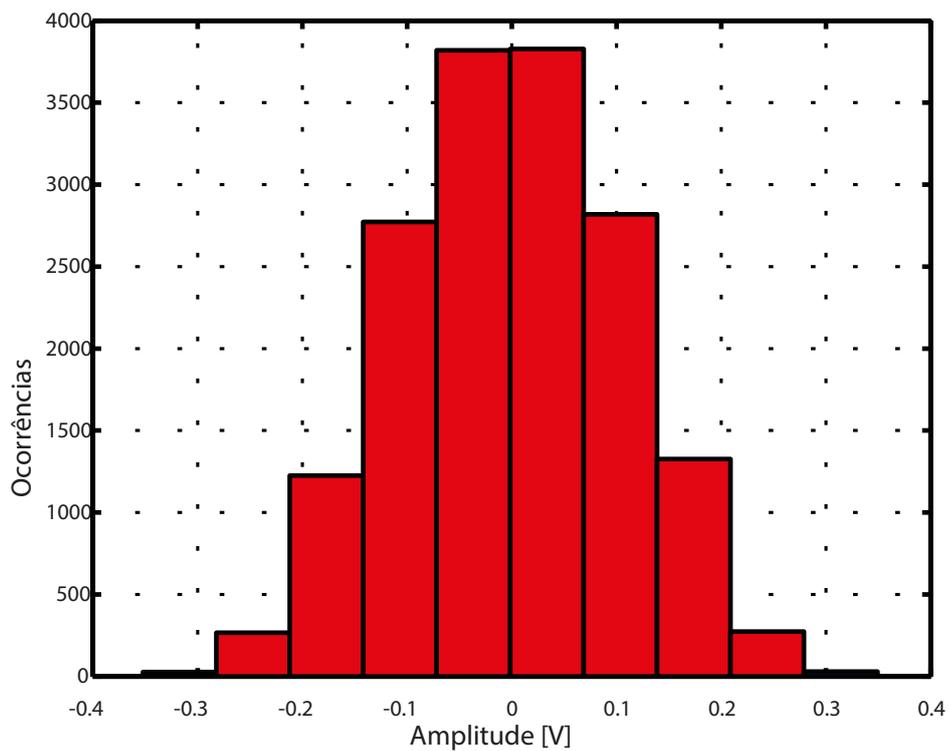
As imagens 24, 25 e 26 representam a excursão de saída do 1º, 2º e 3º estágio integrador, respectivamente.

Figura 24 – Excursão de saída do 1º integrador do SDM em tempo contínuo no Simulink com o escalonamento



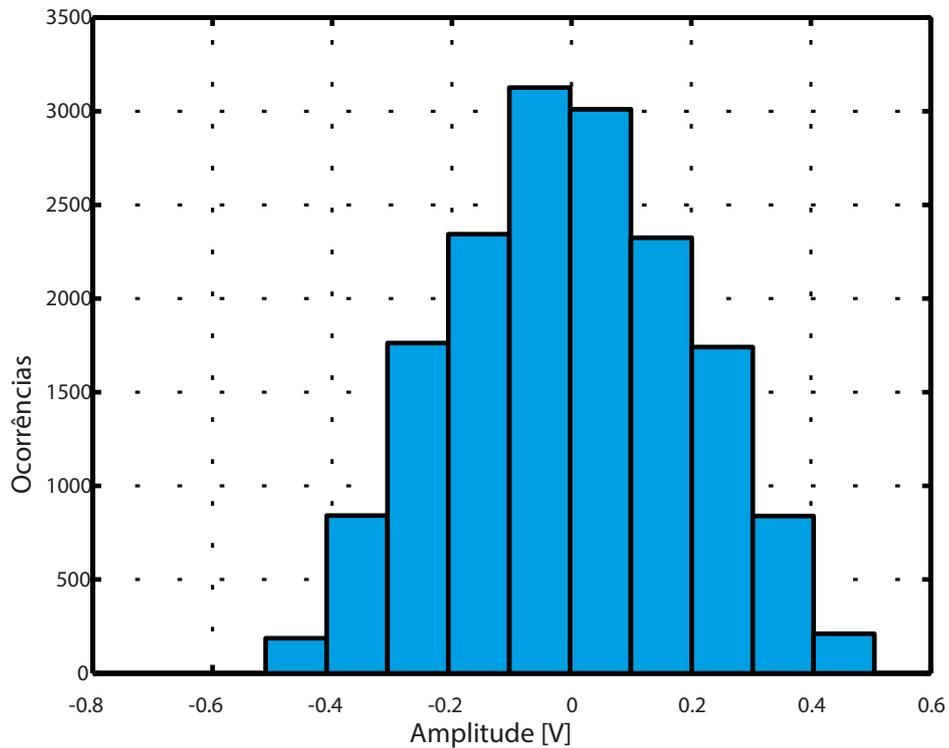
Fonte: Autor

Figura 25 – Excursão de saída do 2º integrador do SDM em tempo contínuo no Simulink com o escalonamento



Fonte: Autor

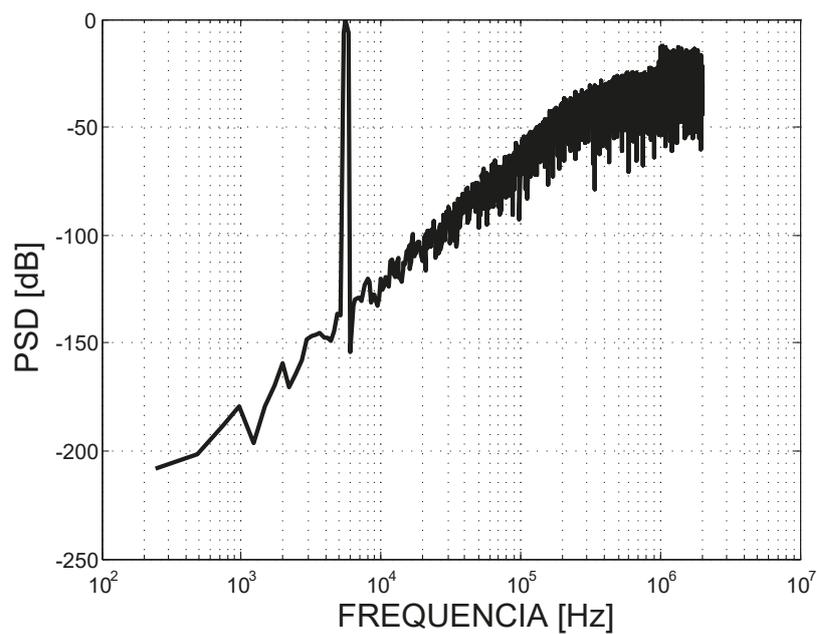
Figura 26 – Excursão de saída do 3º integrador do SDM em tempo contínuo no Simulink com o escalonamento



Fonte: Autor

A Figura 27 mostra a PSD do CT-SDM pós escalonamento. Os valores encontrados de SNR, SNDR e ENOB não sofreram alterações o que valida a estratégia utilizada.

Figura 27 – PSD do SDM em tempo contínuo no Simulink



Fonte: Autor

3.1.4 ANÁLISE DO RUÍDO

Idealmente o SDM possui apenas uma fonte de ruído que é o de quantização e é atenuado devido a sobreamostragem e a modelagem do ruído (Pavan; Schreier; Temes, 2017). A métrica que representa o sinal-ruído do modulador ideal é chamada de relação sinal-ruído-de-quantização (SQNR). Entretanto, as não idealidades e o ruído dos demais dispositivos eletrônicos que compõem o modulador tem influência na real relação sinal-ruído da saída do modulador (AGUIRRE, 2014).

O ruído térmico e o ruído *flicker* são os principais ruídos que afetam os dispositivos eletrônicos (RAZAVI, 2016). Os resistores e capacitores possuem como principal fonte de ruído, o ruído térmico e os transistores MOS o ruído térmico e o ruído *flicker*. Uma vez que os CT-SDMs são compostos basicamente por resistores, capacitores e transistores MOS é de grande importância analisar essas fontes de ruído para que não haja degradação na sua relação sinal-ruído (AGUIRRE, 2014).

Em ADCs SD em tempo contínuo, as fontes de ruído presentes na entrada do modulador são críticos para o seu desempenho, pois não são modelados, como ocorre com o ruído de quantização. Esse ruído proveniente da entrada passa a ser perceptível na saída do modulador situação que leva a degradar o DR, SNR e ENOB (BREEMS; HUIJING, 2001).

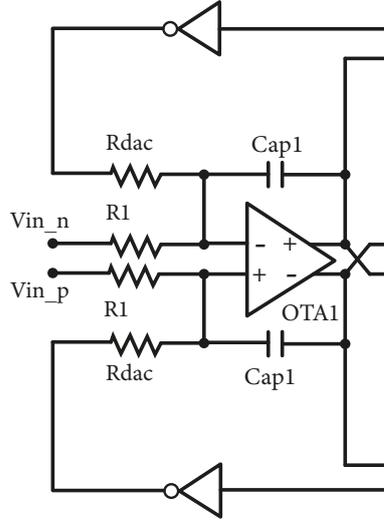
3.1.4.1 RUÍDO REFERENCIADO À ENTRADA DO MODULADOR

Um dos principais aspectos no projeto de um SDM é a análise do ruído para calcular o ruído referente à entrada do modulador, à partir deste, é dimensionado o primeiro integrador e os resistores do DAC. Em conversores analógico-digitais de baixa tensão o ruído é um fator limitante que acaba impactando diretamente no consumo de energia do circuito.

Na topologia C1FF o primeiro integrador é o que necessita do maior GBW, o que traduz em um maior consumo. Uma estratégia para reduzir o consumo do primeiro estágio é reduzir o tamanho dos capacitores. Entretanto, reduzir os capacitores faz com que aumente o valor das resistências, com a finalidade de manter constante o valor do coeficiente, situação que eleva o ruído na entrada do modulador (AGUIRRE, 2014).

Basicamente, o ruído de entrada do modulador está presente nos componentes do primeiro integrador (ORTMANN; GERFERS, 2006). A Figura 28 apresenta o estágio de entrada de um CT-SDM.

Figura 28 – Estágio de entrada do CT-SDM



Fonte: Autor.

Analisando a Figura 28 pode-se verificar que os componentes que contribuem para o ruído na entrada do CT-SDM são os resistores R1, os resistores Rdac e o ruído do amplificador referenciado à entrada.

A densidade espectral da potência do ruído térmico gerado por um resistor é apresentado pela Equação 3.15

$$\bar{v}_R^2 = 4 \cdot k \cdot T \cdot R \cdot BW \quad (3.15)$$

Onde k é a constante de boltzmann ($1,3810^{-23}$ J/K), T a temperatura em Kelvin, R a resistência e BW a largura de banda. O ruído do amplificador referido à entrada é dada pela Equação 3.16 (ORTMANN; GERFERS, 2006).

$$\bar{v}_{OTA}^2 = \frac{8}{3} \frac{KT n_{thermal}}{gm_{OTA}} \frac{k_f n_f}{C_{ox}^2 WL a_f} \quad (3.16)$$

Onde $n_{thermal}$ e n_f descrevem, respectivamente, os fatores de excesso dos ruídos *flicker* e térmico. W e L são a largura e o comprimento dos transistores do par diferencial de entrada do amplificador, gm_{OTA} é a transcondutância do amplificador, k_f e a_f são parâmetros do ruído *flicker* que dependem do tipo de transistor e da tecnologia utilizada (AGUIRRE, 2014).

Para calcular a potência total do ruído referenciado à entrada é necessário integrar a densidade de potência do ruído, expresso em V^2/Hz em toda a banda de interesse, conforme Equação 3.17.

$$P_{noise} = \int_0^{BW} (\bar{v}_{Rin}^2 + \bar{v}_{DAC}^2 + \bar{v}_{OTA}^2) df \quad (3.17)$$

Onde P_{noise} é a potência total do ruído referenciado à entrada do modulador, \bar{v}_{Rin}^2 é a densidade de ruído dos resistores de entrada, \bar{v}_{DAC}^2 é a densidade de ruído do DAC e \bar{v}_{OTA}^2 é a densidade de ruído do amplificador referenciada à entrada.

3.1.4.2 DEFINIÇÃO DO MÁXIMO RUÍDO DE ENTRADA E CÁLCULO DA RESISTÊNCIA DE ENTRADA DO CT-SDM

Em Aguirre (2014) é apresentada uma metodologia onde é realizado o cálculo do máximo ruído aceitável na entrada do modulador para que se atinja um SNDR especificado, bem como o procedimento de cálculo para a resistência de entrada do modulador.

A amplitude do ruído do resistor pode ser calculado através da manipulação da Equação 3.18.

$$P_{noise_{Rin}} = 20 \cdot \log\left(\frac{\bar{v}_R}{V_{REF}}\right) \quad (3.18)$$

Onde \bar{v}_R é a densidade de potência do ruído, V_{REF} é a amplitude da tensão de referência e P_{noise} é a potência do ruído do resistor de entrada, expressa em dBFS.

Como a potência de ruído depende do espectro de frequência e do valor da resistência, com base nas Equação 3.15 obtém a seguinte expressão.

$$4 \cdot k \cdot T \cdot R \cdot BW = \left(10^{\frac{P_{noise_{Rin}}}{20}} \cdot V_{REF}\right)^2 \quad (3.19)$$

Adaptado de (AGUIRRE et al., 2020) a Equação 3.21 mostra o ruído referenciado à entrada do modulador.

$$\bar{v}_{input-SDM}^2 = 2 \cdot (\bar{v}_{noise-res}^2 + \bar{v}_{noise-DAC}^2) + 4 \cdot \bar{v}_{noise-OTA}^2 + \bar{v}_{noise-quantization}^2 \quad (3.20)$$

Onde $\bar{v}_{input-SDM}^2$ é amplitude do ruído referenciado à entrada do modulador, $\bar{v}_{noise-res}^2$ é a amplitude do ruído gerado por um dos resistores R1, $\bar{v}_{noise-DAC}^2$ é a amplitude do ruído gerado por um dos resistores Rdac, $\bar{v}_{noise-OTA}^2$ é o ruído do amplificador referenciado à entrada e $\bar{v}_{noise-quantization}^2$ é o ruído de quantização do modulador.

Através do número efetivo de bits pode-se estimar o máximo ruído admitido na entrada do modulador:

$$\bar{v}_{input-SDM}^2 = \frac{V_{in-rms}}{10^{\frac{ENOB \cdot 6,02 + 1,73}{20}}} \quad (3.21)$$

A simulação do modulador pelo Simulink estima o SNDR ideal, ou seja, apenas o ruído de quantização esta presente. Então pode-se prever que o SNDR que é medido da simulação é o próprio SQNR (relação sinal-ruído de quantização). Então, através do resultado da simulação é possível encontrar o ruído de quantização dado pela Equação 3.22.

$$\bar{v}_{noise-quantization}^2 = \frac{V_{inrms}}{10^{\frac{SQNR}{20}}} \quad (3.22)$$

Neste projeto é definido que as resistências R1 e Rdac sejam iguais, portanto, $\bar{v}_{noise-res}^2$ são iguais $\bar{v}_{noise-DAC}^2$. Para uma modelagem em alto nível pode-se desconsiderar

a influencia do ruído do amplificador. Dessa forma, manipulando a Equação 3.21 podemos encontrar a expressão que representa o valor da resistência R1:

$$R_1 = \frac{\bar{v}_{noise-SDM}^2 - \bar{v}_{noise-quantization}^2}{4 \cdot 4 \cdot k \cdot T \cdot bw} \quad (3.23)$$

A Tabela 9 apresenta os resultados obtidos.

Tabela 9 – Resultados obtidos com a metodologia

Parâmetro	Valor
$\bar{v}_{noise-SDM}^2$	8,8191 μV_{rms}
$\bar{v}_{noise-quantizacao}^2$	3,5630 μV_{rms}
R1 = Rdac	49,10k Ω

3.1.5 CÁLCULO DOS ELEMENTOS PASSIVOS DO CT-SDM

Os componentes passivos do integrador de RC ativo são calculados para implementar com precisão os coeficientes do integrador. Os componentes passivos do integrador são dados pela Equação 3.24 (ORTMANN; GERFERS, 2006).

$$c_k \cdot F_s = \frac{1}{R_k \cdot Cap_k} \quad (3.24)$$

Onde c_k são os coeficientes dos integradores, F_s a frequência de amostragem, R_k e Cap_k são os resistores e capacitores do integrador, respectivamente.

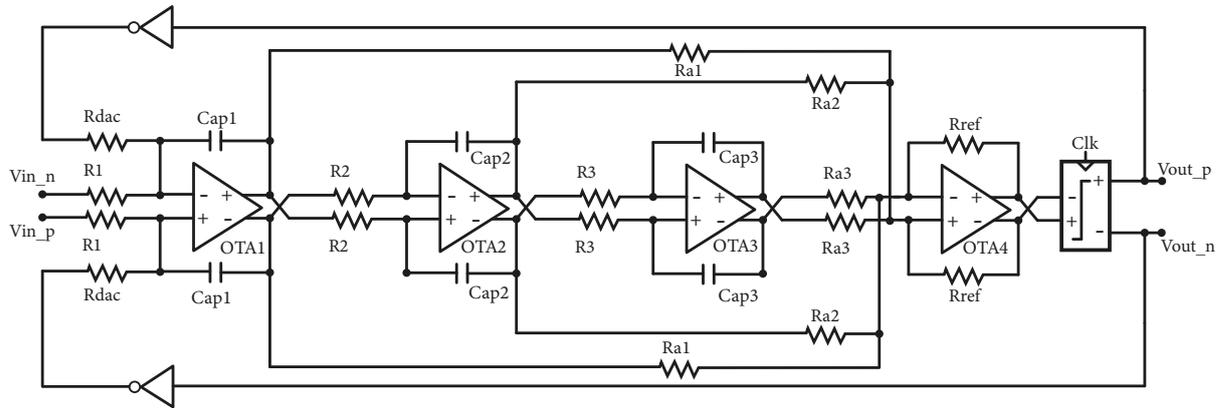
Verifica-se que quanto maior for o limite de ruído referenciado à entrada do modulador, maior poderão ser as resistências e menor as capacitâncias, que, conseqüentemente, terá o consumo de energia e área reduzidos. Neste caso, as capacitâncias Cap2 e Cap3 são definidas arbitrariamente. A Tabela 10 apresenta os valores de resistência e capacitâncias utilizadas.

Tabela 10 – Elementos passivos do CT-SDM

Parâmetro	Valor
R1	49,10 k Ω
R2	500 k Ω
R3	750 k Ω
cap1	15,27 pF
cap2	1,0 pF
cap3	1,0 pF

A Figura 29 mostra a arquitetura completa em nível elétrico de um modulador do tipo sigma-delta em tempo contínuo.

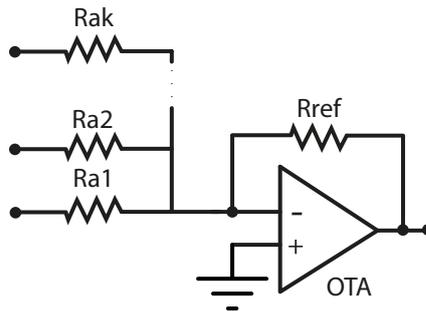
Figura 29 – CT-SDM em arquitetura CIFF - Nível elétrico



Fonte: O autor.

Para o cálculo das resistências em avanço é preciso analisar a topologia de somador utilizada. Neste caso, É utilizado um somador ponderado. A Figura 30 mostra em detalhes um somador de saída simples onde a Equação 3.25 representa o ganho desse estágio.

Figura 30 – Somador Ponderado de saída simples



Fonte: O autor.

$$\frac{V_{out}}{V_{in}} = \frac{R_{ref}}{R_{a1}} \quad (3.25)$$

Como o coeficiente em avanço representa um ganho, pode-se substituir e manipular a Equação 3.25 para encontrar o valor de sua resistência. A Equação 3.26 apresenta o valor da resistência em avanço em função de seu respectivo coeficiente.

$$R_{ak} = \frac{R_{ref}}{ak} \quad (3.26)$$

Onde R_{ref} é a resistência de referência utilizada na realimentação negativa do somador ponderado e ak o coeficiente em avanço para k variando de 1 ao valor da ordem do modulador. A Tabela 11 mostra os valores das resistências em avanço.

3.1.6 MODELAGEM DO AMPLIFICADOR TOTALMENTE DIFERENCIAL

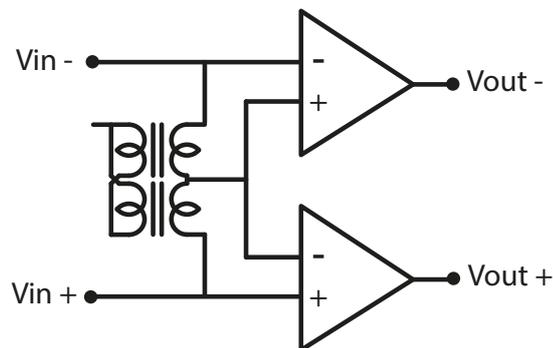
Existem diferentes bibliotecas auxiliares dentro do software Virtuoso EDA Suite, da Cadence. Dentre estas bibliotecas pode-se citar a *analoglib* e a *bmslib*. A biblioteca

Tabela 11 – Resistências em avanço do CT-SDM

Parâmetro	Valor
R_{ref}	500,00 $k\Omega$
R_{a1}	248,63 $k\Omega$
R_{a2}	341,32 $k\Omega$
R_{a3}	631,56 $k\Omega$

bmslib apresenta diversos modelos de dispositivos como amplificadores, comparadores, chaves, portas lógicas, entre outros. Para o desenvolvimento do modelo de um amplificador totalmente diferencial foi utilizado um arranjo de amplificadores de saída simples e um transformador *balun* ideal para gerar a tensão de modo comum, extraída a partir da tensão de modo comum do sinal de entrada. Salienta-se que este modelo apresenta inúmeros parâmetros. Entretanto apenas os principais parâmetros que influenciam na performance do modulador foram analisados. A Figura 31 apresenta o arranjo de 2 amplificadores de saída simples programados em VerilogA e o transformador *balun*, ambos dispositivos fazem parte das bibliotecas presentes no Virtuoso.

Figura 31 – Esquemático do amplificador de saída diferencial



Fonte: O autor.

Com esse modelo é possível alterar alguns parâmetros internos de um amplificador totalmente diferencial com a finalidade de tornar o modelo mais próximo do real possível.

Os parâmetros que podem ser alterados dentro do modelo são: Ganho (dB), GBW (Hz), resistência de entrada (Ω), resistência de saída (Ω) e o *slew-rate* (V/s).

3.1.7 MODELAGEM DO COMPARADOR

O comparador foi modelado em VerilogA, sem tensão de offset de entrada. O código em VerilogA do comparador é descrito a seguir:

```
'include "discipline.h"
```

```
'include "constants.h"
```

```
module comp (vin_p, vin_n, clock, vout_P, vout_N) ;
  input vin_p, vin_n, clock;
```

```

output vout_P, vout_N;

electrical vin_p, vin_n, clock, vout_P, vout_N;

parameter real vth = 0.25;
parameter real tfall=1p;
parameter real frise=1p;
branch (vin_p, vin_n) in;
real hold_P, hold_N;

analog begin
    @(cross((V(clock)-vth), +1)) begin
        if (V(vin_p) > V(vin_n)) begin
            hold_P = 0.5;
            hold_N = 0.0;
        end
        else begin
            hold_P = 0.0;
            hold_N = 0.5;
        end
    end

    V(vout_P)<+ transition(hold_P,1p, 1p, 1p);
    V(vout_N) <+ transition(hold_N,1p, 1p, 1p);
end

endmodule

```

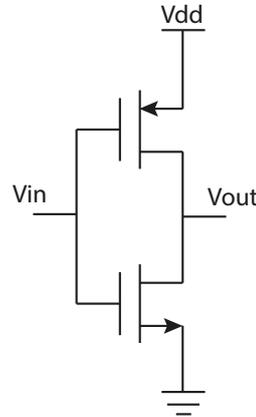
3.1.8 MODELAGEM DO DAC DE REALIMENTAÇÃO DO TIPO NRZ DE 1-BIT

Os conversores digital-analógico (DACs) desempenham um papel fundamental na ponte entre os domínios digital e analógico. Muitos conversores analógico-digitais de média a alta resolução (ADCs) e projetos de sistema em chip (SoC) usam DACs auxiliares em aplicações que vão desde a calibração de offset em comparadores CMOS, realimentação de ADCs sigma-delta até circuitos de autoteste integrados (DUTRA; CORTEZ; AGUIRRE, 2021).

Para o circuito da Figura 29, é necessário um DAC de 1-bit na realimentação do modulador e pode ser implementado por um inversor CMOS. A Figura 32 mostra em nível elétrico o inversor CMOS utilizado no DAC. Este inversor foi projetado com uma tensão

de 0,5 V e os transistores NMOS e PMOS possuem a relação de aspecto W/L igual a 1,29 $\mu\text{m}/0,30 \mu\text{m}$ e 1,00 $\mu\text{m}/0,25 \mu\text{m}$, respectivamente.

Figura 32 – Esquemático do inversor CMOS



Fonte: O autor.

3.2 IMPLEMENTAÇÃO DO MODULADOR DO TIPO SIGMA-DELTA EM TEMPO CONTÍNUO COM DAC DO TIPO NRZ DE 1-BIT

O Projeto do modulador sigma-delta em tempo contínuo em nível elétrico foi efetuado utilizando o ambiente Cadence e a tecnologia CMOS de 180nm da TSMC.

Foram implementados os modelos em VerilogA para o amplificador e comparador, o DAC da realimentação utiliza dois inversores CMOS, devido à característica totalmente diferencial do circuito, e os elementos passivos seguem os valores calculados anteriormente.

Os amplificadores do segundo e terceiro integradores foram implementados com parâmetros ideais, ou seja, alto ganho, alto GBW, alto *Slew-Rate*, alta resistência de entrada e baixa resistência de saída. A Tabela 12 apresenta os parâmetros utilizados para gerar o amplificador ideal utilizado no segundo e terceiro estágio integrador do modulador e no somador ponderado.

Tabela 12 – Parâmetros do amplificador ideal

Parâmetro	Valor
Ganho (AOL)	100 dB
GBW	100 MHz
<i>Slew-Rate</i> (SR)	100 V/ μs
Resistência de entrada (R_{in})	10 M Ω
Resistência de saída (R_{dc})	100 Ω

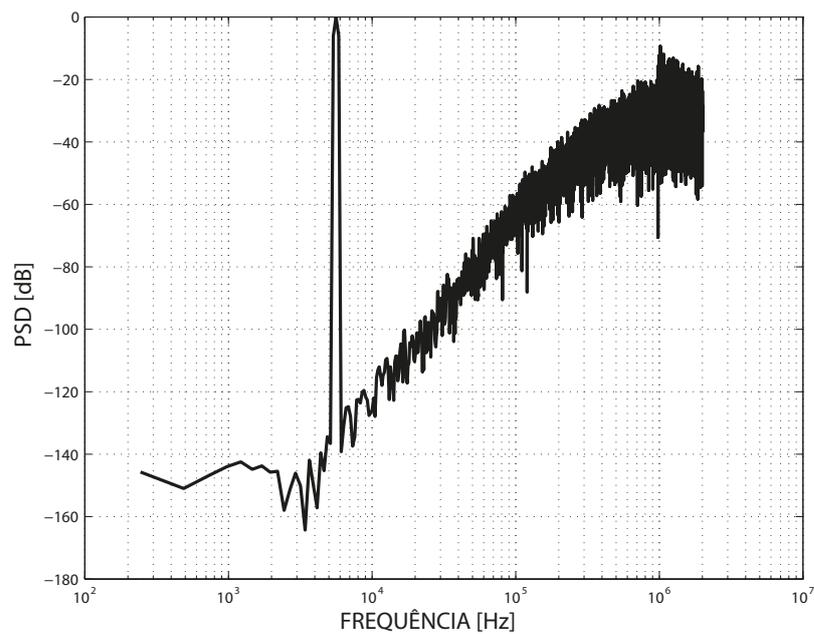
Em primeiro momento, o amplificador do primeiro estágio foi configurado com os parâmetros dispostos na Tabela 13. Esses parâmetros traduzem um amplificador com características próximas dos reais. Para verificar o comportamento do modulador foi

realizado uma simulação transiente de 4,3 ms (tempo necessário para gerar 17.200 pontos e gerar a FFT). Este teste não tem intuito de analisar o desempenho do CT-SDM, apenas comprovar a funcionalidade dos circuitos em verilogA. Sendo assim, a Figura 33 apresenta a PSD e as figuras 34, 35 e 36 mostram os histogramas de excursão de saída dos estágios integradores.

Tabela 13 – Parâmetros do amplificador do primeiro estágio integrador

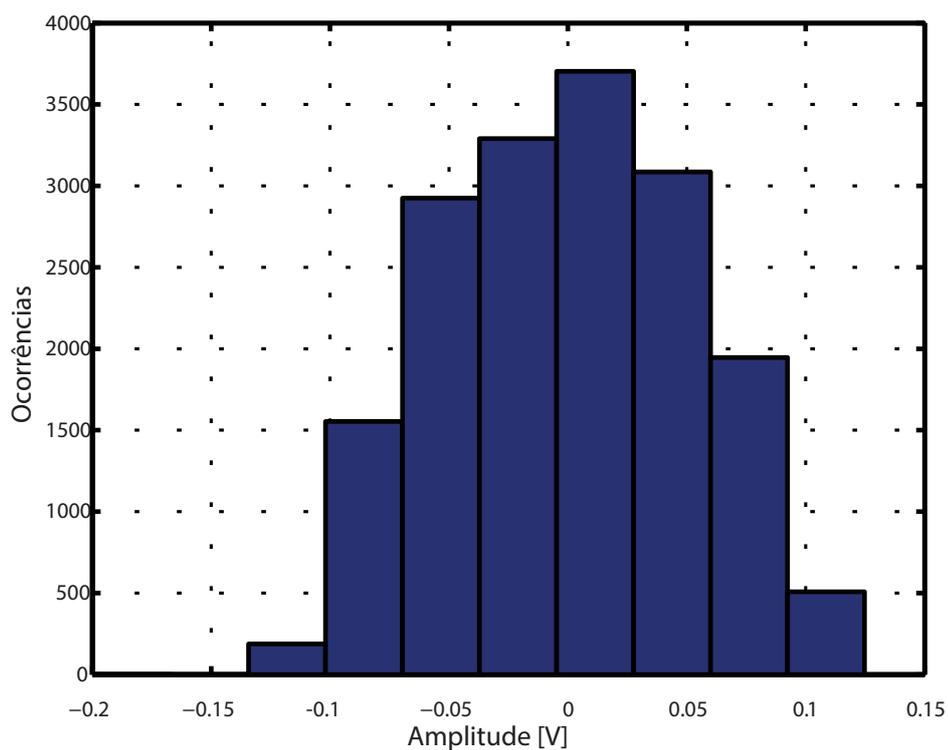
Parâmetro	Valor
Ganho (AOL)	40 dB
GBW	6 MHz
<i>Slew-Rate</i> (SR)	10 V/ μ s
Resistência de entrada (R_{in})	10 M Ω
Resistência de saída (R_{dc})	250 Ω

Figura 33 – PSD de saída do modulador em nível elétrico



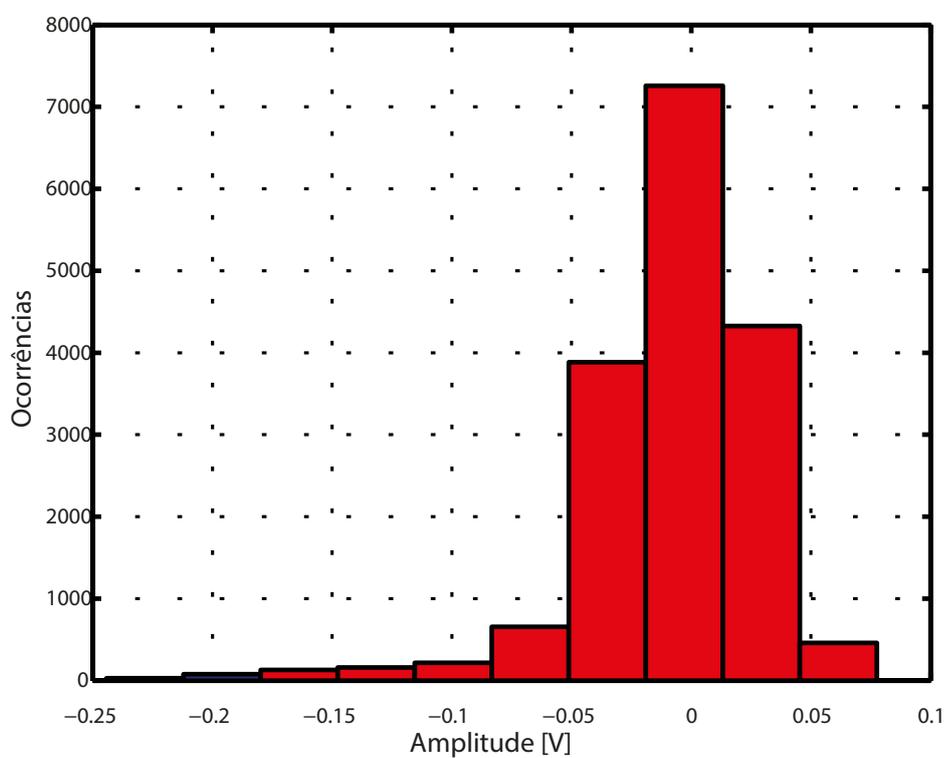
Fonte: O autor.

Figura 34 – Excursão de saída do 1º integrador



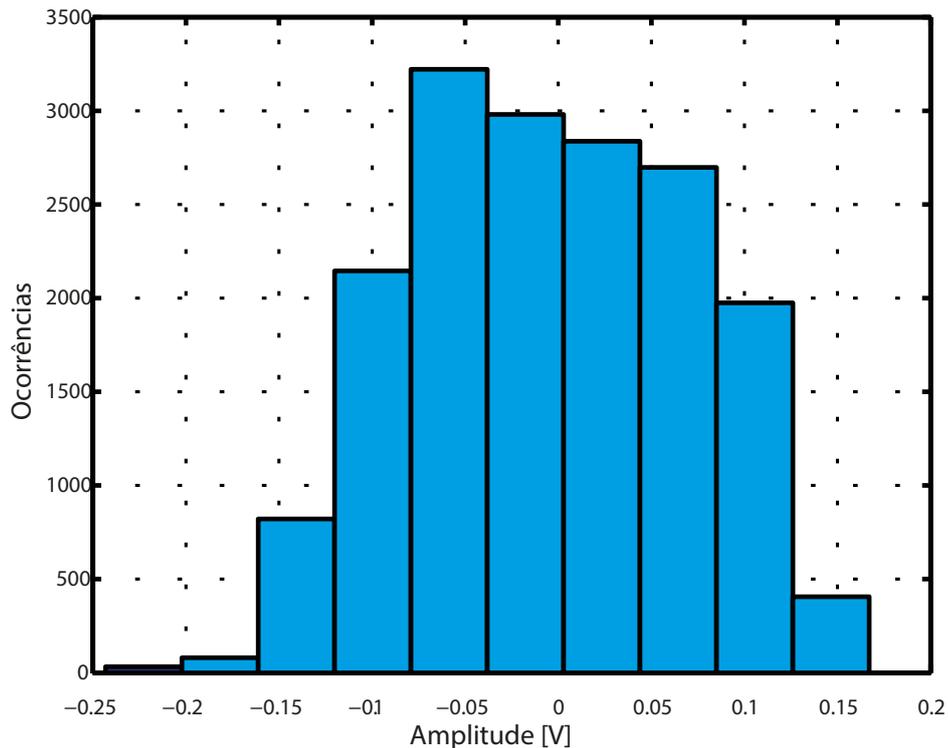
Fonte: O autor.

Figura 35 – Excursão de saída do 2º integrador



Fonte: O autor.

Figura 36 – Excursão de saída do 3º integrador



Fonte: O autor.

3.2.1 EXTRAÇÃO DOS PARÂMETROS DE PROJETO PARA O AMPLIFICADOR OPERACIONAL APLICADO A UM CT-SDM COM DAC NRZ DE 1-BIT

A utilização do modelo em VerilogA para os amplificadores operacionais, trás a liberdade de variar parâmetros internos com o intuito de verificar as reais necessidades do circuito. Dessa forma, é possível estimar condições iniciais para o projeto de cada bloco que compõe o modulador.

Uma forma de verificar o impacto dos parâmetros do internos do amplificador no funcionamento do CT-SDM é analisar o SNDR com a variação dos parâmetros internos do amplificador. Sendo assim, foram realizadas simulações paramétricas para variações do ganho, GBW e *slew-rate* do amplificador e calculado através do software Matlab o SNR e SNDR.

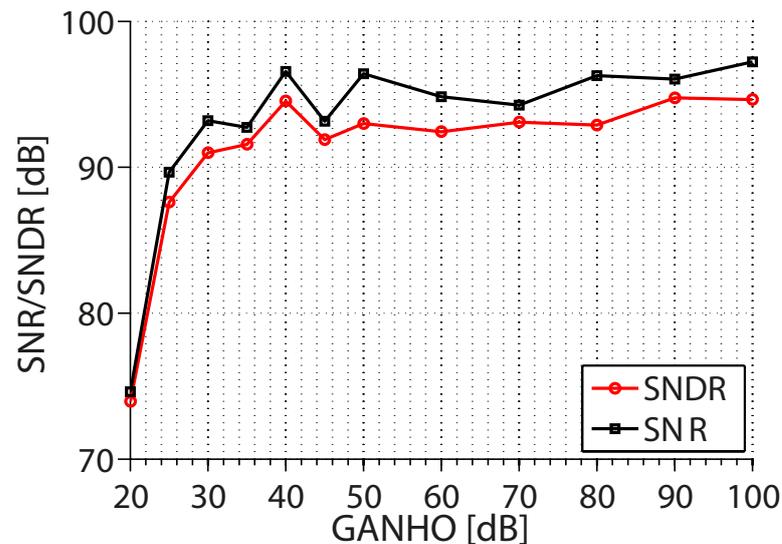
O estágio mais crítico do modulador é o primeiro então as variações foram realizadas no primeiro amplificador mantendo os amplificadores do segundo, terceiro e do somador com características ideais.

A Tabela 14 mostra os parâmetros usados para realizar as simulações com variação do ganho (AOL). Para que verifique apenas o impacto do ganho no modulador os demais parâmetros do amplificador foram definidos como ideais.

Tabela 14 – Simulação paramétrica para o ganho

Parâmetro	Valor
Ganho (AOL)	20 a 100 dB
GBW	100 MHz
<i>Slew-Rate</i> (SR)	20 V/ μ s
Resistência de entrada (R_{in})	10 M Ω
Resistência de saída (R_{dc})	250 Ω

Figura 37 – Simulação paramétrica para o ganho



Fonte: O autor.

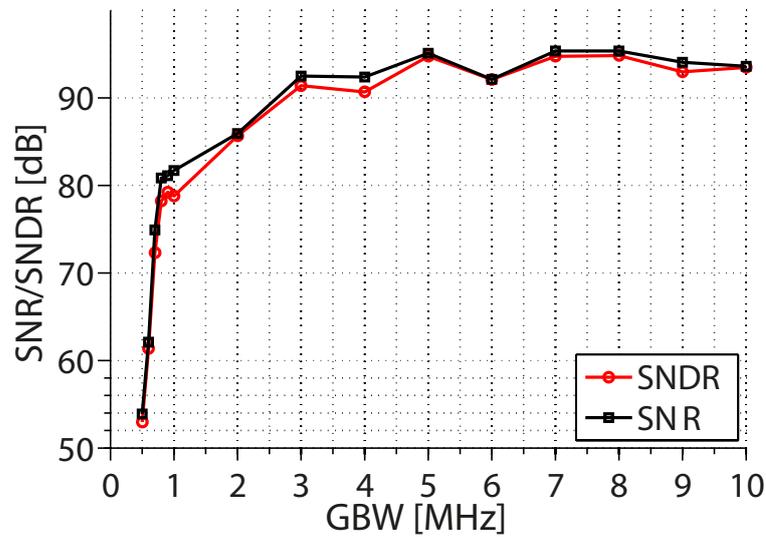
De acordo com os valores obtidos e dispostos na Figura 37 é visto que o desempenho do modulador não possui acréscimo com o aumento do ganho acima de 40 dB.

Para a variação do GBW, a Tabela 15 apresenta os parâmetros utilizados e a Figura 38 mostra os resultados da simulação.

Tabela 15 – Simulação paramétrica para o GBW

Parâmetro	Valor
Ganho (AOL)	40 dB
GBW	0,5 a 10 MHz
<i>Slew-Rate</i> (SR)	20 V/ μ s
Resistência de entrada (R_{in})	10 M Ω
Resistência de saída (R_{dc})	250 Ω

Figura 38 – Simulação paramétrica para o GBW



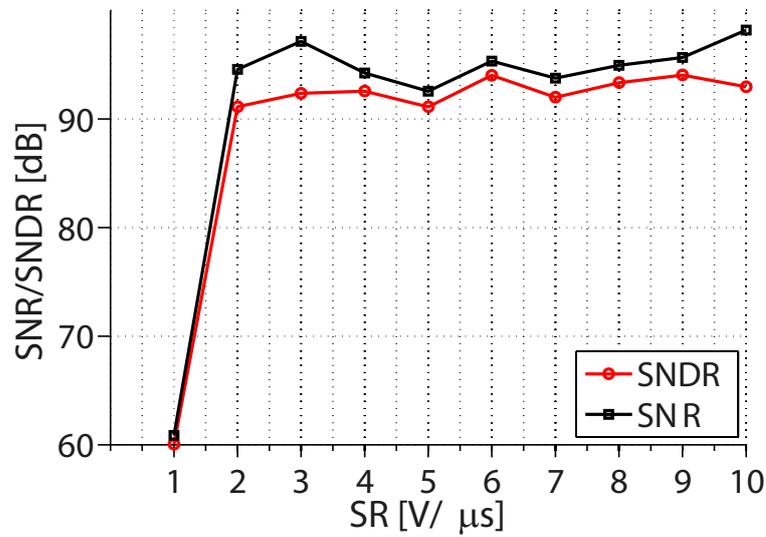
Fonte: O autor.

Os resultados traduzem que o GBW possui uma resposta satisfatória no SNR e SNDR do modulador à uma frequência próxima à frequência de amostragem 4 MHz.

Por fim, o *slew-rate* foi variado conforme parâmetros da Tabela 16 e resultou na Figura 39.

Tabela 16 – Simulação paramétrica para o *slew-rate*

Parâmetro	Valor
Ganho (AOL)	40 dB
GBW	100 MHz
<i>Slew-Rate</i> (SR)	1 a 10 V/ μ s
Resistência de entrada (R_{in})	10 M Ω
Resistência de saída (R_{dc})	250 Ω

Figura 39 – Simulação paramétrica para o *slew-rate*

Fonte: O autor.

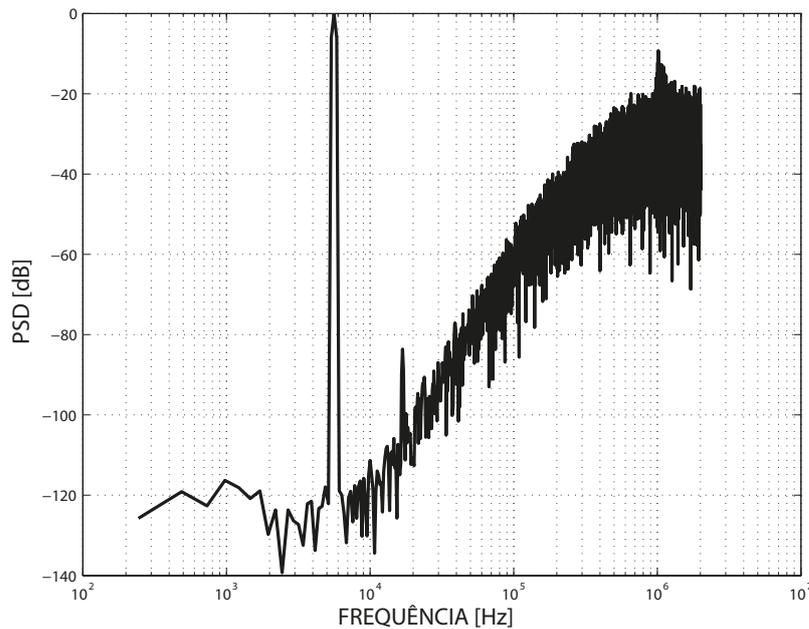
A Tabela 17 apresenta os requisitos mínimos encontrados através do modelo em VerilogA para o projeto em nível elétrico do amplificador operacional.

Tabela 17 – Parâmetros a serem alcançados no projeto do amplificador operacional

Parâmetro	Valor
Ganho (AOL)	40 dB
GBW	4 MHz
<i>Slew-Rate</i> (SR)	3 V/μs
Resistência de entrada (R_{in})	10 MΩ
Resistência de saída (R_{dc})	250 Ω

A Figura 40 apresenta a PSD do CT-SDM utilizando um amplificador com os parâmetros dispostos na Tabela 17.

Figura 40 – FFT do modulador com as especificações mínimas do amplificador

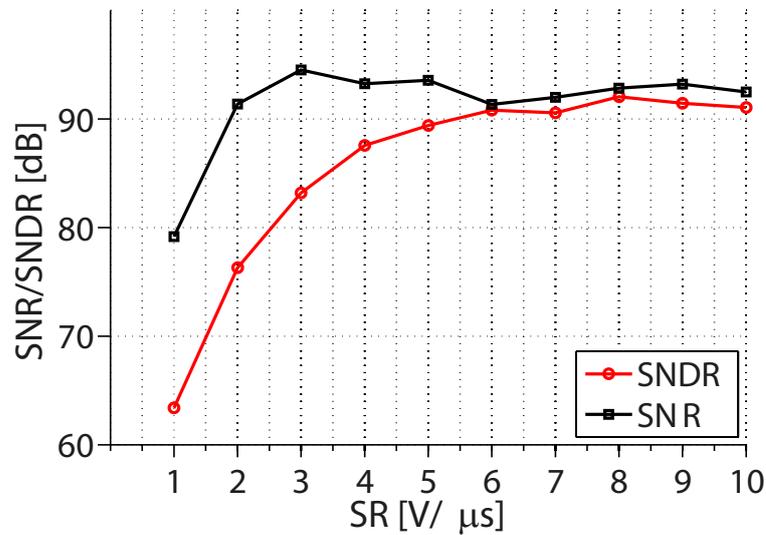


Fonte: O autor.

Ao incorporar os parâmetros mínimos à simulação, foi verificado uma componente harmônica de 3 ordem que causa um decréscimo de aproximadamente 1,5bit no número de bits efetivo do modulador. Para contornar o efeito causado pela utilização dos parâmetros mínimos, uma nova simulação variando o SR é necessária. Neste novo teste é utilizado os valores de ganho e GBW mínimos e variado o SR, conforme mostrado na Tabela 18.

Tabela 18 – Parâmetros utilizados para simulação com variação do *slew-rate*

Parâmetro	Valor
Ganho (AOL)	40 dB
GBW	4 MHz
<i>Slew-Rate</i> (SR)	1 a 10 V/ μ s
Resistência de entrada (R_{in})	10 M Ω
Resistência de saída (R_{dc})	250 Ω

Figura 41 – Nova Simulação paramétrica com variação do *slew-rate*

Fonte: O autor.

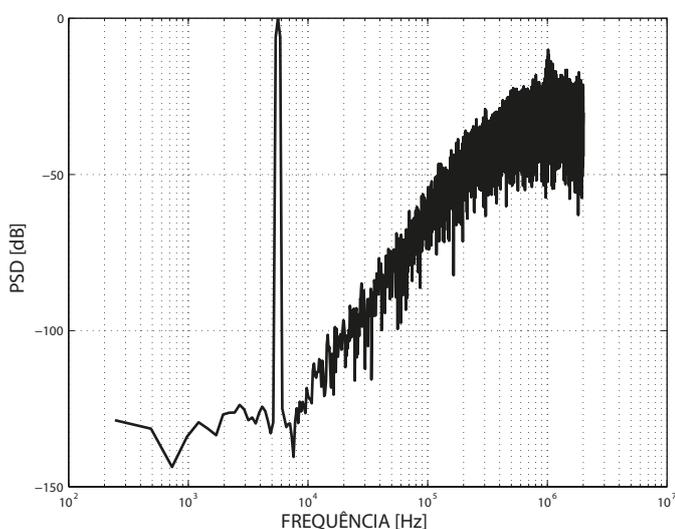
Na primeira simulação com variação do *slew-rate* os demais parâmetros, exceto o próprio SR, possuíam um comportamento ideal e por isso a exigência do circuito para o SR era menor. Porém ao inserir todos parâmetros em condições mínimas para o funcionamento do modulador houve a necessidade de um aumento no valor mínimo do SR como observado na Figura 41. Dessa forma, observa-se que valores de SR acima de $6 \text{ V}/\mu\text{s}$ não possuem impacto significativo no desempenho do modulador.

A Tabela 19 mostra o novo conjunto de parâmetros mínimos para o correto funcionamento do modulador. A Figura 42 apresenta o PSD de saída do modulador. Observa-se que com o aumento do SR a componente harmônica de terceira ordem não esta mais presente no espectro de saída.

Tabela 19 – Parâmetros à serem alcançados no projeto do amplificador operacional

Parâmetro	Valor
Ganho (AOL)	40 dB
GBW	4 MHz
<i>Slew-Rate</i> (SR)	$6 \text{ V}/\mu\text{s}$
Resistência de entrada (R_{in})	$10 \text{ M}\Omega$
Resistência de saída (R_{dc})	250Ω

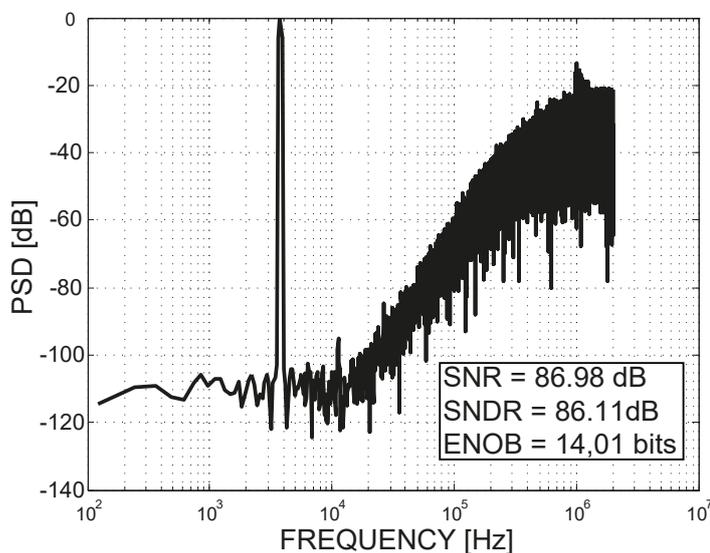
Figura 42 – PSD, SNR e SNDR do modulador com as novas especificações mínimas do amplificador



Fonte: O autor.

Para verificação do impacto do ruído dos componentes passivos efetuou-se uma simulação transiente com ruído e novamente verificou-se o impacto no PSD de saída do modulador bem como o SNR e o SNDR.

Figura 43 – FFT, SNR e SNDR do modulador com as novas especificações mínimas do amplificador



Fonte: O autor.

3.3 CONSIDERAÇÕES

Este capítulo abordou o projeto em alto nível de um modulador do tipo sigma delta em tempo contínuo para dispositivos de áudio, bem como sua implementação elétrica com sub-circuitos programados em VerilogA. Com base nestes modelos foi possível definir os requisitos de desempenho que devem ser alcançados durante o projeto do amplificador

operacional a ser utilizado no primeiro estágio do CT-SDM sem que o seu funcionamento interfira na resolução do modulador.

Entretanto, devido à exigência mínima de resolução do projeto, há a necessidade de um capacitor muito grande no primeiro integrador, o que traduz em uma maior área de silício e maior consumo nos amplificadores para conseguir obter os requisitos de desempenho mínimos exigidos pelo modulador. Conforme já visto no capítulo anterior, uma forma de otimizar a área e o consumo do circuito é explorar outras topologias de DACs.

4 MODULADOR DO TIPO SIGMA-DELTA EM TEMPO CONTÍNUO UTILIZANDO UM FILTRO FIR COMO DAC DE REALIMENTAÇÃO

Como já visto anteriormente, os CT-SDMs estão se tornando mais populares em aplicações que possuem baixa largura de banda e baixo consumo de energia, pois apresentam maior linearidade e baixo ruído quando comparados aos seus equivalentes DT (SUKUMARAN; PAVAN, 2014). No entanto, CT-SDMs são suscetíveis a *clock jitter*, principalmente em implementações com comparadores de bit único (MOHAMED; SAKR; ANDERS, 2019), onde o sinal que é realimentado está em escala máxima (0 à Vdd). Como o *clock jitter* é proporcional à altura das transições na saída do DAC, o ruído quadrático médio na banda devido ao *jitter* é alto também (PAVAN RICHARD SCHREIER, 2017).

Uma estratégia para mitigar a degradação do SNR devido ao *clock jitter* é adotar DACs de quantização multi-bit, resistor de capacitor chaveado (SCR) ou adotar uma quantização de bit único em combinação com uma realimentação de resposta finita ao impulso (FIR) de *M-taps*.

4.1 PROJETO EM ALTO NÍVEL DE UM CT-SDM COM DAC FIR

No projeto anterior, foi obtido um ENOB de 14,01 bits utilizando modelos em VerilogA para os amplificadores operacionais dos integradores. Nesta forma de implementação, o ruído do OTA é negligenciado e, portanto, ao adicionar um modelo real de amplificador o ENOB irá reduzir e não atingirá a especificação inicial de 14 bits. Sendo assim, uma alternativa para aumentar a resolução do projeto é prever a otimização de zeros ao gerar a NTF e realizar a implementação em nível elétrico.

Para o projeto do novo DT-SDM a Tabela 20 apresenta as especificações inseridas ao conjunto de equações do *Delta-Sigma Toolbox*. Diferente da metodologia de projeto apresentada no capítulo anterior, o escalonamento dos coeficientes será realizado após o projeto do DAC FIR.

Tabela 20 – Parâmetros de entrada para o *Delta-Sigma Toolbox*

Parâmetro	Valor
Vdd	0,5 V
Arquitetura do SDM	CIFF
Ordem	3
F_s	4 MHz
OSR	100
BW	20 kHz
Otimização de zeros	Sim
ENOB	14 bits

Para os dados de entrada conforme dados da Tabela 20, a Tabela 21 apresenta os coeficientes em tempo discreto e pós-conversão DT-CT.

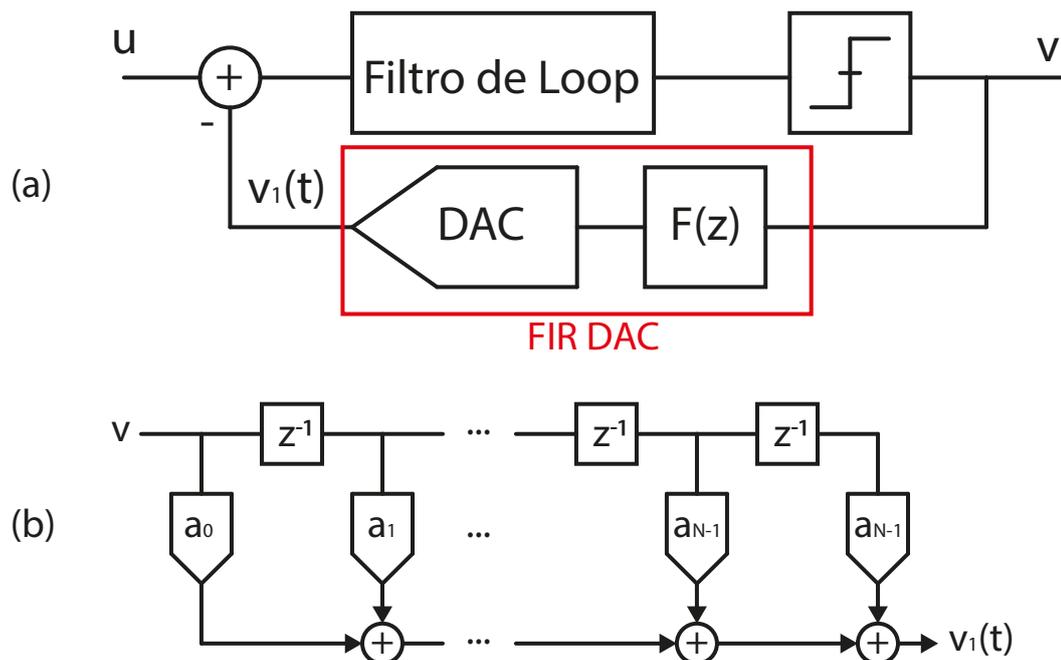
Tabela 21 – Coeficientes escalonados utilizando a topologia CIFF

Coeficiente	Coef. DT	Coef. CT
a1	0,8000	0,6703
a2	0,2877	0,2441
a3	0,7916	0,0439
b1	1	1
b2	0	0
b3	0	0
b4	0	0
c1	1	1
c2	1	1
c3	1	1
g1	0,000592	0,000592

4.2 FILTRO DE RESPOSTA AO IMPULSO FINITA (FIR)

Uma forma de reduzir a degradação da resolução devido ao *clock jitter* nos CT-SDM é utilizar um filtro do tipo FIR como DAC de realimentação. Nesta implementação o sinal de saída é filtrado pelo filtro FIR passa-baixa de N-taps com função de transferência $F(z)$ antes de excitar o DAC principal que possui pulsos do tipo NRZ. Devido à quantidade de taps a amplitude do sinal gerado após o DAC principal será N vezes menor que o de um DAC do tipo NRZ. A Figura 44 mostra o diagrama simplificado de um CT-SDM com um DAC FIR e o diagrama de um DAC FIR de N-taps.

Figura 44 – (a) Diagrama simplificado do CT-SDM com DAC FIR e (b) Diagrama DAC FIR de N-taps



Fonte: O autor.

Com a redução da amplitude de transições em N -vezes pelo DAC FIR de N -taps, o ruído quadrático médio na banda devido ao *jitter* é reduzido em $20 \cdot \log(N)$ dB, onde N é o número de taps.

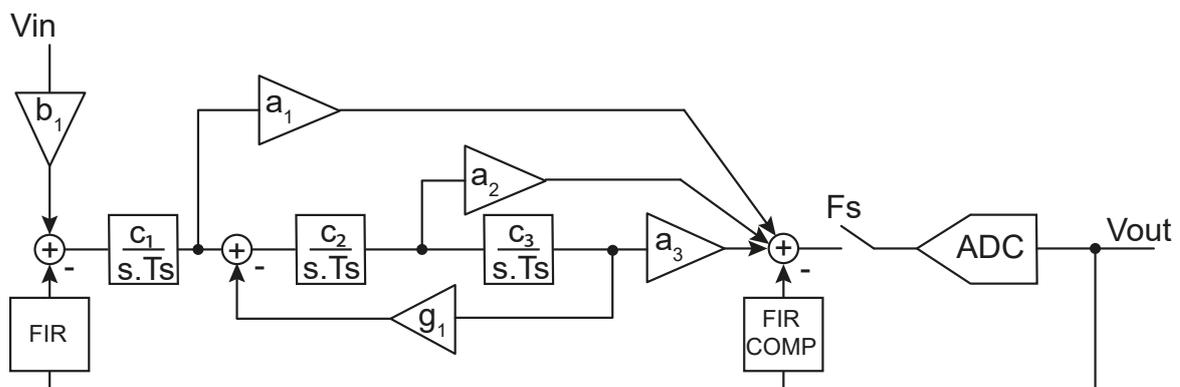
Como $F(z)$ é um filtro passa-baixa, o componente de entrada de v não é afetado, embora a potência do ruído modelado seja reduzida. A saída do DAC FIR ($v_1(t)$) tem um conteúdo de alta frequência reduzido que segue perto à entrada u . Sendo assim, o erro processado pelo filtro de loop, que é $u(t) - v_1(t)$, é, portanto, muito menor, o que reduz os requisitos de linearidade do filtro de loop (PAVAN RICHARD SCHREIER, 2017) e consequentemente, reduz o sinal de integração equivalente, minimizando a oscilação de saída do integrador, o que leva a uma relação de escalonamento de coeficiente menor. Normalmente, esta estratégia resulta em um capacitor de integração menor no primeiro estágio de integração, levando a uma área de silício menor e menor consumo de energia (ORTMANN; GERFERS, 2006).

4.2.1 PROJETO DO FILTRO FIR

A utilização do filtro FIR como DAC de realimentação do CT-SDM não emprega apenas benefícios ao modulador. A adição de taps pelo DAC FIR adiciona atraso ao filtro de loop gerando excesso de atraso no loop (ELD) o que torna o modulador instável. Ao adicionar uma função $F(z)$ junto ao DAC no caminho de realimentação do modulador, é causada uma alteração na NTF original (desejada) o que torna o loop instável.

Entretanto, é possível implementar métodos de compensação de ELD para alterar novamente a NTF para sua forma desejada. Verifica-se que pode ser realizada uma modificação nos coeficientes em avanço e a adição de um filtro de compensação de caminho direto ao redor do quantizador (PAVAN RICHARD SCHREIER, 2017). A Figura 45 mostra o diagrama com a adição do DAC FIR e do Filtro de compensação ao redor do quantizador.

Figura 45 – CT-SDM em topologia CIFF com FIR DAC e filtro de compensação ao redor do quantizador



Fonte: O autor.

Assim, a resposta do modulador usando o DAC FIR com o filtro de compensação

ao redor do quantizador corresponde à resposta ao impulso do filtro de loop original usando um DAC de pulso NRZ de 1-bit (ASSOM et al., 2018).

4.2.1.1 PROJETO DOS COEFICIENTES EM AVANÇO DO CT-SDM DE 3ª ORDEM PARA IMPLEMENTAÇÃO DO DAC FIR

O projeto dos novos coeficientes em avanço do CT-SDM de 3ª ordem para o emprego do DAC FIR é realizado utilizando o método dos momentos à partir de uma NTF de um CT-SDM de mesma ordem, porém com um DAC do tipo NRZ de 1-bit.

O CT-SDM que emprega o DAC de 1-bit é gerado para alcançar as mesmas especificações de resolução do projeto. Sendo assim, denota-se por a_1, \dots, a_3 e μ_0, \dots, μ_2 , os coeficientes em avanço e momentos de pulso do DAC NRZ de 1-bit, respectivamente. O DAC de 1-bit é modificado para um DAC FIR de N-taps com pesos iguais. É definido que pode-se reconstruir a NTF modificada pelo filtro FIR substituindo os coeficientes em avanço por a'_1, \dots, a'_3 e adicionando o DAC FIR com função de transferência $F(z)$. A partir da teoria dos momentos é possível encontrar a função de transferência em laço aberto, Equação 4.1, para o CT-SDM com DAC FIR e $t \geq 4$ e Equação 4.2 para o DAC 1-bit e $t \geq 1$ (PAVAN RICHARD SCHREIER, 2017).

$$y_1(t) = a_3 \cdot \left(\frac{\mu_0}{2}t^2 - \mu_1t + \frac{\mu_2}{2}\right) + a_2 \cdot (\mu_0t - \mu_1t) + a_1 \cdot \mu_0, t \geq 1 \quad (4.1)$$

$$y'_1(t) = a'_3 \cdot \left(\frac{\mu'_0}{2}t^2 - \mu'_1t + \frac{\mu'_2}{2}\right) + a'_2 \cdot (\mu'_0t - \mu'_1t) + a'_1 \cdot \mu'_0, t \geq 4 \quad (4.2)$$

Em (PAVAN RICHARD SCHREIER, 2017) é extraído os valores dos momentos relevantes para um CT-SDM de 3ª ordem onde $\mu'_0 = 1$, $\mu'_1 = 2$ e $\mu'_2 = 16/3$ e ao aplicar esses valores na equação e manipulando a Equação 4.2 é possível chegar nas equações 4.3, 4.4 e 4.5 que representam os novos coeficientes em avanço para o CT-SDM de 3ª ordem com DAC FIR de M-taps.

$$a'_3 = a_3 \quad (4.3)$$

$$a'_2 = a_2 + a_3 \cdot \left(\frac{M-1}{2}\right) \quad (4.4)$$

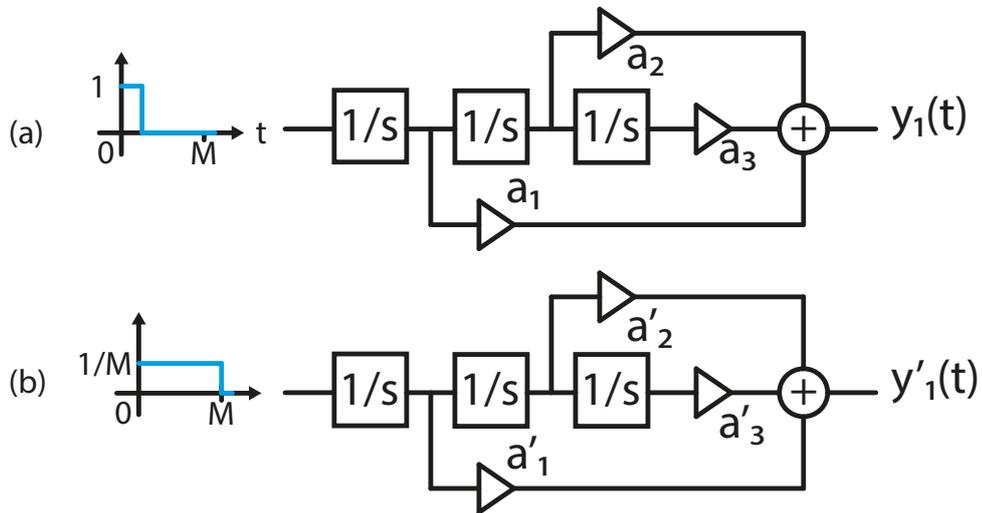
$$a'_1 = a_1 + a_2 \cdot \left(\frac{M-1}{2}\right) + a_3 \cdot \left(\frac{(M-1) \cdot (M-2)}{12}\right) \quad (4.5)$$

4.2.1.2 EXTRAÇÃO DOS COEFICIENTES DO FILTRO DE COMPENSAÇÃO

A Figura 46 mostra os diagramas em laço aberto dos moduladores com DAC 1-bit (a) e DAC FIR (b). A partir disto, é possível identificar que o ajuste nos coeficientes em avanço só pode garantir que a resposta de pulso amostrada, $y'_1(t)$, só será igual à $y_1(t)$ em

$t \geq 4$. Uma maneira possível de alcançar essa equivalência também para $t < 4$ é usar um filtro de compensação FIR de caminho direto ao redor do quantizador de $(M-1)$ -taps.

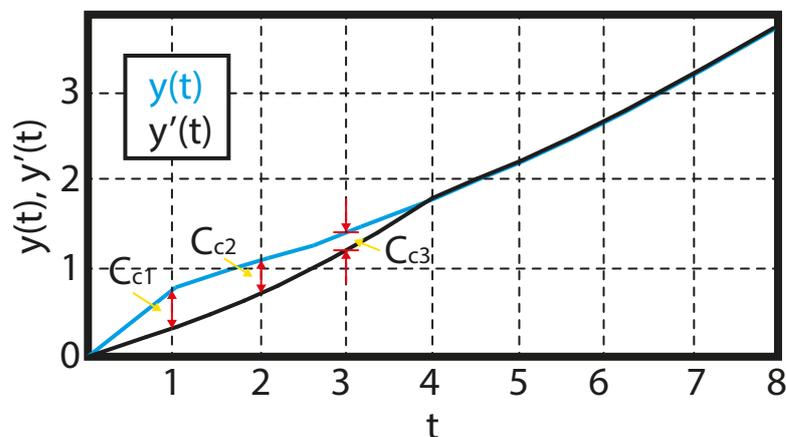
Figura 46 – (a) resposta ao impulso para o filtro em malha aberta sem o DAC FIR e (b) com o DAC FIR



Fonte: O autor.

O projeto do filtro de compensação depende da resposta do modulador em malha aberta a um pulso de amplitude 1 e a resposta do modulador em malha aberta usando os coeficientes de avanço compensados (a'_i) a um pulso de amplitude $1/M$ em um tempo de $t = M$. Os coeficientes utilizados para o caminho compensado (C_c) serão a diferença entre as respostas dos moduladores nos tempos 1, ... até $(M - 1)$ (PAVAN RICHARD SCHREIER, 2017). A Figura 46 mostra a configuração de ambos os loops em malha aberta e os pulsos aplicados para ambos os casos. A Figura 47 apresenta as respostas para um CT-SDM de 3ª ordem com e sem um filtro FIR de 4-taps e como é extraído os coeficientes C_c .

Figura 47 – Respostas ao pulso em malha aberta de um CT-SDM de 3ª ordem com e sem um filtro FIR de 4-taps e extração dos coeficientes C_c



Fonte: Adaptado de (PAVAN RICHARD SCHREIER, 2017).

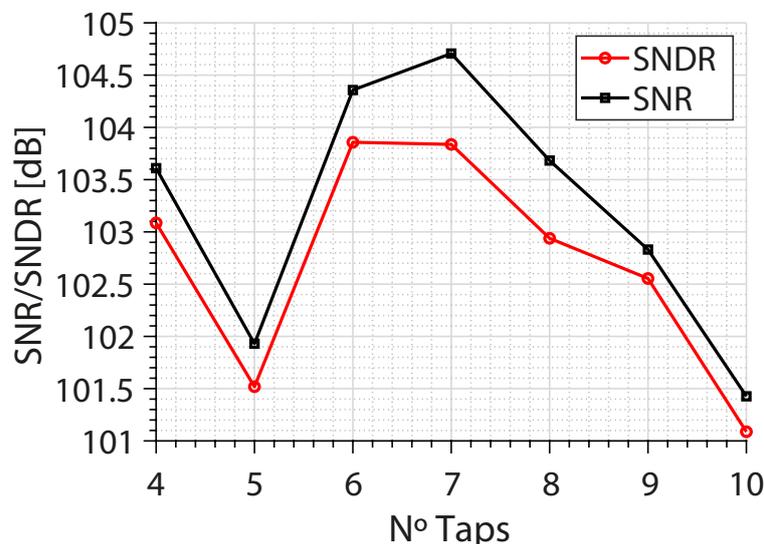
4.2.2 DEFINIÇÃO DE NÚMERO DE TAPS DO DAC FIR

Conforme discutido anteriormente, a escolha de um grande número de taps para o DAC FIR é benéfica, pois resulta em uma melhor filtragem pré-DAC que leva a uma redução de ruído *jitter* e uma melhora na linearidade do filtro de loop. Entretanto, esta análise não levou em consideração o ruído do *clock jitter* injetado pelo filtro de compensação. Há ainda a degradação da linearidade devido ao aumento de taps por conta da mudança de fase entre u e a saída do DAC FIR ($v_1(t)$) e o aumento da potência de comutação devido ao grande número de registradores empregados ao DAC FIR e ao filtro de compensação, este último implica ainda numa maior área de silício (PAVAN RICHARD SCHREIER, 2017). Sendo assim é necessário que uma avaliação seja feita para decidir a quantidade de taps a serem usados no DAC FIR.

Para avaliar a melhor quantidade de taps do DAC FIR para este projeto foi realizado simulações transientes no ambiente Simulink variando a quantidade de taps e avaliando o impacto no modulador através do resultado do SNR e SNDR.

Para obter os resultados, um script no ambiente MATLAB foi elaborado para simular diversos circuitos (com variações de taps) de CT-SDMs e estimado seus SNR e SNDR. A Figura 48 mostra os resultados obtidos de CT-SDMs com DAC FIR de 4 à 10 taps.

Figura 48 – Comportamento do SNR/SNDR vs Número de taps do DAC FIR.



Fonte: O autor.

Neste trabalho, um DAC FIR de 6 taps é escolhido com um compromisso entre a oscilação da saída e o valor da capacitância de integração do primeiro integrador.

Dessa forma, a Tabela 22 apresenta os coeficientes para o CT-SDM com DAC FIR de 6-taps antes e após escalonamento para atingir uma oscilação de saída de 50% da tensão de alimentação, assim como discutido no capítulo anterior.

Tabela 22 – CT-SDM com DAC FIR de 6-taps: Coeficientes antes e depois do escalonamento.

Coeficientes	Sem escalonamento	Com escalonamento
a'_1	1,3540	1,8279
a'_2	0,3541	1,0325
a'_3	0,0439	2,1161
b_1	1	1
c_1	1	0,7407
c_2	1	0,4629
c_3	1	0,0606
C_{c1}	0,5433	0,5433
C_{c2}	0,5087	0,5087
C_{c3}	0,4444	0,4444
C_{c4}	0,3430	0,3430
C_{c5}	0,1973	0,1973
g	0,000592	0,0210

4.2.3 ANÁLISE DO EXCESSO DE ATRASO NO LOOP (ELD)

O excesso de atraso no loop (ELD) é o atraso entre a forma de onda do sinal de realimentação ideal de um CT-SDM e a forma de onda gerada pelo DAC em sua implementação em nível elétrico. Sendo assim, existe um atraso entre a subida do sinal de *clock* e a mudança no sinal de saída do DAC, alterando a função de transferência do filtro de loop e, conseqüentemente, a equivalência entre o modulador em tempo contínuo e em tempo discreto (AGUIRRE, 2014). Entretanto, o uso do filtro de compensação deixa o filtro de loop mais robusto ao ELD, pois, como visto anteriormente, uma das formas de compensar o uso do DAC FIR é implementar métodos de compensação de ELD.

Sendo assim, foi realizada simulações transientes no ambiente Simulink adicionando um registrador na saída do comparador e aumentando o atraso no filtro de loop. Assim é possível analisar qual o máximo excesso de atraso o modulador suporta devido à implementação do filtro de compensação. A Figura 49 apresenta a análise que verifica o comportamento do SNR e SNDR do modulador à adição de atraso.

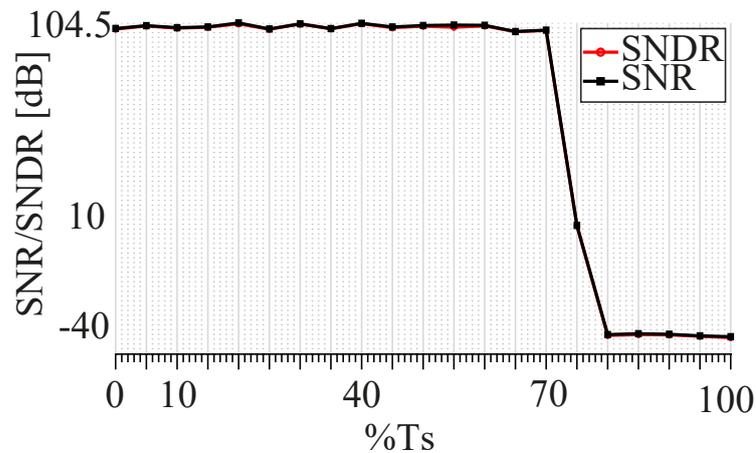
Assim, conforme Figura 49 verifica-se que com a implementação do caminho de compensação para o DAC FIR de 6-taps, o filtro de loop é robusto a um atraso de até 70% do período de *clock* (T_s).

4.3 IMPLEMENTAÇÃO PARCIAL EM NÍVEL ELÉTRICO DO CT-SDM COM FIR DE 6-TAPS

O projeto do CT-SDM com FIR de 6-taps foi desenvolvido usando a tecnologia da TSMC de 180nm no ambiente CADENCE. A Figura 50 apresenta o circuito do CT-SDM com DAC FIR e filtro de compensação em nível elétrico.

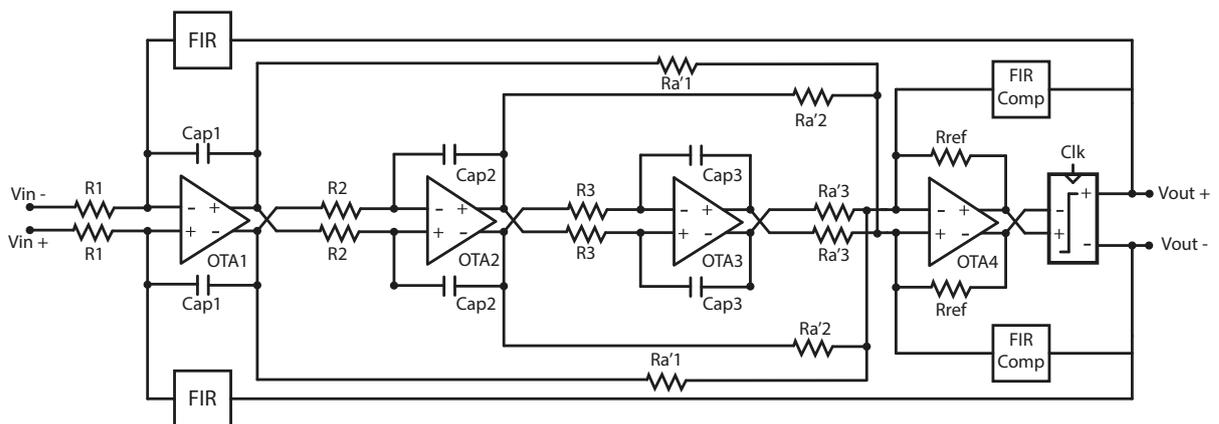
O cálculo dos resistores e capacitores deste projeto segue a metodologia e equações

Figura 49 – Máximo atraso suportável pelo filtro de loop com DAC FIR de 6-taps



Fonte: O autor.

Figura 50 – CT-SDM com DAC FIR e filtro de compensação em arquitetura CIFF - Nível elétrico



Fonte: O autor.

apresentadas no capítulo anterior. Sendo assim, a Tabela 23 apresenta os valores dos elementos passivos do CT-SDM. Para as resistências em avanço é utilizado a Equação 3.26 usando os novos coeficientes em avanço $a'1$, $a'2$ e $a'3$ dados pelas equações 4.5, 4.4 e 4.3.

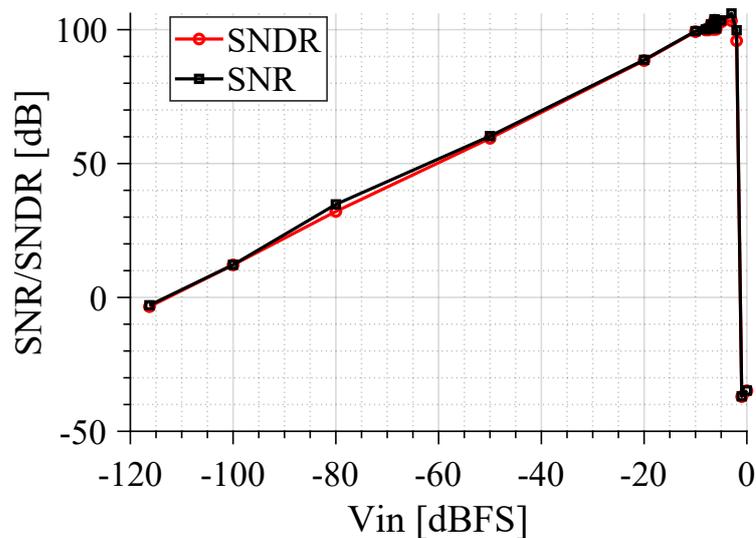
Tabela 23 – Elementos passivos do CT-SDM

Parâmetro	Valor
R1	57,71 $k\Omega$
R2	540 $k\Omega$
R3	4,12 $M\Omega$
Ra'1	273,56 $k\Omega$
Ra'2	484,22 $k\Omega$
Ra'3	236,27 $k\Omega$
cap1	5,84 pF
cap2	1,0 pF
cap3	1,0 pF
Rref	500 $k\Omega$

4.4 CÁLCULO DO DYNAMIC RANGE DO MODELO EM ALTO NÍVEL DO CT-SDM COM DAC FIR DE 6 TAPS

Para calcular o DR do CT-SDM com DAC FIR de 6 taps foram realizadas simulações no ambiente Simulink com o modelo em alto nível do modulador. O cálculo do DR foi realizado variando a amplitude do sinal de entrada aplicado ao CT-DM e verificando o seu impacto no SNR/SNDR. A imagem 51 mostra o resultado das simulações. O DR obtido foi de 116,28 dB.

Figura 51 – *Dynamic range* do CT-SDM com DAC FIR de 6 taps



Fonte: O autor.

4.4.1 CÁLCULO DOS ELEMENTOS PASSIVOS DO DAC FIR E FILTRO DE COMPENSAÇÃO

A Figura 52 apresenta a estrutura em nível elétrico do DAC FIR e do filtro de compensação.

Para o cálculo das resistências do DAC FIR (Rf_k) é usada a definição adotada no capítulo anterior, onde a resistência do DAC é igual à resistência de entrada (R1) calculada através do máximo ruído. Sendo assim, a Equação 4.6 apresenta o valor dos resistores Rf_k .

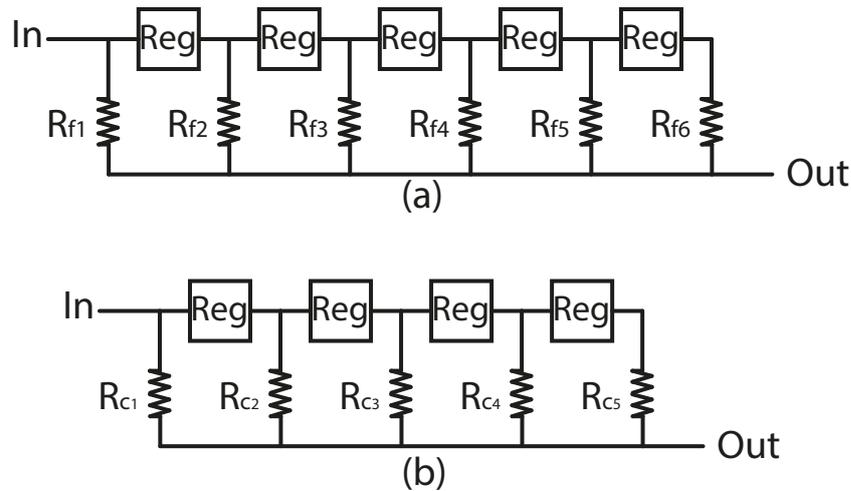
$$Rf_k = \frac{R1}{M} \quad (4.6)$$

Onde R1 é a resistência de entrada definida através do cálculo de máximo ruído, k vai de 1 à M e M o número de taps.

A Equação 4.7 é usada para encontrar as resistências do filtro de compensação e depende da topologia de somador utilizado, assim como o cálculo das resistências em avanço.

$$Rc_k = \frac{Rref}{Cc_k} \quad (4.7)$$

Figura 52 – DAC FIR de 6-taps e filtro de compensação - Nível elétrico



Fonte: O autor.

Onde R_{ref} é a resistência de referência usada no somador ponderado e Cc_k o coeficiente para k variando de 1 até $(M - 1)$.

A Tabela 24 apresenta os resultados das equações 4.6 e 4.7.

Tabela 24 – Resistores usados no DAC FIR e filtro de compensação

Parâmetro	Valor
$R_{f1...6}$	346,27 k Ω
R_{c1}	920,22 k Ω
R_{c2}	982,84 k Ω
R_{c3}	1,12 M Ω
R_{c4}	1,14 M Ω
R_{c5}	2,53 M Ω

4.4.2 EXTRAÇÃO DOS PARÂMETROS DE PROJETO PARA O AMPLIFICADOR OPERACIONAL APLICADO A UM CT-SDM COM DAC FIR DE 6-TAPS

Seguindo a metodologia de projeto apresentada no capítulo anterior, foram utilizados modelos em VerilogA para extrair os parâmetros de desempenho do amplificador operacional do primeiro integrador. Novamente, foram avaliados o ganho, GBW e *slew-rate*. As simulações transientes paramétricas foram realizadas no ambiente CADENCE.

A Tabela 25 apresenta a configuração usada para os amplificadores do 2º e 3º estágio integrador e para o amplificador usado no somador ponderado.

A Tabela 26 mostra a configuração dos modelos para as simulações de Ganho, GBW e SR. Como já verificado, é necessário realizar a simulação de SR com os valores de ganho e GBW mínimos para que não tenha inserção de componentes harmônicas devido ao baixo SR.

Tabela 25 – Parâmetros dos amplificadores do filtro de loop

Parâmetros	2° e 3° Amp.	Amp. Somador
Ganho (AOL)	100 dB	100 dB
GBW	100 MHz	100 MHz
<i>Slew-Rate</i> (SR)	100 V/ μ s	100 V/ μ s
R_{in}	10 M Ω	10 M Ω
R_{dc}	100 Ω	100 Ω

Tabela 26 – Parâmetros do primeiro integrador para as simulações transientes paramétricas

Parâmetros	Variação de ganho	Variação de GBW	Variação de SR
Ganho (AOL)	10 to 100 dB	100 dB	50 dB
GBW	100 MHz	1 to 10 MHz	5 MHz
<i>Slew-Rate</i> (SR)	100 V/ μ s	100 V/ μ s	1 to 10 V/ μ s
R_{in}	10 M Ω	10 M Ω	10 M Ω
R_{dc}	100 Ω	100 Ω	100 Ω

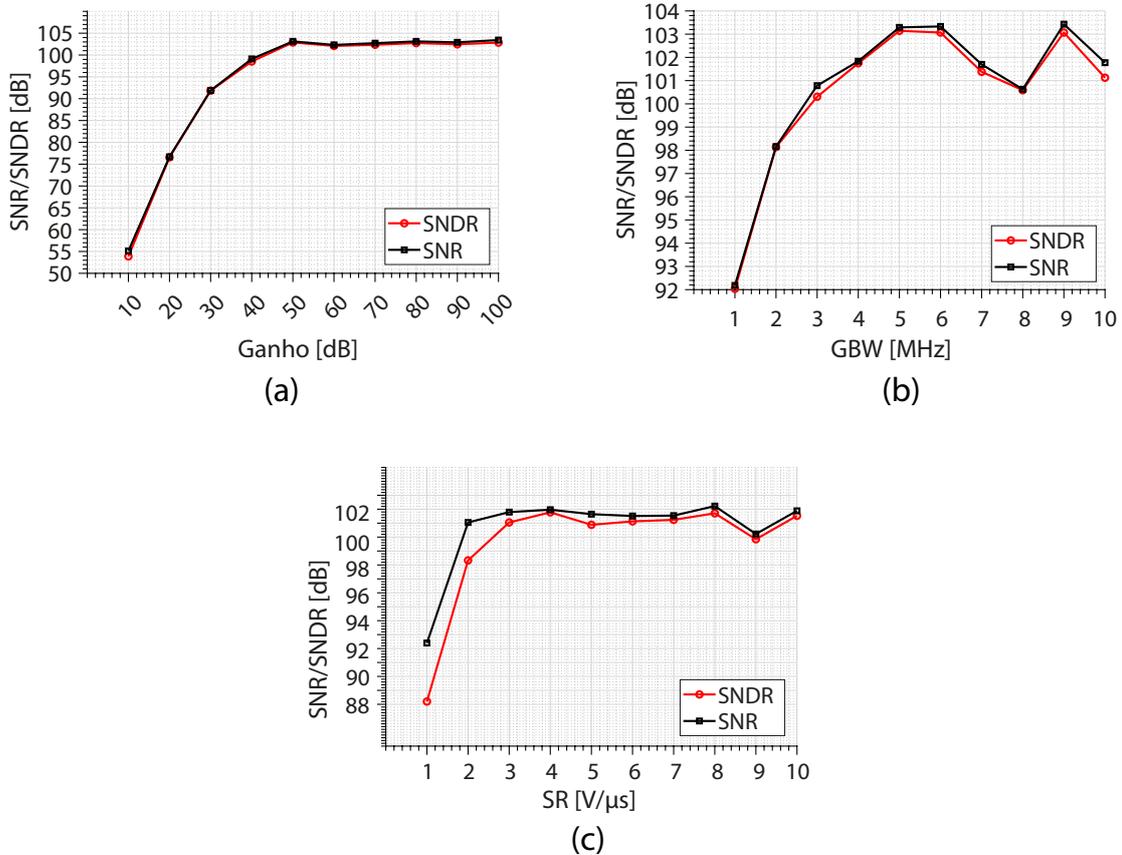
Inicialmente, os valores mínimos de ganho DC e GBW do amplificador foram definidos individualmente levando em consideração os menores valores desses parâmetros que proporcionaram o maior desempenho do CT-SDM. De acordo com a Figura 53, Esses parâmetros são: (a) ganho DC = 50 dB e (b) GBW = 5 MHz. Para o *slew-rate*, Figura 53 (c), um valor adequado é 3 V/ μ s. Alguns comportamentos não monotônicos no SNR/SNDR são verificados (variação de 2 dB) e podem ser atribuídos ao número limitado de pontos FFT (17200 pontos) e ao solucionador do simulador.

Por fim, para avaliar o resultado dos parâmetros mínimos encontrados pelas simulações transientes paramétricas, foi realizado uma simulação transiente com ruído de 1 Hz à 40 MHz onde o primeiro integrador foi configurado com os parâmetros mínimos encontrados. A Figura 54 mostra o PSD de saída do CT-SDM com filtro FIR de 6-taps.

4.5 CONSIDERAÇÕES

Este capítulo abordou o projeto de um CT-SDM utilizando um DAC FIR. Utilizar um DAC FIR implementa todos os benefícios de DACs multi-bit, porém com o uso de um quantizador de bit único. Entretanto, é visto que é necessário realizar uma avaliação de quantos taps devem ser utilizados, pois o uso de grande quantidade de taps exige uma grande quantidade de registradores, o que traduz em um aumento de consumo e área de silício. A metodologia utilizada neste capítulo para definir a quantidade de taps é realizar simulações no ambiente Simulink de CT-SDMs com diversos taps e verificar o impacto da adição de taps no SNR/SNDR. Outro benefício da implementação do DAC FIR, é a possibilidade de reduzir o escalonamento dos coeficientes, pois o sinal de feedback terá uma amplitude menor, proporcional ao número de taps, que, consequentemente, reduz a oscilação de saída dos integradores. Assim, foi possível reduzir consideravelmente o

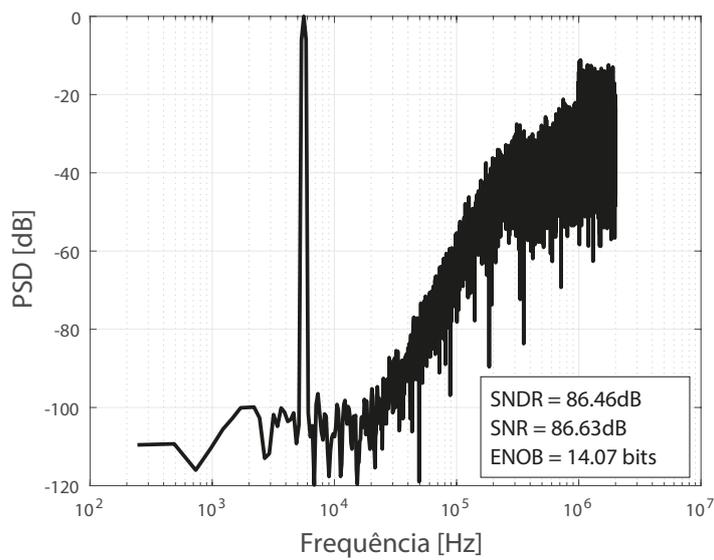
Figura 53 – SNR/SNDR vs (a) Ganho, (b) GBW e (c) SR do primeiro integrador



Fonte: O autor.

capacitor de integração do primeiro estágio, em comparação ao capacitor de integração do primeiro estágio de um CT-SDM com DAC NRZ de 1-bit de 15,27 pF para 5,84 pF. O CT-SDM com DAC FIR de 6-taps atingiu SNR/SNDR/ENOB de 86,63 dB/86,46 dB/14,07 bits, respectivamente, o que alcançou as exigências iniciais de projeto.

Figura 54 – PSD do CT-SDM com DAC FIR de 6-taps usando as especificações mínimas estimadas pelas simulações transientes paramétricas.



Fonte: O autor.

5 IMPLEMENTAÇÃO EM NÍVEL ELÉTRICO DO CT-SDM COM DAC FIR DE 6 TAPS

Neste capítulo são abordados tópicos referentes ao projeto em nível elétrico do CT-SDM apresentado no capítulo anterior. Este projeto foi desenvolvido utilizando a tecnologia CMOS TSMC 0,18 μm no ambiente Cadence e utilizando o simulador Spectre. Como abordado no capítulo anterior este projeto contempla o dimensionamento do primeiro estágio integrador em nível de transistores, o 2º e 3º estágios são mantidos ideais.

A Figura 55 mostra a arquitetura completa do CT-SDM com otimizações. Nesta arquitetura o somador ponderado foi substituído por um somador passivo, dessa forma o amplificador usado para o somador ponderado é removido, o que otimiza o consumo de energia conforme proposto por (MATSUKAWA et al., 2010). Outra otimização é a adição de registradores responsáveis por atrasar em meio ciclo de *clock* a resposta do comparador, removendo os efeitos de metaestabilidade que causam degradação da resolução do modulador.

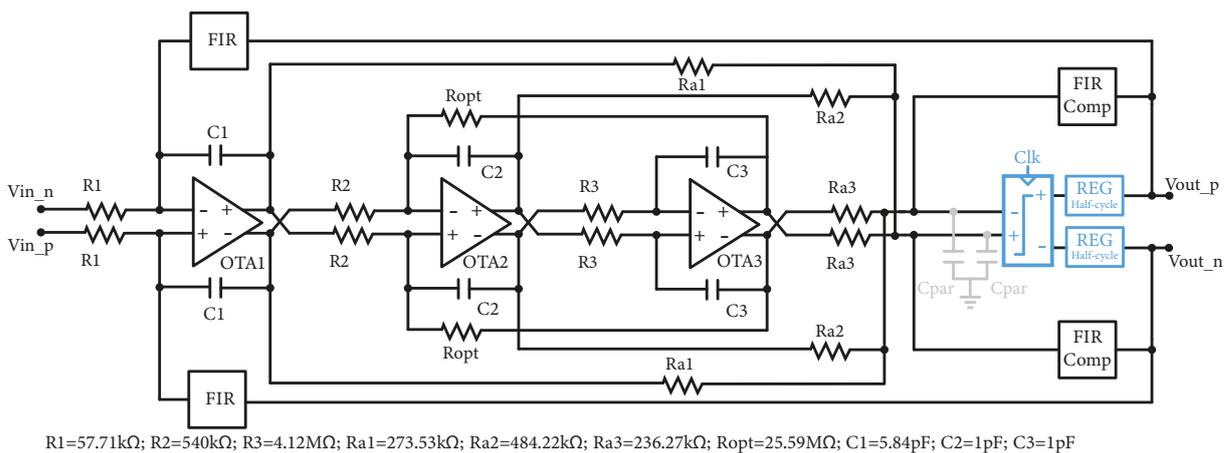


Figura 55 – Arquitetura completa do CT-SDM com filtro FIR de 6 taps com otimizações.

Por fim, foi possível reduzir o consumo de energia das cascatas de registradores do filtro FIR e do filtro de compensação fazendo com que o sinal atrasado seja compartilhado por ambos os filtros, conforme mostrado na Figura 56.

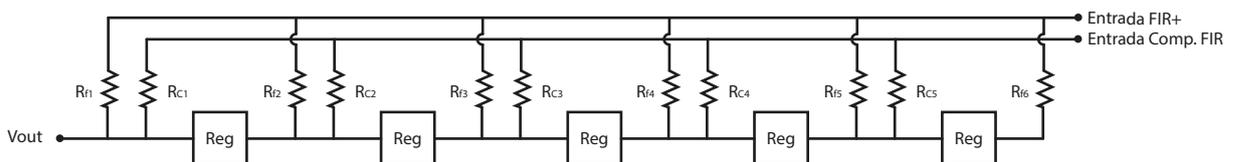


Figura 56 – Cascata de registradores

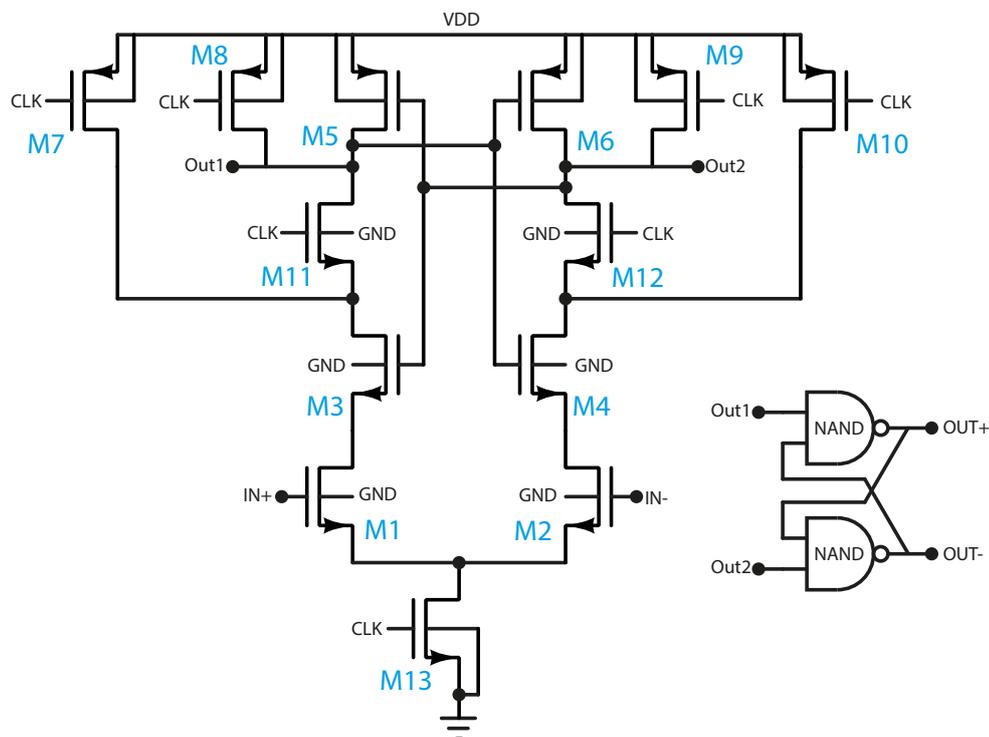
5.1 PROJETO DO QUANTIZADOR DE 1-BIT (ADC)

O quantizador do CT-SDM é responsável por comparar o sinal de saída do filtro de *loop* e gerar o sinal de saída do modulador que também é usado na realimentação. É

necessário que a resposta do comparador seja rápida, pois pode ocasionar em um acréscimo no ELD e causar metaestabilidade, ambos efeitos que causam redução na resolução do modulador.

A topologia *strongArm latch* (RAZAVI, 2015) apresenta algumas características importantes que o tornam uma boa escolha para ADCs como o não consumo de energia estática, saída *rail-to-rail*, e alta impedância de entrada (ALMANSOURI et al., 2017). Em contrapartida, apresenta um alto *offset* e a presença de *kickback noise*, porém estes efeitos são mitigados pelo *noise shaping*. Esta topologia possui uma *latch* em realimentação positiva o que torna possível converter os sinais analógicos de entrada em sinais digitais na saída. Esta amostragem do sinal analógico é sincronizada por um sinal de *clock* cuja frequência é igual à frequência de amostragem. A Figura 57 apresenta a topologia *strongArm latch*.

Figura 57 – Topologia *StrongArm latch*.



Fonte: O autor.

Nesta topologia, quando o sinal de *clock* está em nível lógico baixo (0 V), as chaves M7, M8, M9 e M10 estão acionadas e, portanto, os nós Out1 e Out2 estão em nível lógico alto (0,5 V), esta fase é chamada de *reset*. A fase de comparação ocorre quando o sinal de *clock* está em nível lógico alto. Assim as chaves M7, M8, M9 e M10 estão desligadas e as chaves M11, M12 e M13 estão acionadas criando um caminho entre o VDD e o GND. Os sinais aplicados nos *gates* dos transistores M1 e M2 irão descarregar a capacitância parasita dos nós internos da *latch* que é composta pelos transistores M3, M4 M5 e M6. O tempo necessário para este circuito gerar uma decisão é diretamente ligado à amplitude dos sinais de entrada IN+ e IN- e a transcondutância dos transistores M1 e M2 já que são

esses dispositivos que produzem as correntes que irão descarregar os nós internos da *latch*. Os nós de saída do comparador, Out1 e Out2, reproduzem ambas as fases do comparador, dessa forma é necessário adicionar um segundo estágio composto por uma *latch* do tipo SR para que a saída apresente apenas as decisões do comparador e não a fase de *reset* nos nós OUT+ e OUT-.

O dimensionamento dos transistores são apresentados na Tabela 27. Os transistores utilizados nesse circuito são de 1,8 V e média tensão de limiar ($V_{th_{nmos}} = 336 \text{ mV}$ e $V_{th_{pmos}} = 199 \text{ mV}$).

A imagem 58 apresenta a resposta do circuito a uma simulação transiente conservativa com uma carga capacitiva de 150 fF, que representa a capacitância equivalente referenciada à entrada do próximo estágio onde este circuito será conectado. Neste caso o atraso obtido foi de 5 ns. O consumo médio de potência foi medido através do pino de VDD do quantizador em simulação transiente do CT-SDM, O consumo médio foi de 902,5 nW.

Tabela 27 – Dimensionamento dos transistores.

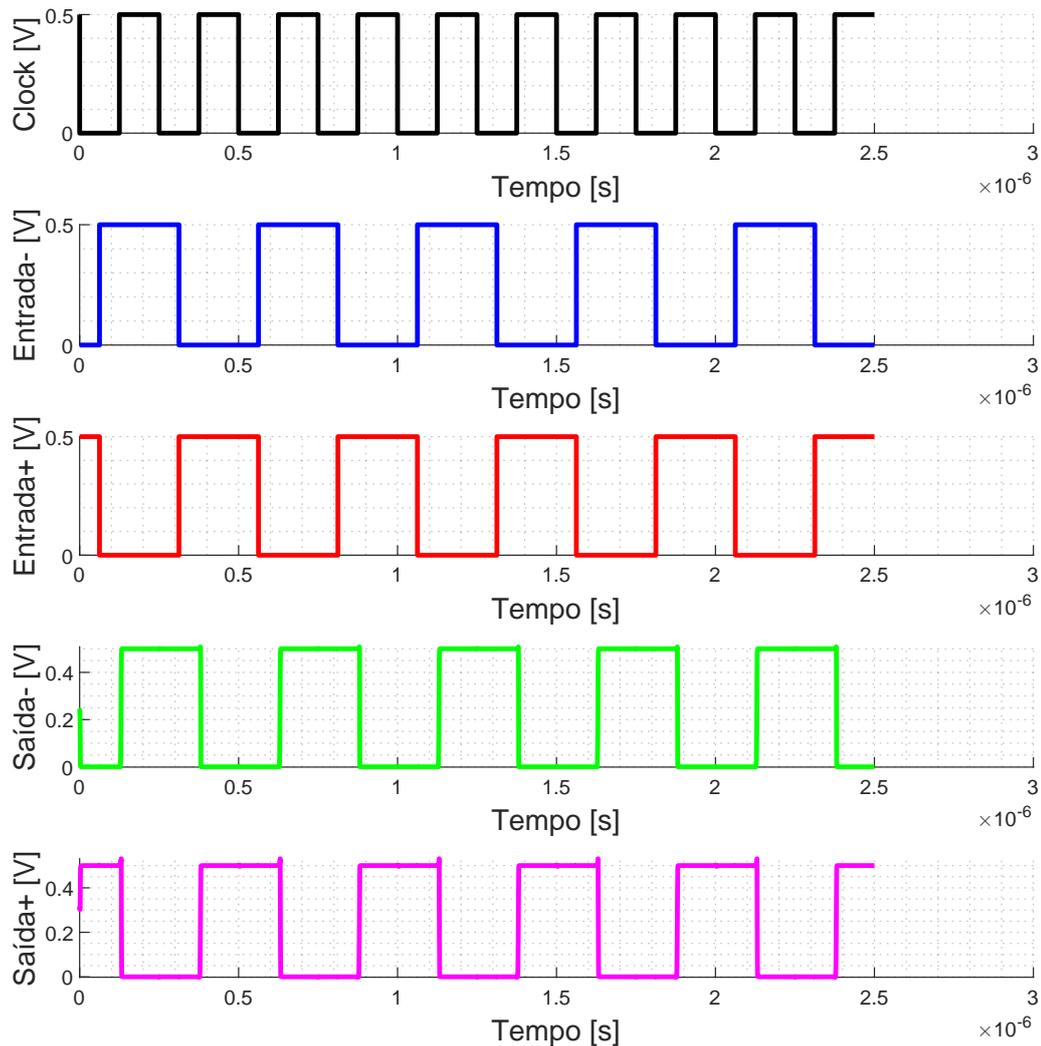
Transistores	Múltiplos \times (W/L) [$\mu\text{m}/\mu\text{m}$]
M5, M6, M7, M8, M9 e M10	$1 \times (1,00/0,3)$
M3, M4, M11 e M12	$1 \times (1,29/0,3)$
M1 e M2	$5 \times (25,8/0,3)$
M13	$5 \times (25,8/0,3)$
NAND - NMOS	$20 \times (2,58/0,3)$
NAND - PMOS	$20 \times (1,00/0,3)$

5.2 REGISTRADORES

Na eletrônica digital os circuitos são classificados por sua funcionalidade. As portas lógicas comuns, por exemplo: AND, OR, NOT, XOR, etc. são exemplos de circuitos lógicos combinacionais pois a saída de um circuito combinacional é apenas uma função dos valores de entrada atuais. No entanto, a maioria dos sistemas lógicos requerem armazenamento de informações de estado, levando a uma outra classe de circuitos chamados circuitos lógicos sequenciais. Estes circuitos, a saída não depende apenas dos valores atuais de entrada, mas também dos valores de entrada anteriores, ou seja, ele possui memória (RABAEY, 1996).

Dentre os circuitos que possuem essa funcionalidade e controle destaca-se os latches (D e RS) e os flip-flops. De uma forma geral, a diferença entre os latches e os flip-flops é em qual região do sinal de controle eles são ativados. Os latches são sensíveis ao nível lógico (0 ou 1) e os flip-flops são sensíveis à borda (subida ou descida) do sinal de controle (RABAEY, 1996).

Figura 58 – Análise transiente do quantizador.



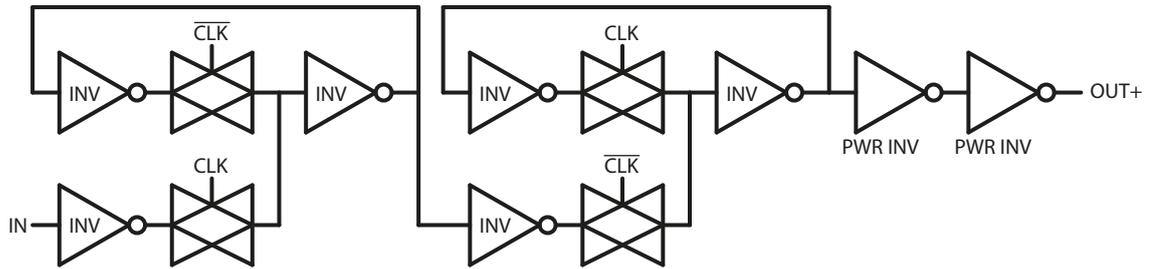
Fonte: O autor.

5.2.1 PROJETO DO REGISTRADOR DE ONDA COMPLETA

O registrador de onda completa é utilizado na cascata de registradores usados tanto no filtro FIR como no filtro de compensação. Este circuito deve atrasar a sua entrada em 1 ciclo de *clock*, sendo assim, ao aplicar à cascata de registradores será possível gerar a realimentação multinível que o filtro FIR entrega à entrada do modulador.

Neste trabalho, a implementação do registrador de onda completa foi realizada utilizando um flip-flop sensível à borda de subida. Dessa forma, em toda borda de subida do sinal de *clock* o registrador irá verificar o sinal presente em sua entrada e irá reproduzi-lo em sua saída, e assim, permanecendo até a próxima borda de subida do sinal de *clock* onde será feita novamente essa verificação. A topologia utilizada é apresentada na Figura 61. Os transistores utilizados neste projeto são de 1,8 V e com tensão de limiar média devido à baixa tensão de alimentação da especificação. O dimensionamento dos dispositivos está disposto na Tabela 28.

Figura 59 – Registrador sensível à borda de subida.



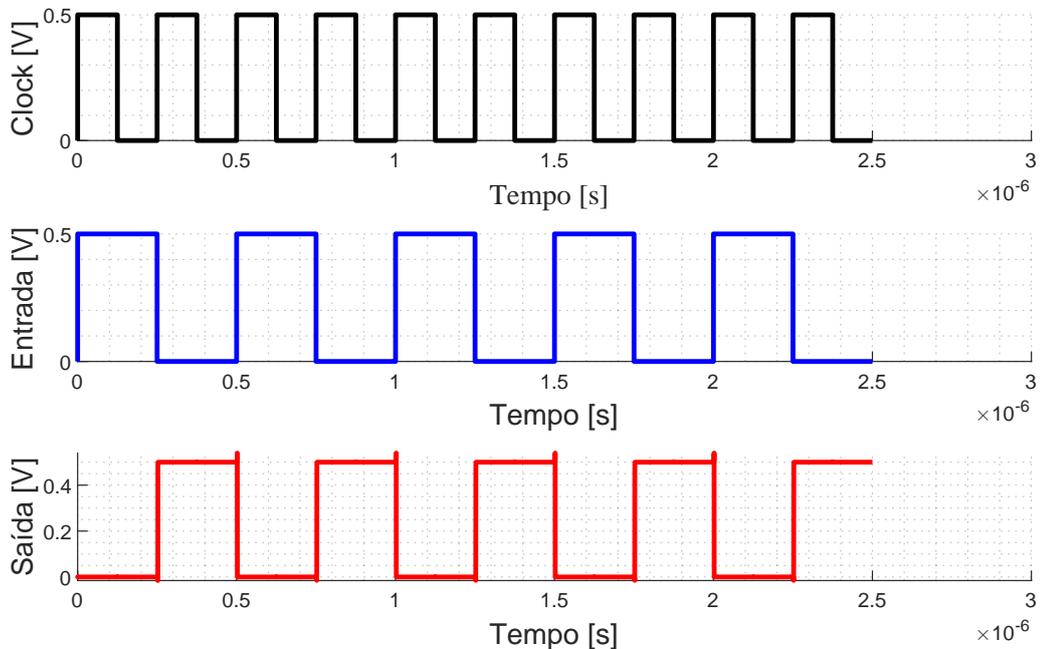
Fonte: O autor.

Tabela 28 – Dimensionamento dos transistores.

Dispositivo	Múltiplos $\times (W/L)$ [$\mu m/\mu m$]
INV e TG: NMOS	$20 \times (1,29/0,3)$
INV e TG: PMOS	$20 \times (1,00/0,3)$
PWR INV: NMOS	$8 \times (25,8/0,3)$
PWR INV: PMOS	$8 \times (20,0/0,3)$

A Figura 60 apresenta a resposta do registrador de onda completa a uma simulação transiente conservativa com uma carga de 150 fF. O atraso obtido foi de 2,22 ns. O consumo médio de potência foi medido através do pino de VDD do registrador de onda completa em simulação transiente do CT-SDM, O consumo médio foi de 1,77 μW .

Figura 60 – Análise transiente do registrador de onda completa.



Fonte: O autor.

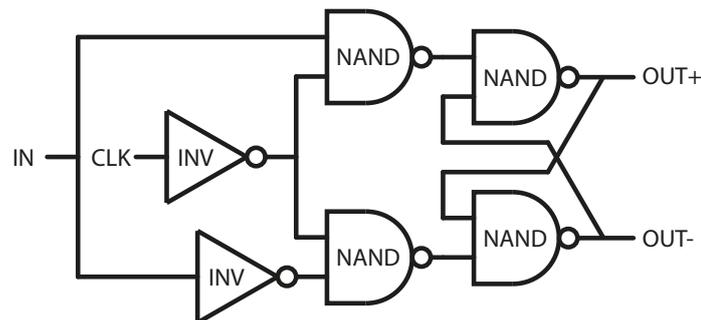
5.2.2 PROJETO DO REGISTRADOR DE MEIA-ONDA

O registrador de meia-onda é utilizado na saída do comparador devido à metaestabilidade, conforme mencionado na seção anterior. Este circuito deve implementar um

atraso de meio ciclo de *clock* para que o comparador consiga realizar a decisão.

A implementação do registrador de meia-onda foi realizada com um flip-flop sensível à borda de descida. Dessa forma, em toda borda de descida do sinal de *clock* o registrador verificará o sinal na entrada e reproduzirá este mesmo sinal na saída até uma nova verificação, que só ocorrerá na próxima borda de descida. A topologia utilizada neste projeto é apresentada pela Figura 61 e novamente os transistores utilizados são de 1,8 V com tensão de limiar média. A Tabela 29 mostra o seu dimensionamento.

Figura 61 – Registrador sensível à borda de descida.



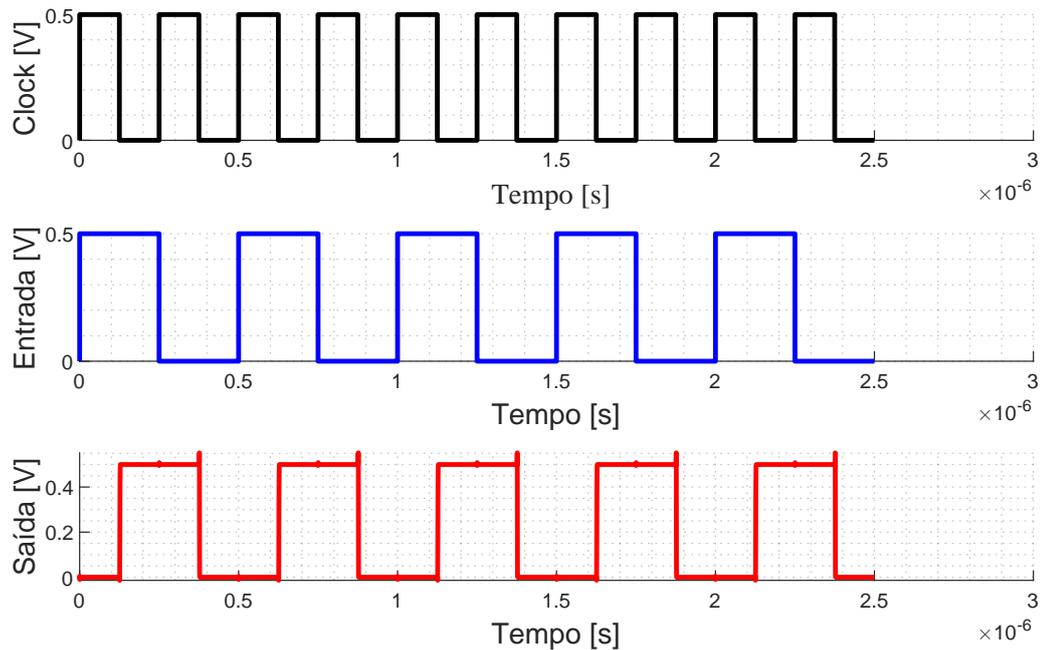
Fonte: O autor.

Tabela 29 – Dimensionamento dos transistores.

Parâmetro	Múltiplos $\times (W/L)$ [$\mu m/\mu m$]
Inversor - NMOS	$20 \times (1,29/0,3)$
Inversor - PMOS	$20 \times (1,00/0,3)$
NAND - NMOS	$20 \times (2,58/0,3)$
NAND - PMOS	$20 \times (1,00/0,3)$

A Figura 62 apresenta a resposta do registrador de onda completa a uma simulação transiente conservativa com uma carga de 150 fF. O atraso obtido foi de 2,01 ns. O consumo médio de potência foi medido através do pino de VDD do registrador de meia onda em simulação transiente do CT-SDM, O consumo médio foi de 1,28 μW .

Figura 62 – Análise transiente do registrador de meia onda.



Fonte: O autor.

5.3 PROJETO DO AMPLIFICADOR OPERACIONAL

O filtro de loop é o principal circuito que determina a performance do CT-SDM pois define a função de transferência do ruído e, com ela, o comportamento da modelagem do ruído de quantização. Como o filtro de loop é construído basicamente por integradores, as não-idealidades do amplificador usado nesta configuração tem impacto direto na resolução do CT-SDM (ORTMANN, 2021).

As principais não-idealidades dos amplificadores são: ganho DC finito, largura de banda finita e *slew-rate* finito. O ganho DC finito afeta a função de transferência produzindo um polo em baixas frequências e altera a constante de tempo do integrador. O *slew-rate* finito introduz não-linearidade ao filtro e em conjunto com a largura de banda finita limitam o tempo de acomodação do circuito. Já a largura de banda finita também apresenta um erro de ganho na saída do amplificador devido sua frequência de ganho unitário (GBW) (AGUIRRE, 2014).

Os projetos atuais de CT-SDM para aplicações de baixa tensão adotam OTAs baseados em inversores devido à sua alta eficiência de transcondutância (LEE et al., 2021), (AGUIRRE et al., 2020), (AGUIRRE; SUSIN, 2018), (LV et al., 2018), (LV et al., 2019). Entretanto, variações de processo e *mismatch* podem afetar fortemente o desempenho de OTAs baseadas em inversores, portanto o uso de técnicas de compensação é obrigatório.

5.3.1 AMPLIFICADOR OPERACIONAL DE MÚLTIPLOS ESTÁGIOS

É visto em (ORTMANN, 2021) e (AGUIRRE, 2014) que o aumento no ganho DC do amplificador contorna a degradação da resolução do CT-SDM devido à não-linearidade e erro de ganho na saída do amplificador. O ganho de um amplificador genérico pode ser simplificado por $gm \cdot R_{out}$, onde gm é a transcondutância e R_{out} a resistência de saída, de acordo com a topologia do CT-SDM e resistores calculados, é necessário que a resistência de saída do amplificador seja baixa o que faz com que a transcondutância seja alta.

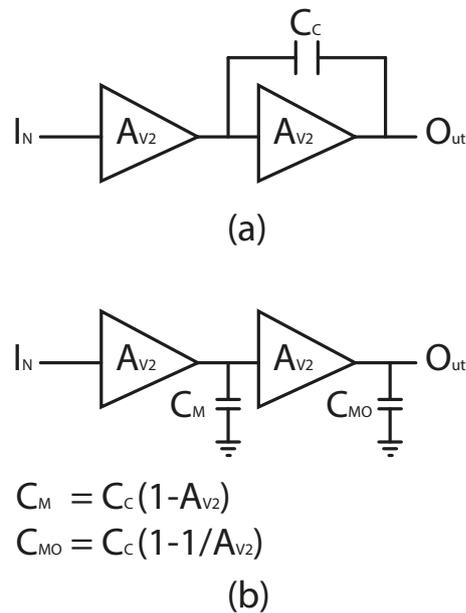
Alta transcondutância é limitador, pois depende diretamente do ganho intrínseco do transistor e varia entre tecnologias CMOS. Sendo assim é necessário amplificadores de múltiplos estágios para alcançar elevados ganhos.

De acordo com a modelagem do capítulo anterior é necessário que o OTA do primeiro integrador chegue a um ganho DC de no mínimo 50 dB para que não haja degradação da resolução do modulador, sendo assim é necessário utilizar um amplificador com 2 estágios para alcançar essa especificação.

A utilização de múltiplos estágios resolve a necessidade de ganho elevado, porém insere uma degradação na estabilidade do amplificador. Isso ocorre pois ao adicionar um segundo estágio o sistema acaba tendo 2 polos dominantes (1 polo referente ao primeiro estágio e o outro referente ao segundo estágio) isso causa uma redução considerável na margem de fase.

A técnica mais conhecida de compensação é chamada de compensação Miller. Esta técnica adiciona um capacitor entre a saída do primeiro e a saída do segundo estágio, se beneficiando do efeito Miller para multiplicar o valor dessa capacitância de compensação. Sendo assim, essa técnica afasta o polo de saída da origem deixando apenas 1 polo dominante, esse efeito chama-se *Pole splitting* (RAZAVI, 2016). A Figura 63 mostra o efeito miller.

Figura 63 – Compensação Miller: (a) Interligação do capacitor de compensação e (b) efeito Miller.



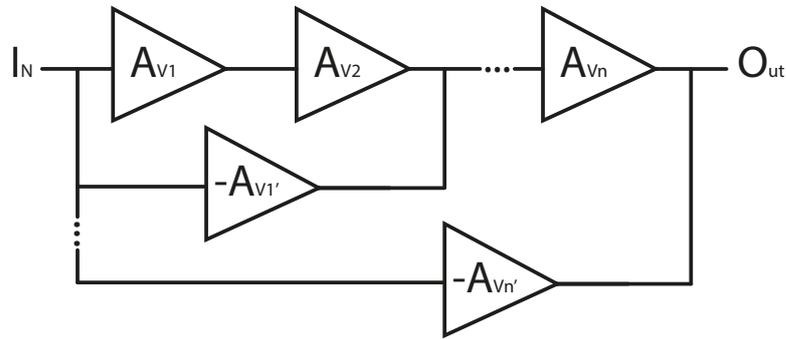
Fonte: O autor.

Porém, algumas condições são necessárias para que se obtenha sucesso com essa técnica de compensação. Segundo (ALLEN; HOLBERG, 2012) para uma melhor performance em amplificadores de dois estágios com compensação Miller é necessário a transcondutância do segundo estágio seja 10 vezes maior que a do primeiro e que a capacitância de compensação seja maior ou igual à 0,22 vezes a capacitância de carga. Assim, o polo de saída estará uma década à frente do GBW e o sistema terá apenas 1 polo dominante.

Outros esquemas relatados usam o deslocamento de fase positivo de um zero do semi-plano esquerdo (LHP) criado por um caminho em avanço para melhorar a resposta de fase como relatados em (ESCHAUZIER; HUIJSING, 1995) e (YOU; EMBABI; SANCHEZ-SINENCIO, 1997), mas todos eles ainda usam capacitores Miller.

Já em (THANDRI; SILVA-MARTINEZ, 2003) é proposta outra técnica de compensação em avanço que dispensa o uso clássico dos capacitores da compensação Miller. Esta estratégia também utiliza do deslocamento de fase positivo gerados por zeros LHP para compensar os deslocamentos de fase gerados pelos polos, porém os zeros LHP são gerados por um caminho ativo em avanço. Como não utiliza capacitores de compensação Miller, os polos não são deslocados portanto a largura de banda não é reduzida, o que elimina a necessidade de aumento no consumo para atingir a mesma largura de banda. A Figura 64 mostra o diagrama de compensação em avanço sem capacitâncias Miller em amplificador de n-estágios.

Figura 64 – Diagrama da compensação em avanço sem capacitores Miller em amplificador de n-estágios.



Fonte: O autor.

5.3.2 DIMENSIONAMENTO E RESULTADOS DO OTA

A Figura 65 apresenta a topologia OTA proposta utilizada neste trabalho. A topologia do primeiro estágio é uma versão melhorada da topologia originalmente apresentada em (LV et al., 2019) e suas modificações (GIRARDI; COMPASSI-SEVERO; AGUIRRE, 2022). Os inversores principais são compostos pelos transistores Ma1 – Ma2 e Ma11 – Ma12. Inversores com a mesma relação Largura/Comprimento, compostos pelos transistores Ma3 – Ma4 e Ma9 – Ma10 são utilizados com uma quantidade menor de multiplicadores sobre os inversores principais e possuem suas entradas /saídas em curto e conectadas às saídas dos inversores principais. Esses transistores ajudam a estabilizar a saída do amplificador principal no modo de tempo contínuo e são essenciais durante a inicialização do modulador CT-SDM. No entanto, eles aumentam a condutância total de saída do amplificador principal, levando a uma diminuição do ganho DC. Este efeito é mitigado com o uso de inversores de acoplamento cruzado, compostos por Ma5 – Ma8 transistores, na saída do amplificador principal. Tal conexão fornece uma condutância de saída negativa para anular o efeito de carga acima mencionado. O ganho DC do primeiro estágio OTA é dado pela eq. 5.1. Também é impactado pela detecção de tensão de modo comum de saída resistiva.

$$A_{v0} = \frac{(g_{ma1} + g_{ma2})}{\sum_{i=1}^6 g_{dsai} + g_{ma3} + g_{ma4} + \frac{1}{R_{CM}} - g_{ma5} - g_{ma6}} \quad (5.1)$$

Um OTA pseudo-diferencial típico é usado como um amplificador de erro na rede de realimentação de modo comum (CMFB). Como restante, a estabilidade do loop CMFB deve garantir uma margem de fase elevada para evitar a instabilidade do modulador. O controle CMFB do primeiro estágio é feito no terminal *bulk* dos transistores PMOS do amplificador do primeiro estágio. O OTA de primeiro estágio também adota uma abordagem de polarização do *bulk* nos transistores NMOS. Uma fonte de corrente e um espelho de corrente geram a tensão de polarização do transistor NMOS de primeiro estágio usando um inversor de réplica em conexão diodo, conforme introduzido em (AGUIRRE;

SUSIN, 2018). Isso ajuda a reduzir a variação de GBW nos *corners* de processo e o *mismatch*, uma vez que uma corrente de referência é adotada para ajustar o ponto de polarização.

O amplificador de segundo estágio é semelhante ao primeiro estágio, enquanto o OTA de compensação em avanço é apenas um inversor. Nestes amplificadores, um segundo circuito CMFB é adotado para garantir a tensão de modo comum de saída OTA no nível $VDD/2$ especificado. Para obter uma rejeição de modo comum mais alta, o sinal de controle CMFB (VCMFB2) é conectado no terminal de *bulk* de todos os transistores PMOS e NMOS que compõem o segundo estágio e o de compensação.

A referência de corrente (I_{bias}) é igual a 200 nA, os resistores que extraem o modo-comum para a realimentação são de p-poly de alta resistividade com 500 k Ω cada. Os transistores PMOS são de 1,8 V com tensões de limiar padrão ($V_{th_{pmos}} = 313$ mV). Já os transistores NMOS são de 1,8 V, com tensões de limiar padrão ($V_{th_{nmos}} = 487$ mV) e são feitos com a utilização da tecnologia *deep-nwell* para que possuam o terminal de *bulk* isolado no substrato. Os tamanhos dos transistores são mostrados na Tabela 30.

Tabela 30 – Resumo do tamanho dos transistores amplificadores pseudo-diferenciais baseados em inversores do 1º estágio.

Transistores	Múltiplos \times (W/L) [$\mu m/\mu m$]
Ma1, Ma11	$8 \times (17,5/1)$
Ma3, Ma5, Ma7, Ma9	$2 \times (17,5/1)$
Ma2, Ma12	$8 \times (6,7/1)$
Ma4, Ma6, Ma8, Ma10 e Mx	$2 \times (6,7/1)$
Mb3, Mb5, Mb7, Mb9	$2 \times (17,5/1)$
Mb4, Mb6, Mb8, Mb10	$2 \times (6,7/1)$
Mb1, Mb11	$80 \times (17,5/1)$
Mb2, Mb12	$80 \times (6,7/1)$
M1, M2	$88 \times (6,7/1)$
M3, M4	$88 \times (17,5/1)$
Mc1, Mc2	$8 \times (6,7/1)$
Mc3, Mc4	$8 \times (67,5/1)$
Md1, Md2	$2 \times (6,7/1)$
Md3, Md4	$2 \times (67,5/1)$

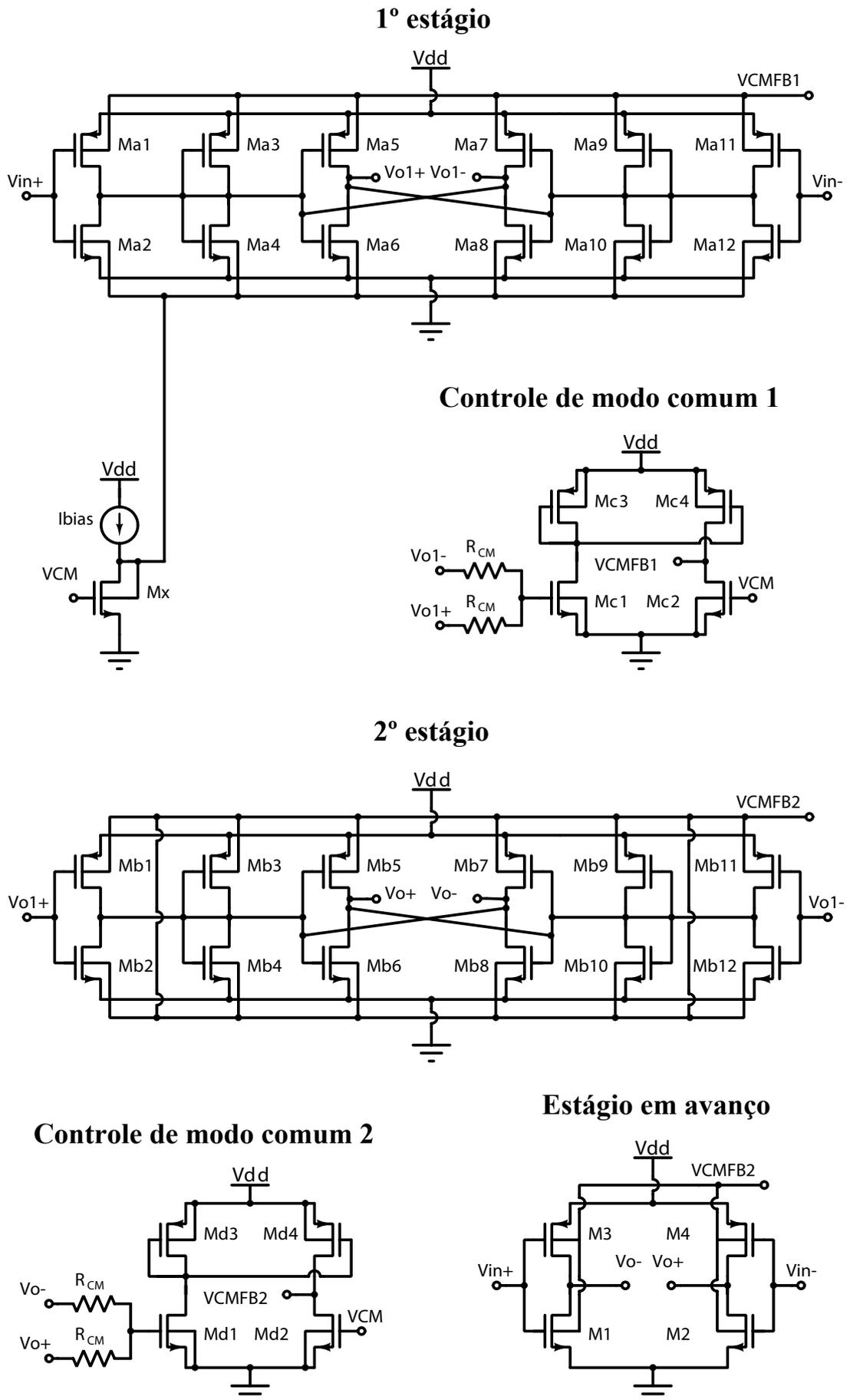


Figura 65 – Esquemático do OTA do primeiro integrador (OTA1).

O amplificador foi simulado com uma carga de 6 pF em paralelo com um resistor de 200 kΩ. A resposta em frequência deste amplificador em malha aberta é apresentada pela Figura 66 e a Tabela 31 resume os resultados do OTA.

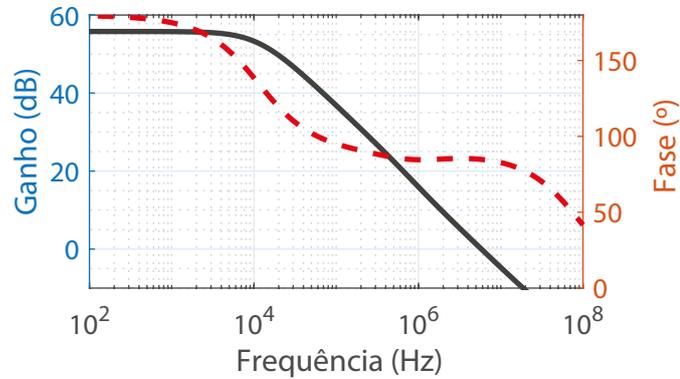


Figura 66 – Resposta em frequência simulada do OTA do primeiro integrador.

Tabela 31 – Resultados em nível elétrico do amplificador.

Parâmetro	Valor
Ganho DC	55,77 dB
GBW	5,78 MHz
Margem de fase	84,98 °
<i>Slew-Rate</i>	125,09 V/μs
Ruído referenciado à entrada	5,7 μV _{rms}
Consumo de potência	19,30 μW

A Figura 67 apresenta o comportamento do Ganho DC, GBW e Margem de fase para a simulação de Monte Carlo com 1000 rodadas. Esta simulação prevê variações locais e globais dos dispositivos que compõem o amplificador.

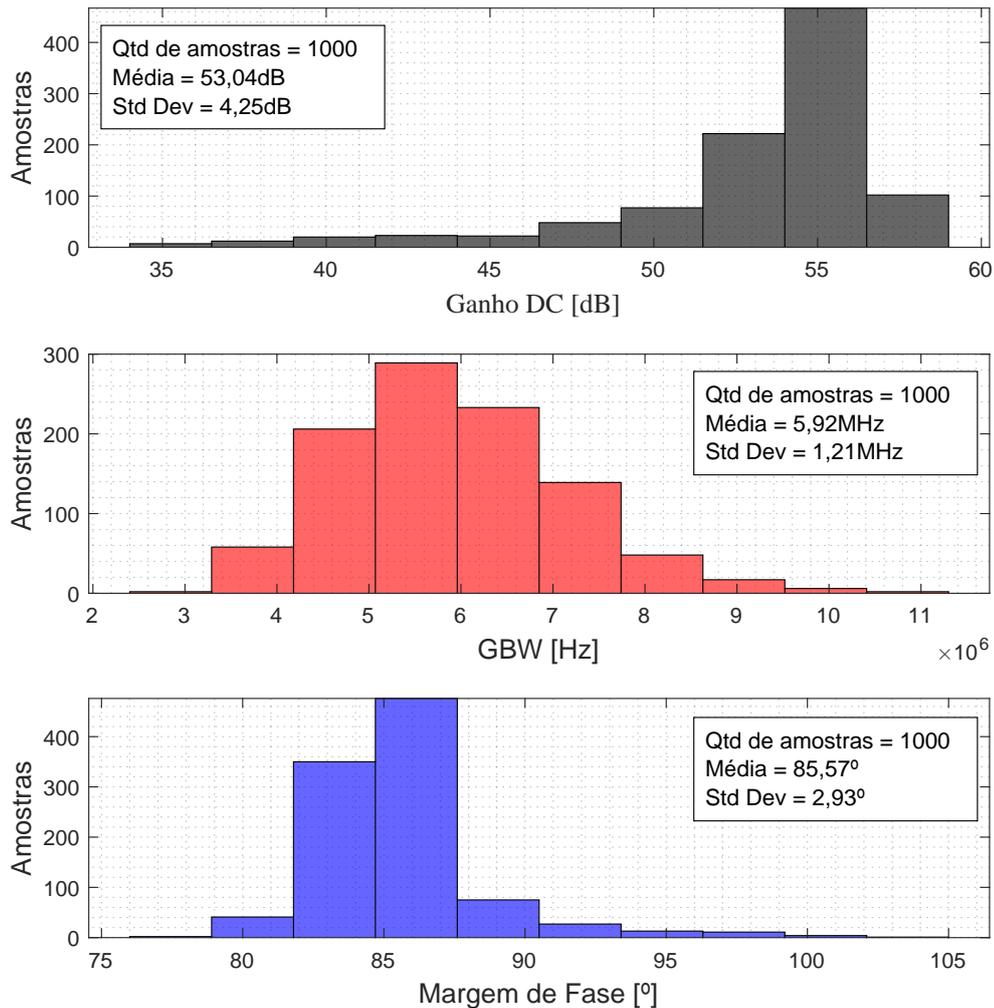


Figura 67 – Análise de Monte Carlo com 1000 rodadas.

5.4 RESULTADOS DO MODELO ELÉTRICO DO CT-SDM

As simulações em nível de esquemático do modelo misto (elétrico e verilogA) do CT-SDM visa comprovar a metodologia apresentada. Para isso foram efetuadas simulações transientes com e sem ruído para verificar o desempenho do modulador.

Foi realizado com o simulador SPECTRE uma simulação transiente conservativa sem ruído para os casos típicos de tensão (0,5 V), temperatura (27 °C) e processo e com um sinal de entrada de amplitude -6,02 dBFS (250 mVp) e frequência de 5,2490234375 kHz (considerando amostragem coerente). O consumo médio de potência do CT-SDM foi medido com a mesma quantidade de pontos que o PSD resultando em 40,02 μW o que resultou em uma FoM de 94,50 fj/conv. A Figura 68 mostra em gráfico de pizza a parcela de consumo de cada circuito em nível elétrico utilizado nesta simulação.

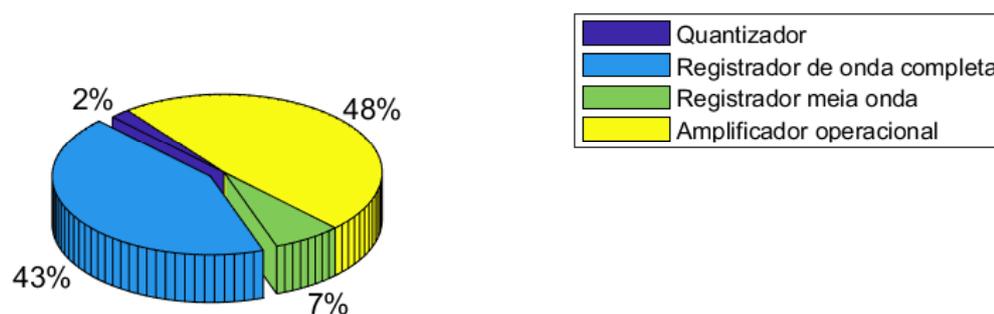


Figura 68 – Parcela de consumo de cada circuito, em nível elétrico, utilizado neste CT-SDM.

A Figura 68 destaca a parcela de consumo dos registradores de onda completa que fazem parte da cadeia de registradores que geram os sinais do DAC FIR e do filtro de compensação. O consumo elevado para esse sistema é devido à carga vista por este circuito que necessita de corrente que, necessariamente, é entregue pelos registradores.

O valor da FoM é resultado do uso de apenas o primeiro integrador real, ao implementar os amplificadores, em nível de transistores, do 2º e 3º integradores haverá um aumento no valor desta FoM. O SNDR obtido foi de 95,71 dB o que resulta em um ENOB de 15,60 bits. O mesmo *testbench* foi utilizado para realizar a simulação com ruído transiente variando de 1 mHz à 400 MHz. O SNDR obtido foi de 82,28 dB resultado em um ENOB de 13,37 bits. Para o cálculo das resistências de entrada, a análise de ruído, o ruído do OTA foi negligenciado. Se considerarmos o ruído simulado do OTA ($5,7 \mu V_{rms}$) na análise de ruído é esperado um resultado de 13,80 bits o que difere 0,43 bits de ENOB. Assim, estes resultados de simulação estão em estreita concordância com a abordagem de modelagem apresentada. A Tabela 32 resume os resultados deste CT-SDM e demais CT-SDMs encontrados na literatura. Aos resultados de consumo há um estimativa de pior caso, entre parênteses, prevendo que o consumo de potência dos OTAs do 2º e 3º integradores seja igual ao consumo do primeiro. Ao resultado da FOM segue essa mesma estimativa de pior caso, também entre parênteses. A Figura 72 mostra a PSD de saída do modulador com e sem ruído, resultado de uma FFT de 2^{14} pontos. Por fim, as Figuras 69, 70 e 71 apresentam a excursão de saída dos integradores para a simulação transiente com ruído.

Tabela 32 – Resumo de resultados e comparação de CT-SDMs de baixa tensão.

Parâmetros	[1]	[2]	[3]	[4]	[5]	[6]	Este Trabalho
Tipo	CT	CT	CT	CT	CT	CT	CT
Ano	2007	2011	2011	2012	2019	2021	2023
Processo (nm)	180	130	130	130	130	28	180
VDD (V)	0,5	0,5	0,6	0,5	0,4	0,6	0,5
Fs (MHz)	3,2	6,4	2,56	6,4	6,4	12,8	4,0
BW (kHz)	25	25	20	20	20	40	20
OSR	64	128	64	160	160	160	100
SNDR (dB)	74	81,2	79,1	90	90,2	83,0	82,28
SNR (dB)	76	81,3	82	90,5	90,6	84,0	82,28
Consumo (μ W)	300,00	625,00	28,60	682,50	221,00	33,6	40,02 (78,62)
FoM (fJ/conv)	1464,84	1332,03	97,03	660,09	208,88	36,37	94,50 (185,65)

[1] (PUN; CHATTERJEE; KINGET, 2007);

[2] (CHEN; PUN; KINGET, 2011);

[3] (ZHANG et al., 2011);

[4] (CHEN; PUN, 2012);

[5] (CHEN et al., 2019);

[6] (LEE et al., 2021);

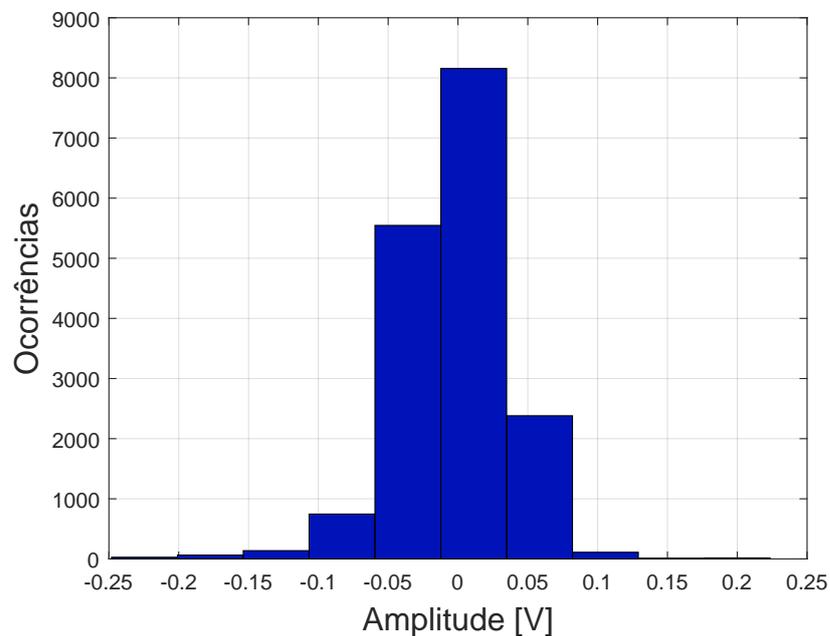


Figura 69 – Excursão de saída do 1º integrador do CT-SDM para simulação transiente com ruído.

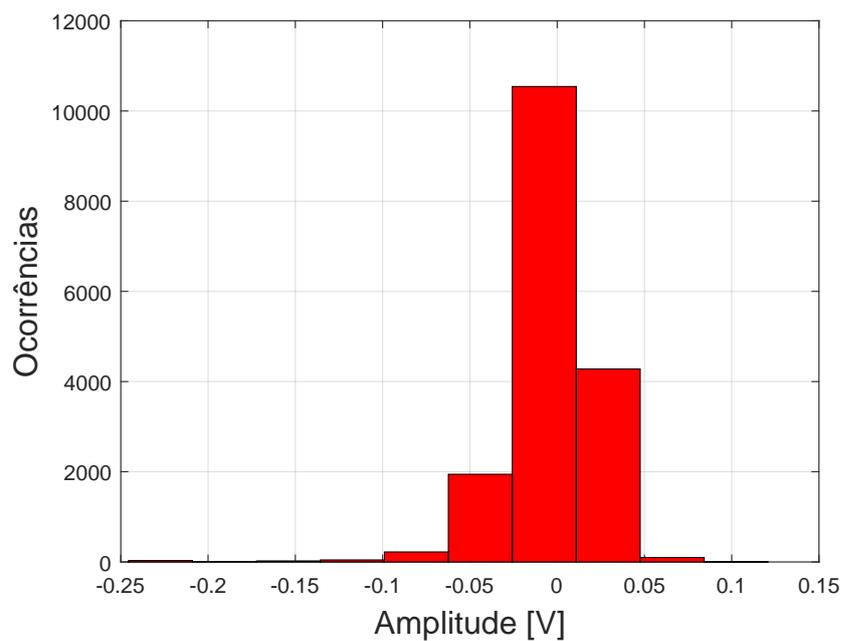


Figura 70 – Excursão de saída do 2º integrador do CT-SDM para simulação transiente com ruído.

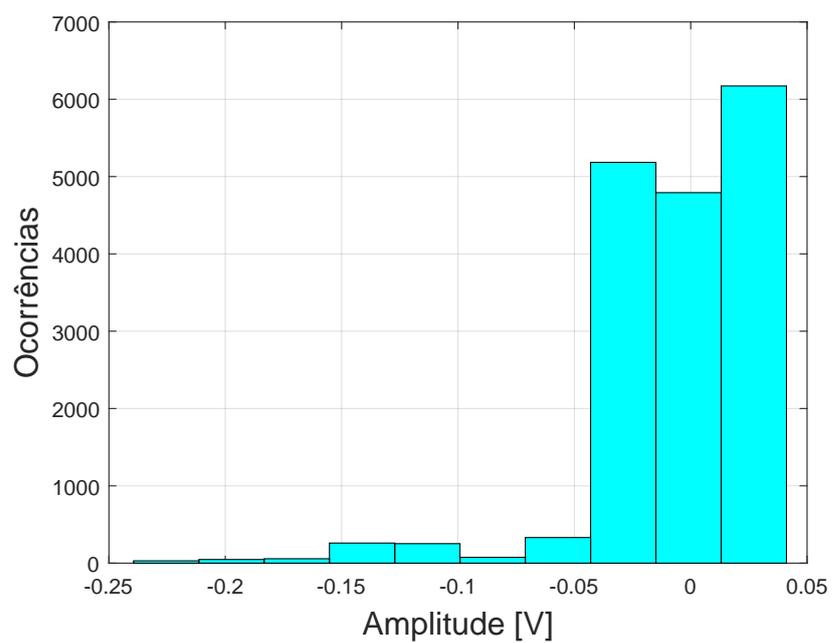


Figura 71 – Excursão de saída do 3º integrador do CT-SDM para simulação transiente com ruído.

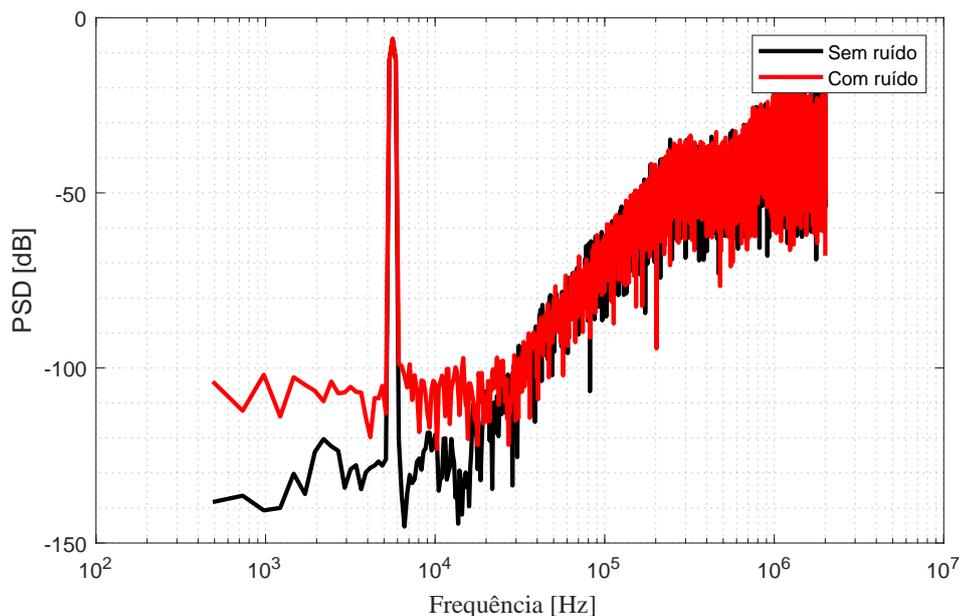


Figura 72 – Densidade espectral de potência de saída do CT-SDM para simulações transientes com e sem ruído.

5.5 CONSIDERAÇÕES

Este capítulo abordou a implementação elétrica do CT-SDM utilizando um DAC do tipo FIR de 6 taps, utilizando a tecnologia CMOS TSMC $0,18 \mu m$ e uma tensão de alimentação de $0,5 V$. Algumas otimizações foram implementadas em relação à arquitetura apresentada no capítulo anterior. Essas otimizações visam redução de área, redução de consumo e aumento na robustez do CT-SDM. Dos circuitos projetados destaca-se o OTA baseado em inversor de dois estágios e com compensação em avanço sem capacitores Miller utilizado no primeiro estágio integrador. Este OTA possui um ganho DC de $55,77 dB$, GBW de $5,78 MHz$ e um *Slew-rate* de $125,09 V/\mu s$ para uma carga de $6 pF$ em paralelo a um resistor de $200 k\Omega$. Em seguida, simulações transientes conservativas sem e com ruídos foram realizadas para avaliar a performance do CT-SDM, resultando em um SNDR/ENOB de $95,71 dB/15,60 bits$ e $82,28 dB/13,37 bits$, respectivamente. Entretanto, o ruído do OTA referenciado à entrada foi negligenciado nos cálculos iniciais e ao considerar o ruído simulado do OTA o valor de ENOB esperado é de $13,8 bits$, apenas $0,58 bits$ maior que o obtido pelas simulações transientes com ruído, o que torna os resultados próximos e mostram a validade da metodologia apresentada. O consumo médio de potência medido foi de $40,02 \mu W$ o que resultou em uma FoM de $94,50 fJ/conv$. Foi verificado que 43% do consumo total do CT-SDM é proveniente da cadeia de registradores que compõe o DAC FIR e o filtro de compensação. Isto devido à carga em que esta cadeia de registradores é conectada.

6 CONCLUSÃO

Esta dissertação apresentou uma modelagem comportamental e elétrica de um modulador sigma-delta em tempo contínuo de baixa tensão para faixa de áudio. Inicialmente foi apresentada uma revisão teórica sobre modulação sigma-delta e as estratégias utilizadas neste tipo de modulação, bem como as principais arquiteturas e trabalhos similares encontrados na literatura.

No capítulo 3, foi abordado o projeto em alto nível de CT-SDM com DAC do tipo NRZ de 1-bit, utilizando o *SD toolbox* no ambiente Matlab/Simulink. A implementação elétrica desse modelo foi simulado no ambiente Cadence com sub-circuitos programados em VerilogA para a extração dos requisitos mínimos de desempenho do OTA do 1º integrador. Esta arquitetura com DAC NRZ de 1-bit exige um capacitor de integração de 15,27 pF o que torna seu layout grande e exige um maior consumo de energia do OTA para alcançar os requisitos mínimos estimados.

O capítulo 4 apresentou uma nova estratégia de DAC, com filtro FIR. Foi desenvolvido o projeto em alto nível do CT-SDM com a definição da quantidade de taps do filtro FIR e a estratégia de compensação de ELD necessária. É visto que o DAC FIR adiciona alguns benefícios ao CT-SDM, são elas: redução do escalonamento de coeficientes, aumento da linearidade do filtro de *loop*, redução da sensibilidade ao *clock jitter* e a redução do capacitor de integração que reduz a área e o consumo do integrador. O CT-SDM com DAC FIR de 6-taps atingiu SNDR/ENOB de 86,46 dB/14,07 bits, respectivamente.

Por fim, no capítulo 5 é apresentado o projeto elétrico do CT-SDM utilizando um DAC do tipo FIR de 6-taps em tecnologia CMOS de 0,18 μm e tensão de alimentação de 0,5 V. A arquitetura de CT-SDM + FIR 6-taps recebeu otimizações em relação à arquitetura apresentada no capítulo anterior. Aqui otimizações que visam redução de área, redução de consumo e aumento na robustez do CT-SDM foram utilizadas. Foram apresentados em detalhes os circuitos analógicos e digitais projetados e as principais características dos mesmos. O CT-SDM foi simulado utilizando os circuitos projetados e mantendo o 2º e 3º integradores com modelos de OTAs ideais. Os resultados das simulações transientes conservativas sem e com ruído resultaram em SNDR/ENOB de 95,71 dB/15,60 bits e 82,28 dB/13,37 bits respectivamente. A diferença do resultado simulado para o calculado deve-se à negligência do ruído do OTA nos cálculos preliminares que se considerado a diferença entre o esperado e o simulado fica em 0,58 bits, o que torna os resultados próximos e mostram a validade da metodologia apresentada. Este CT-SDM apresentou um consumo de 40,02 μW , tendo 43% deste consumo referente à cadeia de registradores que compõe o DAC FIR e o filtro de compensação. Sendo assim, resultando em uma FoM de 94,50 fj/conv com apenas o primeiro estágio integrador com OTA real.

6.1 TRABALHOS FUTUROS

Para continuidade desse projeto cita-se a implementação dos demais OTAs para finalizar a implementação elétrica do protótipo do modulador e conforme resultados apresentados, é de grande importância, também, investigar estratégias de implementação dos registradores que sejam eficientes em consumo de energia.

Com o intuito de fabricar em silício, a portabilidade deste modulador para a tecnologia CMOS 65 nm da TSMC já foi iniciado, restando apenas o projeto dos OTAs.

REFERÊNCIAS

- AGUIRRE, P. C. C. de. *Projeto e análise de de Moduladores Sigma-Delta em Tempo contínuo Aplicado a Conversão AD*. 2014. Dissertação (Mestre em Engenharia Elétrica), UFRGS (Universidade federal do Rio Grande do Sul, Porto Alegre, Brasil). Citado 7 vezes nas páginas 20, 45, 46, 47, 69, 82 e 83.
- AGUIRRE, P. C. C. de. *Design of Continuous-Time Sigma-Delta Modulators With Inverter-Based Amplifiers For Sub-1V Application*. 2019. Tese (Doutor em Engenharia Elétrica), UFRGS (Universidade federal do Rio Grande do Sul, Porto Alegre, Brasil). Citado na página 21.
- AGUIRRE, P. C. C. de et al. A 170.7-dB fom-dr 0.45/0.6-v inverter-based continuous-time sigma–delta modulator. *IEEE Transactions on Circuits and Systems II: Express Briefs*, v. 67, n. 8, p. 1384–1388, 2020. Citado 3 vezes nas páginas 27, 47 e 82.
- AGUIRRE, P. C. C. de; SUSIN, A. A. A 0.6-V, 74.2-dB DR Continuous-Time Sigma–Delta Modulator With Inverter-Based Amplifiers. *IEEE Transactions on Circuits and Systems II: Express Briefs*, v. 65, n. 10, p. 1310–1314, oct 2018. ISSN 1549-7747. Disponível em: <<https://ieeexplore.ieee.org/document/8403253/>>. Citado 3 vezes nas páginas 27, 82 e 86.
- ALLEN, P. E.; HOLBERG, D. R. *CMOS Analog Circuit Design, Third Edition*. [S.l.]: Oxford University Press, 2012. Citado na página 84.
- ALMANSOURI, A. et al. Improved strongarm latch comparator: Design, analysis and performance evaluation. In: *2017 13th Conference on Ph.D. Research in Microelectronics and Electronics (PRIME)*. [S.l.: s.n.], 2017. p. 89–92. Citado na página 77.
- ASSOM, I. et al. A 4th-order continuous-time $\delta\sigma$ modulator with improved clock jitter immunity using rtz fir dac. In: *2018 25th IEEE International Conference on Electronics, Circuits and Systems (ICECS)*. [S.l.: s.n.], 2018. p. 725–728. Citado na página 66.
- BILLA, S.; DIXIT, S.; PAVAN, S. Analysis and Design of an Audio Continuous-Time 1-X FIR-MASH Delta-Sigma Modulator. *IEEE Journal of Solid-State Circuits*, v. 55, n. 10, p. 2649–2659, 2020. ISSN 1558173X. Citado na página 17.
- BREEMS, L.; HUIJING, J. *Continuous-Time Sigma-delta For A/D Conversion in Radio Receivers*. [S.l.]: Kluwer Academic Publishers, 2001. Citado na página 45.
- CHEN, Y.; PUN, K. P. A 0.5-V 90-dB SNDR 102 dB-SFDR audio-band continuous-time delta-sigma modulator. *Analog Integrated Circuits and Signal Processing*, v. 71, n. 2, p. 159–169, 2012. ISSN 15731979. Citado 3 vezes nas páginas 27, 28 e 91.
- CHEN, Y.; PUN, K. P.; KINGET, P. A 0.5-V 81.2 dB SNDR audio-band continuous-time Delta-Sigma modulator with SCR feedback. *Analog Integrated Circuits and Signal Processing*, v. 67, n. 3, p. 285–292, 2011. ISSN 09251030. Citado 4 vezes nas páginas 15, 27, 28 e 91.
- CHEN, Y. et al. A 0.4-V 0.2pJ/step 90-dB SNDR 20-kHz ct delta-sigma modulator using class-AB amplifier with a novel local common-mode feedback. *IEICE Electronics Express*, v. 16, n. 10, p. 1–6, 2019. ISSN 13492543. Citado 3 vezes nas páginas 27, 28 e 91.

- CHERRY, J.; SNELGROVE, W. Clock jitter and quantizer metastability in continuous-time delta-sigma modulators. *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, v. 46, n. 6, p. 661–676, 1999. Citado na página 29.
- CHERRY, J.; SNELGROVE, W. *Continuous-time sigma-delta modulators high-speed A/D conversion: theory, practice and fundamental performance limits*. 2ª edição. ed. [S.l.]: Kluwer Academic Publishers, 2000. Citado na página 25.
- de Aguirre, P. C. C. et al. A 170.7-db fom-dr 0.45/0.6-v inverter-based continuous-time sigma-delta modulator. *IEEE Transactions on Circuits and Systems II: Express Briefs*, v. 67, n. 8, p. 1384–1388, 2020. Citado na página 25.
- de la Rosa, J. M.; Morgado, A.; del Rio, R. Hybrid continuous-time/discrete-time cascade modulators with programmable resonance. In: *2009 IEEE International Symposium on Circuits and Systems*. [S.l.: s.n.], 2009. p. 2249–2252. Citado na página 23.
- DE-OLIVEIRA, T. C. et al. An rf-eh employing controlled-impedance matching for ultra-low voltage batteryless devices. In: *2023 IEEE 14th Latin America Symposium on Circuits and Systems (LASCAS)*. [S.l.: s.n.], 2023. p. 1–4. Citado na página 17.
- DUTRA, L. F. M.; CORTEZ, M.; AGUIRRE, P. C. C. de. High-level modeling and analysis of a low-voltage 8-bit current-mode r-2r dac. *11th Workshop on Circuits and Systems Design*, 2021. Citado na página 51.
- DUTRA L. F. M. ; GIRARDI, A. G. . D. A. P. C. C. . S. L. C. A regulated 400-mv cmos dc-dc converter with on-the-fly equivalent output resistance tuning. *Energies*, v. 16, p. 4868, 2023. Citado na página 17.
- ENGELEN, J. van; PLASSSCHE, R. van de. Stability and design of continuous-time bandpass sigma delta modulators. In: *1999 IEEE International Symposium on Circuits and Systems (ISCAS)*. [S.l.: s.n.], 1999. v. 2, p. 355–359 vol.2. Citado na página 29.
- ESCHAUZIER, R. G. H.; HUIJSING, J. H. *Frequency Compensation Techniques for Low-Power Operational Amplifiers*. [S.l.]: Springer New York, 1995. Citado na página 84.
- GHARBIYA, A.; JOHNS, D. On the implementation of input-feedforward delta-sigma modulators. *IEEE Transactions on Circuits and Systems II: Express Briefs*, v. 53, n. 6, p. 453–457, 2006. Citado na página 17.
- GIRARDI, A. G.; COMPASSI-SEVERO, L.; AGUIRRE, P. C. C. D. Design Techniques for Ultra-Low Voltage Analog Circuits Using CMOS Characteristic Curves: A practical tutorial. *Journal of Integrated Circuits and Systems*, Brazilian Microelectronics Society, v. 17, 5 2022. ISSN 18720234. Citado na página 85.
- GONEN, B. et al. A Continuous-Time Zoom ADC for Low-Power Audio Applications. *IEEE Journal of Solid-State Circuits*, IEEE, v. 55, n. 4, p. 1023–1031, 2020. ISSN 1558173X. Citado na página 17.
- HAYKIN, S. *An introduction to analog and digital communication* /. [S.l.]: John Wiley Sons, 1989. Citado na página 21.
- JOHNS, A. D.; MARTINS, K. *Analog Integrated Circuit Design*. [S.l.]: John Wiley and sons, 1997. Citado 2 vezes nas páginas 21 e 22.

- KARGARAN, E.; MANSTRETTA, D.; CASTELLO, R. Design considerations for a sub-mw receiver front-end for internet-of-things. *IEEE Open Journal of the Solid-State Circuits Society*, v. 1, p. 37–52, 2021. Citado na página 17.
- KAZUNO, M. et al. A study on the snr in higher nyquist zone of 1-bit low-pass delta-sigma rz-dac. In: *2017 IEEE Asia Pacific Microwave Conference (APMC)*. [S.l.: s.n.], 2017. p. 918–921. Citado na página 29.
- Koppula, R. M. R.; Balagopal, S.; Saxena, V. Multi-bit continuous-time delta-sigma modulator for audio application. In: *2012 IEEE Workshop on Microelectronics and Electron Devices*. [S.l.: s.n.], 2012. p. 1–5. Citado na página 26.
- Korotkov A.S., P. M. M. D. Delta-sigma modulator with a 50-mhz sampling rate implemented in 0.18-um cmos technology. *Russian microelectronics*, v. 39, n. 3, p. 210–219, 2010. Citado na página 17.
- KOZLOV, A. S.; PILIPKO, M. M. A second-order sigma-delta modulator with a hybrid topology in 180nm cmos. In: *2020 IEEE Conference of Russian Young Researchers in Electrical and Electronic Engineering (EIConRus)*. [S.l.: s.n.], 2020. p. 144–146. Citado na página 17.
- LEE, S. et al. A 0.6-V 86.5 dB-DR 40 kHz-BW Inverter-Based Continuous-Time Delta-Sigma Modulator with PVT-Robust Body-Biasing. *IEEE Solid-State Circuits Letters*, IEEE, v. 4, p. 178–181, 2021. ISSN 25739603. Citado 5 vezes nas páginas 17, 27, 28, 82 e 91.
- LEOW, Y. H. et al. A circuit based behavioral modeling of continuous-time sigma delta modulators. In: *Proceedings of the 2009 12th International Symposium on Integrated Circuits*. [S.l.: s.n.], 2009. p. 109–112. Citado na página 29.
- Luo, H. et al. A 0.8-v 230- μ w 98-db dr inverter-based $\sigma\delta$ modulator for audio applications. *IEEE Journal of Solid-State Circuits*, v. 48, n. 10, p. 2430–2441, 2013. Citado 2 vezes nas páginas 26 e 28.
- LV, L. et al. A 0.4-V Gm-C proportional-integrator-based continuous-time $\Delta\Sigma$ modulator with 50-kHz BW and 74.4-dB SNDR. *IEEE Journal of Solid-State Circuits*, v. 53, n. 11, p. 3256–3267, 2018. ISSN 00189200. Citado 2 vezes nas páginas 27 e 82.
- LV, L. et al. Inverter-Based Subthreshold Amplifier Techniques and Their Application in 0.3-V $\Delta\Sigma$ -Modulators. *IEEE Journal of Solid-State Circuits*, IEEE, v. 54, n. 5, p. 1436–1445, 2019. ISSN 1558173X. Citado 3 vezes nas páginas 27, 82 e 85.
- MALCOVATI, P. *SDToolbox 2*. 2019. Disponível em: <<https://www.mathworks.com/matlabcentral/fileexchange/25811-sdtoolbox-2>>. Citado na página 34.
- MALCOVATI, P.; BASCHIROTTI, A. The evolution of integrated interfaces for MEMS microphones. *Micromachines*, v. 9, n. 7, p. 1–20, 2018. ISSN 2072666X. Citado na página 15.
- MALOBERTI, F. *Data converters*. [S.l.]: Dordrecht, 2007. Citado na página 23.
- MATSUKAWA, K. et al. A Fifth-Order Continuous-Time Delta-Sigma Modulator With Single-Opamp Resonator. *IEEE Journal of Solid-State Circuits*, v. 45, n. 4, p. 697–706, 2010. Citado na página 76.

- MOHAMED, A.; SAKR, A.; ANDERS, J. FIR Feedback in Continuous- Time Incremental Sigma-Delta ADCs. In: *2019 17th IEEE International New Circuits and Systems Conference (NEWCAS)*. [S.l.: s.n.], 2019. p. 1–4. Citado na página 63.
- NEVES, R. da C. *Análise de Desempenho de um Modulador Analógico-Digital Sigma-Delta implementado em FPAA*. 2011. Monografia (Bacharel em Engenharia Elétrica), UNIPAMPA (Universidade Federal do Pampa), Alegrete, Brasil. Citado 2 vezes nas páginas 15 e 17.
- OLIAEI, O. Design of continuous-time sigma-delta modulators with arbitrary feedback waveform. *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, v. 50, n. 8, p. 437–444, 2003. Citado na página 30.
- ORTMANN, M. Wideband and Low-Power Delta-Sigma ADCs: State of the Art, Trends and Implementation Examples. *ESSCIRC 2021 - IEEE 47th European Solid State Circuits Conference, Proceedings, IEEE*, p. 28–35, 2021. Citado 3 vezes nas páginas 15, 82 e 83.
- ORTMANN, M.; GERFERS, F. *Continuous-time sigma-delta AD conversion: fundamentals, performance limits and robust implementations*. [S.l.]: Springer, 2006. Citado 9 vezes nas páginas 24, 25, 30, 35, 36, 45, 46, 48 e 65.
- PAVAN RICHARD SCHREIER, G. C. T. S. *UNDERSTANDING DELTA-SIGMA DATA CONVERTERS*. [S.l.]: IEEE Press, 2017. Citado 7 vezes nas páginas 15, 30, 63, 65, 66, 67 e 68.
- Pavan, S.; Schreier, R.; Temes, G. C. *Understanding delta-sigma data converters second edition*. New York, NY: Wiley, 2017. Citado 6 vezes nas páginas 15, 20, 23, 25, 30 e 45.
- PELGROM, M. *Analog-to-Digital Conversion*. [S.l.]: Springer, 2017. Citado na página 15.
- PUN, K.-p.; CHATTERJEE, S.; KINGET, P. R. Delta-Sigma Modulator With a Return-to-Open DAC. *IEEE Journal of Solid-State Circuits (JSSC)*, v. 42, n. 3, p. 496–507, 2007. ISSN 0018-9200. Citado 4 vezes nas páginas 15, 26, 28 e 91.
- QURESHI, W. A. et al. An Incremental- $\Delta\Sigma$ ADC With 106-dB DR for Reconfigurable Class-D Audio Amplifiers. *IEEE Transactions on Circuits and Systems II: Express Briefs, IEEE*, v. 69, n. 3, p. 929–933, 2021. ISSN 1549-7747. Citado na página 17.
- RABAEY, J. *Digital Integrated Circuits: A Design Perspective*. Prentice Hall, 1996. (Prentice Hall electronics and VLSI series). ISBN 9780131786097. Disponível em: <<https://books.google.com.br/books?id=VSpVPgAACAAJ>>. Citado na página 78.
- Rabii, S.; Wooley, B. A. A 1.8-v digital-audio sigma-delta modulator in 0.8- μm CMOS. *IEEE Journal of Solid-State Circuits*, v. 32, n. 6, p. 783–796, 1997. Citado na página 25.
- RAZAVI, B. The strongarm latch [a circuit for all seasons]. *IEEE Solid-State Circuits Magazine*, v. 7, n. 2, p. 12–17, 2015. Citado na página 77.
- RAZAVI, B. *Design of Analog CMOS integrated circuits, Second edition*. [S.l.]: McGraw Hill, 2016. Citado 2 vezes nas páginas 45 e 83.
- ROSA, J. D. L.; RIO, R. D. *CMOS sigma-delta converters*. [S.l.]: Wiley-IEEE Press, 2013. Citado na página 25.

- ROSA, J. M. D. L. Sigma-delta modulators: Tutorial overview, design guide, and state-of-the-art survey. *IEEE Transactions on Circuits and Systems I: Regular Papers*, v. 58, n. 1, p. 1–21, 2011. Citado 2 vezes nas páginas 20 e 22.
- ROSA, J. M. de la. AI-Managed Cognitive Radio Digitizers. *IEEE Circuits and Systems Magazine*, v. 22, n. 1, p. 10–39, 2022. ISSN 1531-636X. Citado na página 15.
- SANT, L. et al. A 130dB SPL 72dB SNR MEMS microphone using a sealed-dual membrane transducer and a power-scaling read-out ASIC. *IEEE Sensors Journal*, XX, n. XX, p. 1–1, 2022. ISSN 1530-437X. Citado na página 28.
- SCHREIER, R. *Delta-Sigma toolbox*. 2022. Disponível em: <<https://www.mathworks.com/matlabcentral/fileexchange/19-delta-sigma-toolbox>>. Citado na página 30.
- SILVA, J. *Wideband low-distortion delta-sigma ADC topology*. [S.l.]: Eletronic letters, June 2001. Citado na página 25.
- Silva U. Moon, J. S. J.; Temes, G. C. Wideband low distortion delta-sigma adc topology. *Electronics Letters*, v. 37, n. 12, p. 737–738, 2001. Citado na página 17.
- SOARES, A. W. A. *Análise e Projeto de um Conversor A/D Sigma Delta Incremental Multicanal de 4ª Ordem*. 2018. Tese (Doutor em Ciências), UFRN (Universidade Federal do Rio Grande do Norte), Natal, Brasil. Citado na página 15.
- SUKUMARAN, A.; PAVAN, S. Low Power Design Techniques for Single-Bit Audio Continuous-Time Delta Sigma ADCs Using FIR Feedback. *IEEE Journal of Solid-State Circuits*, v. 49, n. 11, p. 2515–2525, 2014. Citado na página 63.
- THANDRI, B.; SILVA-MARTINEZ, J. A robust feedforward compensation scheme for multistage operational transconductance amplifiers with no Miller capacitors. *IEEE Journal of Solid-State Circuits*, v. 38, n. 2, p. 237–243, 2003. Citado na página 84.
- TIEW, K.-T.; CHEN, Y. Dac compensation for continuous-time delta-sigma modulators. In: *2005 IEEE International Symposium on Circuits and Systems (ISCAS)*. [S.l.: s.n.], 2005. p. 3680–3683 Vol. 4. Citado na página 29.
- Walden, R. H. Analog-to-digital converter survey and analysis. *IEEE Journal on Selected Areas in Communications*, v. 17, n. 4, p. 539–550, 1999. Citado na página 25.
- YANG, Z. et al. Modulator for Audio Applications. *Jssc*, v. 47, n. 3, p. 722–735, 2012. Citado na página 28.
- YOU, F.; EMBABI, S.; SANCHEZ-SINENCIO, E. A multistage amplifier topology with nested gm-c compensation for low-voltage application. In: *1997 IEEE International Solids-State Circuits Conference. Digest of Technical Papers*. [S.l.: s.n.], 1997. p. 348–349. Citado na página 84.
- ZHANG, J. et al. A 0.6-V 82-dB 28.6- μ W Continuous-Time Audio Delta-Sigma Modulator. *IEEE Journal of Solid-State Circuits*, v. 46, n. 10, p. 2326–2335, oct 2011. ISSN 0018-9200. Disponível em: <<http://ieeexplore.ieee.org/document/5963736/>>. Citado 3 vezes nas páginas 26, 28 e 91.

Zhang, J. et al. A 1-v 42.6-w 1.5-bit continuous-time delta-sigma modulator for audio applications. In: *2010 Asia Pacific Conference on Postgraduate Research in Microelectronics and Electronics (PrimeAsia)*. [S.l.: s.n.], 2010. p. 73–76. Citado 2 vezes nas páginas 16 e 26.