

UNIVERSIDADE FEDERAL DO PAMPA

Ramon Henrique Vieira

**Projeto de um ADC flash de 3 bits do tipo *rail-to-rail* completamente diferencial
para aplicações de baixa tensão**

Alegrete

2022

Ramon Henrique Vieira

**Projeto de um ADC flash de 3 bits do tipo *rail-to-rail*
completamente diferencial para aplicações de baixa
tensão**

Trabalho de Conclusão de Curso apresentado ao Curso de Engenharia de Telecomunicações da Universidade Federal do Pampa, como requisito parcial para obtenção do Título de Bacharel em Engenharia de Telecomunicações.

Área de concentração: microeletrônica

RAMON HENRIQUE VIEIRA

**PROJETO DE UM ADC FLASH DE 3 BITS DO TIPO RAIL-TO-RAIL COMPLETAMENTE
DIFERENCIAL PARA APLICAÇÕES DE BAIXA TENSÃO**

Trabalho de Conclusão de Curso apresentado ao Curso de Engenharia de Telecomunicações da Universidade Federal do Pampa, como requisito parcial para obtenção do Título de Bacharel em Engenharia de Telecomunicações.

Trabalho de Conclusão de Curso defendido e aprovado em: 17 de Março de 2022.

Banca examinadora:

Prof. Dr. Paulo César Comassetto de Aguirre

Orientador

UNIPAMPA

Prof. Dr. Alessandro Gonçalves Girardi

UNIPAMPA

Prof. Dr. Lucas Compassi Severo

UNIPAMPA



Assinado eletronicamente por **ALESSANDRO GONCALVES GIRARDI, PROFESSOR DO MAGISTERIO SUPERIOR**, em 17/03/2022, às 20:09, conforme horário oficial de Brasília, de acordo com as normativas legais aplicáveis.



Assinado eletronicamente por **LUCAS COMPASSI SEVERO, PROFESSOR DO MAGISTERIO SUPERIOR**, em 17/03/2022, às 20:12, conforme horário oficial de Brasília, de acordo com as normativas legais aplicáveis.



Assinado eletronicamente por **PAULO CESAR COMASSETTO DE AGUIRRE, PROFESSOR DO MAGISTERIO SUPERIOR**, em 18/03/2022, às 11:17, conforme horário oficial de Brasília, de acordo com as normativas legais aplicáveis.



A autenticidade deste documento pode ser conferida no site https://sei.unipampa.edu.br/sei/controlador_externo.php?acao=documento_conferir&id_orgao_acesso_externo=0, informando o código verificador **0752339** e o código CRC **B836AFEA**.

Universidade Federal do Pampa, Campus Alegrete
Av. Tiarajú, 810 – Bairro: Ibirapuitã – Alegrete – RS CEP: 97.546-550
Telefone: (55) 3422-8400

Ficha catalográfica elaborada automaticamente com os dados fornecidos
pelo(a) autor(a) através do Módulo de Biblioteca do
Sistema GURI (Gestão Unificada de Recursos Institucionais) .

V175p VIEIRA, RAMON HENRIQUE

Projeto de um ADC flash de 3 bits do tipo rail-to-rail
completamente diferencial para aplicações de baixa tensão /
RAMON HENRIQUE VIEIRA.

86 p.

Trabalho de Conclusão de Curso(Graduação)-- Universidade
Federal do Pampa, ENGENHARIA DE TELECOMUNICAÇÕES, 2022.

"Orientação: Paulo César Comassetto de Aguirre".

1. ADC Flash. 2. Baixa Tensão. 3. Microeletrônica. 4. Rail-
to-Rail. I. Título.

AGRADECIMENTOS

Os agradecimentos deste trabalho são direcionados a todos que de alguma forma puderam dar sua contribuição, seja com materiais, seja com boa energia. Obrigado ao Professor Lucas Severo por ter me iniciado no grupo de pesquisa GAMA. Meu sincero agradecimento ao Professor Paulo César Comassetto de Aguirre por ter aceitado o convite de ser meu orientador e por todas as vezes que de prontidão sanou minhas dúvidas. Obrigado à colega Edivânia Ferreira Silva e ao colega Mateus Cortez por ter me ajudado com os decodificadores. Obrigado a empresa Chipus Microelectronics por ter me dado a oportunidade de fazer o curso profissionalizante de leiaute (me ajudou muito neste trabalho). Um especial obrigado a minha irmã, minha mãe, meus tios, tias, primos e amigos que me mantiveram motivado durante essa jornada.

RESUMO

Circuitos integrados de baixa potência e baixa tensão de alimentação estão sendo cada vez mais empregados na indústria eletrônica. A redução da tensão de alimentação impacta na excursão dos sinais de entrada e saída, deste modo busca-se o desenvolvimento de circuitos com entrada *rail-to-rail*. Conversores analógico-digitais (ADCs) são blocos chave na construção de dispositivos que vão desde o condicionamento de sinais de baixa frequência até a quantização em receptores low-IF e zero-IF tradicionais. Este trabalho apresenta o projeto de ADCs Flash para aplicações de baixa tensão. Para a construção de um ADC do tipo flash, tema deste trabalho, são necessários projetar divisores de tensão, comparadores e decodificadores. Este trabalho está dividido em duas partes: A primeira diz respeito à utilização de comparadores *Single-Ended* e do decodificador Wallace-Tree na construção do protótipo 1 com tensão de alimentação igual a 0,6 V. A segunda diz respeito a utilização de comparadores com entrada completamente diferencial, no qual foi possível reduzir a tensão de alimentação para 0,5 V, e a utilização do decodificador baseado em Mux. Em ambos os casos este trabalho apresenta os resultados de simulação obtidos com para os dois protótipos, sendo ambos com capacidade de entrada *rail-to-rail*. Para que os circuitos funcionem em baixas tensões, duas topologias de comparadores foram utilizadas, um com entrada NMOS (*Double-tail*) e outro com entrada PMOS (*Dynamic-latch*). O circuito foi projetado em um processo CMOS de 180 nm e frequência de amostragem de 38,192 MHz no protótipo 1 e 20 MHz no protótipo 2. O consumo de potência do protótipo 1 é de 19,97 μW enquanto o consumo de potência do protótipo 2 é 60,6 μW em nível de esquemático e 67,75 μW em nível de leiaute.

Palavras-chave: Conversor Analógico Digital, Flash ADC, Baixa Tensão, Baixo consumo de Potência, Projeto Analógico, Projeto de Leiaute, *Double-tail comparator*, *Dynamic-latch comparator*, Decodificador baseado em MUX e decodificador Wallace tree decoder.

ABSTRACT

Low-voltage and low-power integrated circuits are being used more by the electronic industry. The reduction of the power supply voltage impacts the excursion of input and output signals. Thus, the development of electronics circuits with rail-to-rail input capability is desired. Analog-to-digital converters (ADCs) are key blocks in many devices, from low-frequency signal acquisition applications to the quantization in low-IF and zero-IF receivers. This work presents the design of Flash ADCs for low-voltage applications. To design a Flash ADC it is necessary to design a resistive voltage divider ladder, comparators, and a binary-to-thermometer decoder. This work is divided em two parts: initially, prototype 01 is presented. It is powered by a 0.6-V power supply and is composed of single-ended comparators and a Wallace-Tree decoder. The second part of this work presents prototype 02, which works for a 0.5-V power supply and is composed of fully-differential comparators and a mux-based decoder. The Flash ADCs designed in this work have rail-to-rail input capability and the simulation results of both ADCs are presented. Two CMOS comparator topologies are used in the ADCs to allow low-voltage operation: A Double-Tail comparator with NMOS input pair transistors and a Dynamic-Latch comparator with PMOS input pair. The circuits are designed in a 180-nm CMOS process with a sampling frequency of 38,192 MHz in prototype 01 and 20 MHz in prototype 02. The power consumption of prototype 01 is $19.97 \mu\text{W}$ while the total power consumption of prototype 02 is $60.6 \mu\text{W}$ at schematic-level simulations and $67.75\mu\text{W}$ at post-layout simulations.

Keywords: Analog-to-digital Converters, Flash ADC, Low Voltage, Low Power, Analog Design, Layout Design, Double-tail comparator, Dynamic-latch comparator, mux-based-decoder, Wallace-tree-decoder.

LISTA DE ILUSTRAÇÕES

Figura 1 – Transmissão e recepção de um sinal	29
Figura 2 – Receptor Homódino	30
Figura 3 – Receptor Heteródino	30
Figura 4 – Transistores do tipo NMOS e do tipo PMOS	31
Figura 5 – Sinal Contínuo no tempo	32
Figura 6 – Sinal em tempo Discreto	33
Figura 7 – Conversor analógico-digital	33
Figura 8 – <i>Sample-and-Hold</i>	34
Figura 9 – ADC Sigma-Delta	36
Figura 10 – ADC SAR	36
Figura 11 – ADC do tipo Integrador	37
Figura 12 – ADC Flash	38
Figura 13 – Comparador	44
Figura 14 – Comparador com amplificação <i>Straight-forward</i>	45
Figura 15 – Comparador com amplificador com histerese	45
Figura 16 – Comparador com amplificador regenerativo	46
Figura 17 – <i>Latch</i>	47
Figura 18 – Comparador com entrada Completamente Diferencial	49
Figura 19 – Bloco Front-end de um receptor GNSS	50
Figura 20 – Topologia do ADC Flash	54
Figura 21 – Comparador com entrada NMOS do tipo Double-tail	56
Figura 22 – <i>Offset</i> do comparador <i>Double-tail</i> . Simulação de Monte Carlo - 200 rodadas	57
Figura 23 – Comparador com entrada PMOS do tipo <i>dynamic latch</i>	58
Figura 24 – <i>Offset</i> do comparador <i>dynamic latch</i> . Simulação de Monte Carlo - 200 rodadas	60
Figura 25 – Wallace Tree Decoder	61
Figura 26 – <i>Full-Adder</i>	61
Figura 27 – Sinal de Entrada e sua representação digital	62
Figura 28 – 1024-pontos FFT da saída do ADC com sinal de entrada <i>full-scale</i> de 1,902140625 MHz	63
Figura 29 – Esquemático do ADC Flash	66
Figura 30 – Esquemático Simplificado do ADC Flash com única rede resistiva	67
Figura 31 – Leiaute da rede resistiva	68
Figura 32 – Comparador <i>Double-tail</i> com entrada Completamente diferencial	69
Figura 33 – Monte Carlo - Esquemático	71
Figura 34 – Monte Carlo - Leiaute	72

Figura 35 – Leiaute do Comparador <i>Double-tail</i> com pares de entrada completamente diferenciais	73
Figura 36 – Comparador <i>Dynamic-latch</i> com entrada Completamente diferencial . .	74
Figura 37 – Monte Carlo - Esquemático	74
Figura 38 – Leiaute do Comparador <i>Dynamic-latch</i>	76
Figura 39 – Monte Carlo - Leiaute	76
Figura 40 – Esquemático do Decodificador do tipo MUX 2:1	77
Figura 41 – Estrutura interna do MUX	77
Figura 42 – Leiaute do ADC Flash	78
Figura 43 – Sinal de entrada e sua representação digital	79
Figura 44 – Espectro de saída do ADC para um sinal de entrada com amplitude <i>full-scale</i> e frequência de 498,046875 kHz. Simulação em nível de esquemático e FFT de 2048 pontos.	80
Figura 45 – Sinal de entrada e sua representação digital	80
Figura 46 – Espectro de saída do ADC para um sinal de entrada com amplitude <i>full-scale</i> e frequência de 498,046875 kHz. Simulação pós-leiaute e FFT de 2048 pontos.	81

LISTA DE TABELAS

Tabela 1 – Tabela com as dimensões dos transistores do comparador <i>Double-tail</i> .	56
Tabela 2 – Tabela com as dimensões dos transistores do comparador dinâmico convencional	59
Tabela 3 – Resultados de simulação do ADC Flash	63
Tabela 4 – Dimensão dos transistores e quantidade de <i>multiplier</i> do comparador <i>Double-tail</i>	70
Tabela 5 – Grupos referentes aos blocos	72
Tabela 6 – Dimensão e <i>sizing</i> dos transistores	75
Tabela 7 – Grupos referentes aos blocos	75
Tabela 8 – Consumo de energia dos comparadores e rede resistiva, e tensão de offset de entrada dos comparadores.	81
Tabela 9 – Sumário de desempenho dos ADCs Flash de 3 bits do tipo <i>rail-to-rail</i> projetados neste trabalho.	82
Tabela 10 – Comparação de desempenho do protótipo 02 (simulação pós-leiaute) com outros ADCs Flash presentes na literatura	82

LISTA DE ABREVIATURAS E SIGLAS

ADC - Conversor Analógico-Digital

DAC - Conversor Digital-Analógico

SoC - *Systems-on-Chip*

IoT - Internet das coisas

RF - Radio Frequência

CI - Circuitos integrados

IF - Frequência Intermediária

PWM - Modulação por largura de pulso

SAR - Registradores de Aproximações Sucessivas

LNA - Amplificador de baixo ruído

SNR - Relação sinal ruído

SNDR - Relação sinal ruído e distorção

SFDR - Faixa dinâmica livre de espúrios

TSMC - *Taiwan Semiconductor Manufacturing Company*

CMOS - *Complementary metal-oxide-semiconductor*

GNSS - Sistemas de satélites para navegação global

EM - Eletromagnética

LO - Oscilador Local

dB - Decibel

S/H - *sample and hold*

OS - *Over Sampling*

AD - Analógico-Digital

VLSI - *Very Large Scale Integration*

CI - Circuito Integrado

CMOS - Complementary metal-oxide-semiconductor

ENOB - Número Efetivo de Bits

FFT - Transformada Rápida de Fourier

MOSFET - Transistor de Efeito de Campo de Óxido de Metal e Silício

THD - Distorção Harmônica Total

BW - Largura de Banda

DR - Faixa dinâmica

T - Temperatura

LSB - Bit menos significativo

MSB - Bit mais significativo

N - Número de bits

R - Resistor

P - Potência

g_m - Transcondutância

LISTA DE SÍMBOLOS

δ	Derivada
Δ	Intervalo de Quantização
π	Constante Pi
τ	Constante de tempo
exp	Exponencial
κ	Constante de Boltzmann
α	Constante

SUMÁRIO

1	INTRODUÇÃO	25
1.1	Motivação	27
1.2	Objetivos do trabalho	27
1.3	Organização do Trabalho	28
2	REVISÃO BIBLIOGRÁFICA	29
2.1	Sistemas	29
2.2	Transistores-MOS	31
2.3	Sinais	32
2.3.1	Teoria da Amostragem	34
2.3.2	<i>Circuito Sample-and-Hold (S/H)</i>	34
2.3.3	Quantização	35
2.4	Topologias de ADC	35
2.4.1	ADC Sigma-Delta	35
2.4.2	ADCs SAR	36
2.4.3	ADC do tipo Integrador	37
2.4.4	ADC Flash (ou paralelo)	38
2.5	Parâmetros de caracterização de ADCs	39
2.5.1	Características Estáticas	39
2.5.1.1	<i>Offset</i>	39
2.5.1.2	Linearidade	40
2.5.2	Características Dinâmicas	40
2.5.2.1	Transformada Rápida de Fourier (FFT)	41
2.5.2.2	SNR, SNDR, ENOB e DR	41
2.5.2.3	Distorção Harmônica	43
2.6	Comparadores	44
2.6.1	Pré-amplificador	46
2.6.2	<i>Latch</i>	47
2.6.3	Parâmetros de caracterização dos comparadores	47
2.6.3.1	<i>Metastability</i>	47
2.6.3.2	Acurácia	48
2.6.3.3	<i>kick-back noise</i>	48
2.6.3.4	Histerese	48
2.7	Comparadores com entrada Completamente diferencial	48
2.8	Exemplo de Aplicação de ADCs: Receptor para GNSS	49
3	ADCS FLASH DE 3-BITS RAIL-TO-RAIL	53
3.1	Rede de Resistores	53

3.2	Comparadores	54
3.2.1	Double-Tail	55
3.2.2	Comparador Dinâmico <i>Latch</i>	57
3.3	Decodificador	59
3.3.1	Projeto do decodificador <i>Wallace Tree</i>	61
3.3.2	Resultados de Simulação em Esquemático	62
4	ADCS FLASH DE 3-BITS <i>RAIL-TO-RAIL</i> COMPLETAMENTE DIFERENCIAL	65
4.1	Rede resistiva	67
4.2	Comparador <i>Double-tail</i>	68
4.2.1	Leiaute	70
4.3	Comparador <i>Dynamic-latch</i>	72
4.3.1	Leiaute	75
4.4	Decodificador do Tipo <i>Based-mux 2:1</i>	76
4.5	Leiaute do ADC Flash	78
4.6	Resultados de Simulação em Esquemático	79
4.6.1	Simulação Pós-leiaute	79
5	CONCLUSÕES	83
5.1	Trabalhos futuros	83
	REFERÊNCIAS	85

1 INTRODUÇÃO

A evolução da microeletrônica tem feito com que a indústria avance no desenvolvimento de dispositivos Eletrônicos. Contudo, novas funcionalidades vão surgindo com o avanço da tecnologia e novas funções são incorporadas a esta mudança. A partir disto, novas concepções de equipamentos são desenvolvidas a medida que novas descobertas são feitas (RODRIGUES, 2011).

Tal avanço propiciou uma gama enorme de aplicações na área da microeletrônica, dentro do qual os oito principais estão listados abaixo, tendo como base o que é proposto em (SEITZER, 1984) e acrescida de uma atualização por parte do autor:

1. Setor de escritório: Processamento de dados e textos, secretária eletrônica, e-mail, computadores pessoais, *tablets*, calculadoras, etc;
2. Setor Industrial: Controle de processos, Controle de máquinas, segurança, instrumentação, robótica, construção, etc;
3. Meio-ambiente, Energia e segurança: Sistemas de energia solar, controle de temperatura, identificação pessoal, cartão eletrônico, etc;
4. Automóvel e tráfico: Sistema de direção autônoma, freios anti-impacto, radares, telas, computador de bordo, semáforos inteligentes, etc;
5. Setor de Entretenimento: Televisão Digital, *streaming* de vídeos em tempo real, controles remoto, jogos, etc;
6. Medicina: Tomografia computadorizada, encéfalo cardiograma, termômetro digital, paciente remotamente assistido, marca-passo cardíaco, etc;
7. Comunicação: TV a cabo, *smartphones*, páginas pessoais, sistemas de telefonia, sistemas de fibra ótica, copiadora de uso remoto, GPS, repetidores;
8. Residencial e produtos: refrigeradores, máquina de lavar, *home computers*;

Em telecomunicações, a microeletrônica tem colaborado com o aumento vertiginoso da quantidade de dados que trafegam via Internet, graças a popularização dos *smartphones*, computadores pessoais, *tablets* e também às mudanças nos protocolos de comunicação, cuja capacidade de transmissão de dados vem aumentando.

A capacidade de processamento de dados também tem incrementado ano após ano devido o avanço tecnológico das últimas décadas. Neste meio destaca-se a lei de Moore (MOORE, 1979). Isto significa que, por exemplo, a cada dois anos a quantidade de transistores dobra dentro de uma mesma área de silício e novas possibilidades veem a surgir a partir disto, tal como o aumento da capacidade de processamento de dados.

No entanto, ainda de acordo com o químico Gordon Earle Moore, os custos de viabilizar o processo de maximização do aproveitamento de área, quando se diminui o tamanho

do transistor, também tem dobrado a cada dois anos. Como forma de manter esta indústria a continuar seu avanço, os chips passaram a ter integrado vários sistemas, denominado de *Systems-on-Chip* (SoCs) com a finalidade de distribuir o custo de produção de acordo com a área utilizada.

Portanto, um chip pode ter sistemas com funções digitais, analógicas, mistas e, muitas vezes, de radiofrequência (RF). Uma típica aplicação é na área de sistemas embarcados.

Além disto, é importante que os sistemas inseridos nos circuitos integrados (CIs) sejam de baixo custo, baixo ruído e, principalmente, com baixo consumo de energia. Normalmente os chips equipam dispositivos que requerem o uso de baterias e, portanto, deve ser energeticamente eficiente.

Receptores de RF são compostos por diferentes blocos, tais como amplificadores de baixo ruído (LNAs), misturadores, osciladores, filtros amplificadores de ganho programável e ADCs.

Sistemas com comunicação sem fio, tais como os mencionados no item 8, normalmente empregam receptores com diferentes frequências intermediárias (IF), sendo eles do tipo low-IF ou zero-IF. Estes receptores requerem, para diferentes protocolos de comunicação, um conversor analógico-digital para a digitalização dos sinais recebidos, e posterior demodulação no domínio digital.

Não se sabe ao certo quando o primeiro ADC surgiu. No entanto, Alec Harley Reeves foi o inventor que teve o primeiro protótipo de um ADC registrador (KESTER, 2004).

Conversores analógico-digitais de modo geral são parametrizados quanto a sua velocidade de conversão e resolução. As principais topologias de ADCs são: Registradores de Aproximações Sucessivas (SAR), Pipeline, Integrador de dupla rampa, Sigma-Delta, e o Flash. Existem também os ADC's híbridos, que unem mais de uma topologia a fim de obter melhores parâmetros (MALOBERTI, 2011), (BAKER HARRY W. LI, 2003), (PELGROM, 2017).

Este trabalho apresenta o estudo e projeto de um ADC flash completamente diferencial com entrada rail-to-rail com tensão de alimentação (V_{dd}) de 0.5 Volts e resolução de 3 bits. A frequência de amostragem (*clock*) deste protótipo é de 20MHz.

Efetou-se o projeto do ADC em nível de esquemático elétrico e de leiaute, sendo o ADC completamente caracterizado. Os parâmetros avaliados e que atestam a qualidade e funcionamento do protótipo são: Relação sinal-ruído (SNR), relação sinal-ruído-e-distorção (SNDR), faixa livre de espúrios (SFDR), número efetivo de bits (ENOB) através da transformada rápida de Fourier e *offset* através da simulação de Monte Carlo. Estes parâmetros foram medidos a nível de esquemático e pós-leiaute.

O circuito foi desenvolvido em tecnologia CMOS de 180 nm da Taiwan Semiconductor Manufacturing Company (TSMC) usando a suite Virtuoso® da Cadence e o

simulador Spectre.

1.1 MOTIVAÇÃO

Conversores analógico-digitais são circuitos eletrônicos essenciais e de vasta aplicação na eletrônica moderna. Eles estão presentes em sistemas de instrumentação e comunicação, como dispositivos de eletrônica de consumo e automóveis. A crescente demanda de tráfego digital aliado a dispositivos que cada vez consomem menos energia, gera constantes mudanças nos sistemas eletrônicos, tornando dinâmica e competitiva a corrida industrial para o desenvolvimento de dispositivos eficientes.

Uma vertente de comunicação móvel que vem ganhando espaço no cenário atual é a utilização de satélites utilizados como *Hub* para comunicação sem fio. A China vem ganhando destaque com investimentos maciços em sua própria constelação de satélites. Além da China, a empresa de Elon Musk, a Starlink, pretende lançar em órbita 17 mil satélites que fará chegar a comunicação em áreas rurais ou isoladas do planeta qual alta qualidade de transmissão de dados (STARLINK, 2021).

Atualmente existem diferentes sistemas de satélites para navegação global (GNSS): GPS, Galileu, Glonass e Beidu. Receptores para tais sistemas de GNSS utilizam ADCs de baixa resolução (RIVELA et al., 2011a). Deste modo, este trabalho aborda o projeto de um ADC flash para sistemas GNSS.

ADCs flash são usados em aplicações de baixa resolução e elevada velocidade de conversão, ou como sub-blocos de de outras topologias de ADC. Assim, este trabalho visa o estudo e implementação de um ADC flash completamente diferencial.

ADCs Flash requerem $2^N - 1$ comparadores em sua estrutura. Com isso, foi possível pesquisar diferentes topologias de comparadores e viabilizar o que melhor se encaixa ao projeto, levando em consideração, essencialmente, a capacidade do mesmo de funcionar em baixas tensões.

Por fim, a realização de testes e simulações contribuiu para que várias disciplinas do curso de Engenharia de Telecomunicações, sobretudo na área de eletrônica, fossem aproveitadas.

1.2 OBJETIVOS DO TRABALHO

O objetivo deste trabalho é a construção de um ADC Flash com resolução de 3 bits alimentado a uma tensão sub-1 volt. Este trabalho engloba:

- Dimensionamento do divisor de tensão, quanto a minimização do consumo de potência e baixo ruído.
- Escolha do comparador adequado ao projeto, que contemple o sinal de entrada *full-scale*.

- Escolha de um decodificador adequado, que faça transições rápidas o bastante e que possua baixo consumo de potência.
- Simulação dos resultados em nível de esquemático.
- Construção do circuito em nível de leiaute.
- Extração dos resultados de simulação do leiaute.
- Fabricação do ADC para posterior caracterização.

1.3 ORGANIZAÇÃO DO TRABALHO

Este trabalho está dividido em cinco Capítulos. O Capítulo 2 apresenta a revisão bibliográfica sobre o tema. O capítulo 3 apresenta o projeto de um ADC Flash *rail-to-rail* de 3 bits *single-ended*. O capítulo 4 apresenta um ADC flash de 3-bits *rail-to-rail* completamente diferencial. Por fim, conclusões e trabalhos futuros são apresentados no Capítulo 5

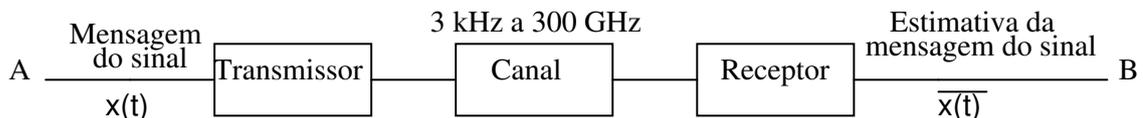
2 REVISÃO BIBLIOGRÁFICA

Nos dias de hoje, a maioria dos aparelhos eletrônicos contém algum tipo de sistema de comunicação. Isto quer dizer que para a maioria deles existem fontes de transmissão e/ou recepção de sinais analógicos. A televisão, o rádio, sistemas de internet (Wi-Fi), a telefonia celular (2G, 3G, 4G e 5G), o sistema de navegação global por satélite (GNSS), carros autônomos e IoTs são alguns dos exemplos de maior popularidade.

Para a maioria destes dispositivos, a transmissão e recepção de sinais analógicos (informação) se dá via onda eletromagnética (EM), em que é utilizado o ar como meio de propagação (canal).

Com exceção de alguns dispositivos, a maioria destes sinais precisam ser trasladados à frequências mais altas com a finalidade de diferenciar a informação uma da outra e, assim, evitar interferências de se utilizar a mesma banda. Em suma, para cada finalidade existe o seu respectivo canal de rádio frequência, compreendendo a faixa que vai desde 3 KHz até 300 GHz. A Figura 1 ilustra o caminho de um sinal saindo do ponto A ao B. O ponto A designa a fonte da informação, no qual é, resumidamente, modulada e amplificada pelo transmissor. O canal é o ar, caminho em que se propaga a onda EM até chegar ao receptor. No Receptor, o sinal analógico passa por diversos circuitos eletrônicos onde o sinal é amplificado, demodulado e processado, de modo que seja totalmente (ou parcialmente) recuperado.

Figura 1 – Transmissão e recepção de um sinal



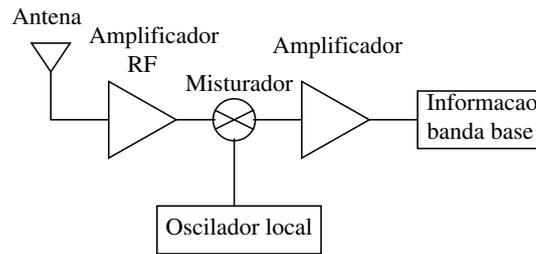
Fonte: Autor

2.1 SISTEMAS

Receptores de sinais de rádio frequência, como ilustrado pela Figura 1, têm duas arquiteturas principais: heteródinas (*hetero* significa diferente e *ódina* significa mistura) e homódinas (*homo* significa igual e *ódina* significa mix) (RAZAVI, 1997).

A arquitetura do tipo homódina (conversão direta), da Figura 2, tem a frequência do oscilador igual a frequência de RF. Deste modo, pode-se dizer que o receptor é do tipo Zero-IF, ou seja, tem frequência intermediária (IF) igual a zero hertz. Com isso, a multiplicação do sinal que chega à antena pelo sinal do oscilador local (LO) resulta no sinal já em banda-base. Esta arquitetura traz a vantagem de ser simples se comparado com a heteródina, pois utiliza apenas um oscilador. No entanto, alguns problemas desta estrutura são críticos, como, por exemplo, interferências que podem sobrepor o sinal desejado devido a ampla largura da banda base.

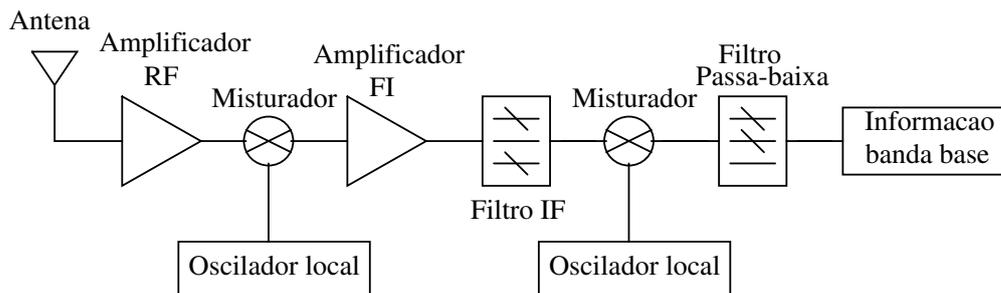
Figura 2 – Receptor Homódino



Fonte: Autor

A arquitetura do tipo heteródina, ilustrada na Figura 3, foi concebida pelo engenheiro norte-americano Edwin Howard Armstrong em 1918 durante a Primeira Guerra Mundial (??) visando rebaixar a frequência do sinal de RF recebido para uma menor, denominada frequência intermediária (IF). Com isso, possibilitou-se que o sinal recebido seja melhor equalizado (HOOD, 1998).

Figura 3 – Receptor Heteródino



Fonte: Autor

Atualmente a maioria dos aparatos eletrônicos de comunicação utiliza conversores analógico digitais, independente de qual arquitetura do receptor seja utilizada. Digitalizar sinais analógicos traz vantagens à aquisição e processamento de dados, pois este sistema é capaz de armazenar informações (dados) ao passo que possui maior precisão, exatidão e robustez a ruídos e interferências. Além disso, grande parte do projeto é feito em circuito integrado (CI), permitindo a miniaturização do dispositivo, a portabilidade e boa eficiência energética.

Circuitos integrados são blocos que desempenham funções diversas, formados por elementos já conhecidos, tais como resistores, indutores, capacitores, diodos e transistores. CI's em geral utilizam tecnologia de semicondutor de óxido metálico complementar (CMOS), componente este suficiente para gerar todos os elementos acima. Estes elementos são desenhados em uma bolacha de silício através do processo conhecido como litografia.

Ao longo das últimas décadas, o avanço processo litográfico possibilitou a miniaturização das dimensões dos elementos que compõe o CI.

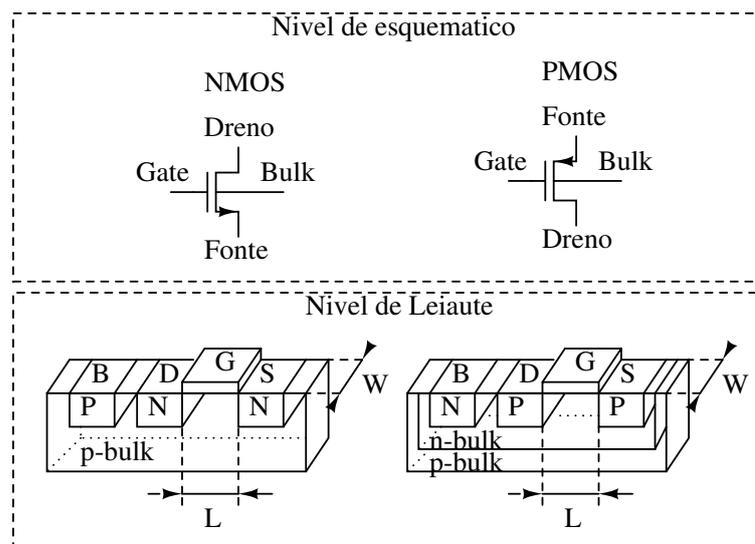
Para circuitos do tipo ADC, o elemento mais importante dentro de um CI é o MOSFET, conhecido como transistor de efeito de campo, pois este dispositivo equipa

os comparadores. A estrutura de um MOSFET contém terminais de dreno, fonte, *gate* e substrato (*bulk*). O modo como são efetuadas as conexões dos terminais do transistor, bem como ele é polarizado, determina a sua função, podendo ser, a grosso modo, amplificador de pequenos sinais, chaves ou fontes de corrente.

2.2 TRANSISTORES-MOS

Tem-se dois tipos principais de transistores de efeito de campo em tecnologias CMOS da TSMC 180n *standart cells*: NMOS e PMOS. A diferença mais significativa entre os dois, como se pode observar na Figura 4, a nível de leiaute, é que para se criar o canal P, necessita-se de um poço do tipo N para separar os terminais do substrato (que é do tipo P). No entanto, para se criar um canal do tipo N, não é preciso criar um poço, visto que o substrato é naturalmente do tipo P+.

Figura 4 – Transistores do tipo NMOS e do tipo PMOS



Fonte: Autor

A figura 4 fornece duas representações de um transistor MOS: A nível de esquemático e a nível de leiaute. O esquemático elétrico representa a conexão dos elementos em um circuito elétrico.

Possivelmente, o fluxo da maioria dos projetos são: concepção da ideia, simulações (matlab, simulink), escolha da topologia, escolha das melhores dimensões do comprimento de canal (L) e largura do canal (W), simulação em nível de esquemático, projeção do circuito em nível de leiaute, simulação e fabricação.

Na etapa de leiaute, faz-se o *placement* dos componentes e o *floorplanning* para determinar onde cada bloco vai ficar de modo que o roteamento entre os blocos seja eficiente o bastante para evitar acoplamento de parasitas resistivas e capacitivas (HASTINGS, 2005).

A principal característica do transistor MOS é a alta impedância no terminal de entrada (*Gate*). Uma tensão aplicada a este terminal cria um campo elétrico na região de depleção, permitindo que a corrente de dreno (I_D) flua. Portanto, é um dispositivo que fornece uma corrente controlada por tensão (RAZAVI, 1997).

Esta corrente é dependente linearmente de alguns parâmetros físico-químicos da estrutura de um transistor MOS, sendo eles: relação entre comprimento e largura do canal, capacitância de óxido por unidade de área (C_{ox}), mobilidade do elétron μ_N e a diferença de tensão aplicada entre dreno e fonte (RAZAVI, 1997).

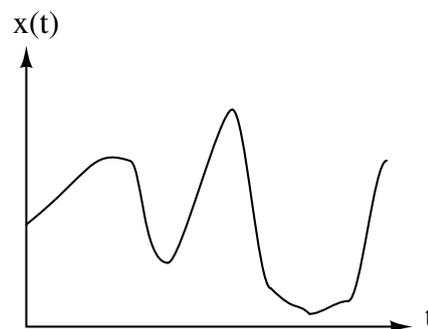
2.3 SINAIS

Os sinais, por sua vez, são pacotes de informação levados de um ponto a outro e normalmente representados por função no domínio do tempo, com unidade de medida em tensão (volts) ou potência (watts); ou no domínio da frequência, com unidade de medida em decibel (dB). Para cada tipo de sinal, existe o seu respectivo sistema capaz de tornar a informação legível ao fim a que se destina (LATHI; DING, 2009).

Em sistemas digitais, o sinal que chega ao receptor é manipulado por diversos blocos e, quando chega ao bloco responsável pela conversão analógico-digital, este sinal é amostrado e quantizado. Portanto, o sinal amostrado passa a ser discreto no tempo (HAYKIN, 2002) e antes disso, o sinal é contínuo no tempo:

1. Sinais analógicos contínuos no tempo $x(t)$, Figura 5, são funções com valores bem definidos para qualquer instante de tempo (t).

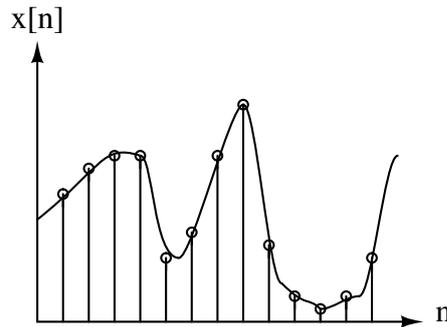
Figura 5 – Sinal Contínuo no tempo



Fonte: Autor

2. Sinais discretos no tempo $x[n]$, Figura 6 são funções que existem apenas em séries de tempo: $x[n] = x(nT_s)$ em que a variável n é um número inteiro e $x[n]$ representa a amplitude do sinal num determinado intervalo de tempo, espaçados em períodos uniformes T_s .

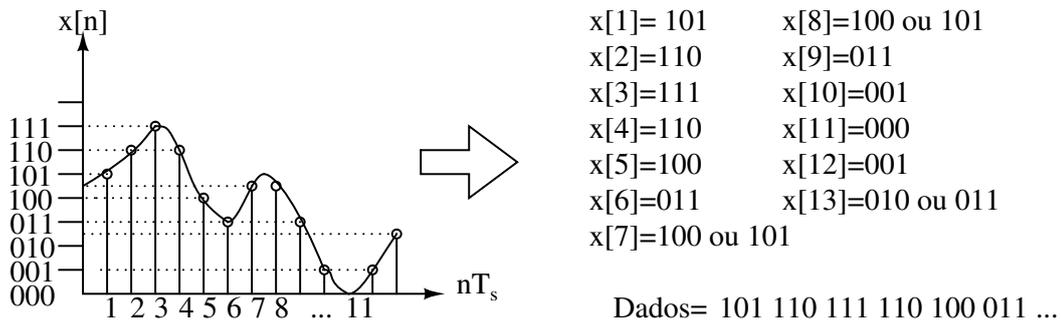
Figura 6 – Sinal em tempo Discreto



Fonte: Autor

O processo de discretizar o sinal é feito pelo circuito *sample-and-hold* (S/H) e, para torná-lo quantizado, utiliza-se o conversor analógico-digital (ADC). Portanto, os dois circuitos trabalham juntos no propósito de converter o sinal analógico em digital.

Figura 7 – Conversor analógico-digital



Fonte: Autor

A figura 7 representa o processo de conversão AD, em que o gráfico ao lado esquerdo tem, no eixo das coordenadas, os valores que o sinal V_{in} podem assumir já representado em bits. No eixo das abscissas, em cada instante nT_s o sinal V_{in} é amostrado pelo S/H. Neste exemplo, o processo de quantização indica que cada amplitude do sinal discretizado é representado por uma palavra binária com três bits de resolução. A resolução é o número de bits que cada sinal discretizado pode ser representado. Quanto maior a resolução, mais fidedigna é a representação do sinal. Em contra-partida, resoluções elevadas torna o processo de conversão lento.

Grande parte do processamento de sinais é efetuado no domínio digital, em especial a demodulação e o processamento de sinais utilizados em sistemas de comunicação sem fio. Portanto, é necessário conhecer o fim a que se destina o receptor, bem como as especificações exigidas que o ADC deve possuir para atender o propósito do projeto. A saber, frequência e largura de banda do sinal são imprescindíveis para calcular a taxa de amostragem, velocidade de conversão e resolução do ADC.

2.3.1 TEORIA DA AMOSTRAGEM

A amostragem consiste em armazenar o sinal por um breve período de tempo, podendo ser feito de duas maneiras: para sinais que utiliza corrente elétrica, o indutor é o elemento armazenador. Para sinais que utiliza tensão, o capacitor é o elemento armazenador. Em CI's não é usual utilizar indutor devido a grande área em silício requerida por indutores integrados. Em microeletrônica, capacitâncias parasitas geradas pelo transistor podem ser utilizadas para o armazenamento de tensão (PELGROM, 2017).

A frequência de amostragem é escolhida frente ao critério de Nyquist. Este critério estabelece que para não haver alias, que é a sobreposição de espectro no domínio da frequência, a frequência de amostragem deve ser, no mínimo, duas vezes maior que a largura de banda do sinal (BW).

$$f_{nyquist} \geq 2 \cdot BW \quad (2.1)$$

Algumas aplicações requerem que a frequência de amostragem seja superior a frequência de Nyquist (*oversampling*) e em outras aplicações, a frequência de amostragem pode ser inferior (*subsampling*).

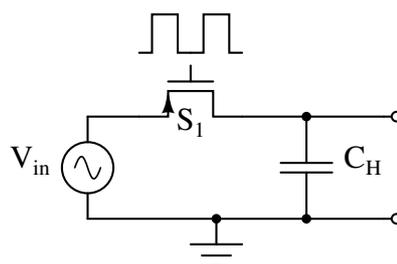
2.3.2 CIRCUITO SAMPLE-AND-HOLD (S/H)

O processo de amostragem consiste no armazenamento temporário da tensão do sinal de entrada em um capacitor. A maioria dos ADCs emprega um circuito para esta tarefa, chamado *sample-and-hold*, que é o resultado de dois circuitos *track-and-hold* conectados em cascata (série).

Este circuito torna a tensão de entrada constante para que o processo de conversão ocorra de forma estável.

O conceito fundamental é ilustrado pela topologia da Figura 8, no qual possui basicamente a fonte, uma chave S_1 e um capacitor C_H . Quando a chave S_1 está ligada, o capacitor é carregado de tal modo que sua tensão tende a ser igual a tensão de entrada V_{in} . Quando a chave S_1 é desligada, o capacitor C_H mantém a tensão V_{in} durante a conversão AD (PELGROM, 2017).

Figura 8 – *Sample-and-Hold*



2.3.3 QUANTIZAÇÃO

O sinal amostrado $x[n]$, ilustrado na Figura 6, é a representação da amplitude do sinal (tensão ou corrente) em discretos períodos de tempo. A soma das amplitude discretizadas, igualmente espaçadas (y_1, y_2, \dots, y_n) é a faixa dinâmica (DR) ou, simplesmente, $y_{max} - y_{min}$. A diferença entre dois níveis de sinais discretos consecutivos é chamado intervalo de quantização (Δ) (MALOBERTI, 2011).

Para uma faixa dinâmica fixa, quanto maior a acurácia, menor é o intervalo de quantização e maior é quantidade de níveis (N) de quantização. Para representação do sinal em palavras binárias, em que $N = 2^B$, um dispositivo com resolução $B = 4$ bits, por exemplo, possui 15 níveis (N) para representar a amplitude do sinal.

$$\Delta = \frac{y_{max} - y_{min}}{2^B - 1} \quad (2.2)$$

Portanto, o Δ da Equação 2.2, para uma DR de 1.5V, é de 100mV.

$$N = \frac{amplitude_{sinal}}{\Delta} + 1 \quad (2.3)$$

A Equação 2.3 determina qual o nível de quantização o sinal está. Se a amplitude do sinal é igual a 800mV, seu nível de quantização é o nove e sua representação binária é o 1001.

O processo de amostragem e quantização são feitos por circuitos eletrônicos do tipo *sample-and-hold* e conversores analógico-digitais, respectivamente. A escolha da topologia (ou combinação de duas delas) do ADC deve levar em consideração dois principais requisitos: a velocidade de conversão e a resolução que se pretende alcançar. Abaixo encontra-se algumas topologias de conversores AD e suas principais características (PELGROM, 2017):

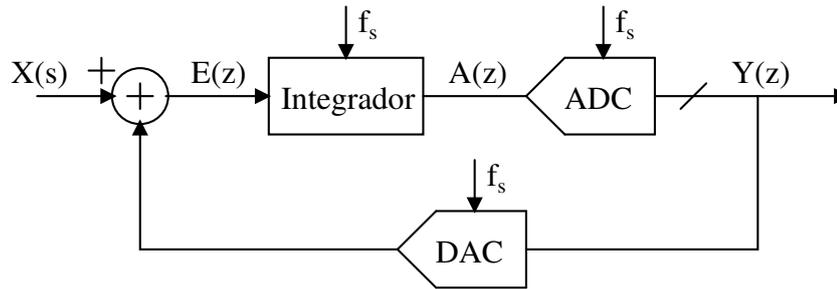
2.4 TOPOLOGIAS DE ADC

Esta seção apresenta algumas das principais topologias de ADC: Sigma-Delta, SAR, Integradores e Flash. Outras topologias como os ADCs Pipeline, *Time-Interleaved*, Algorítmicos, dentre outros.

2.4.1 ADC SIGMA-DELTA

ADCs do tipo Sigma-Delta (Σ - Δ) possuem alta resolução e média/baixa velocidade de conversão de dados. Para isso, seu funcionamento requer alta taxa de amostragem (OSR) para compensar a baixa precisão das amostras, ao passo que diminui o ruído de quantização na banda de interesse e relaxa os requisitos do filtro anti-alias.

Figura 9 – ADC Sigma-Delta



Fonte: (PELGROM, 2017)

A Figura 9 é a topologia básica de um Modulador Σ - Δ . Ele é composto por um quantizador (ADC) de B bits, um DAC de B bits usado na realimentação e um filtro de laço de ordem L. Este modulador tem seu princípio de funcionamento baseado em OS e *noise-shaping*.

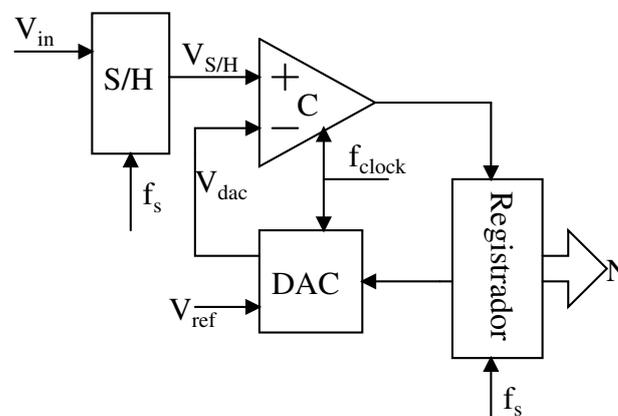
Este ADC possui a maior resolução frente aos outros ADC's, podendo variar de 16 a 24 bits. No entanto, a contrapartida para atingir altas resoluções é a demora de conversão. Este ADC é normalmente empregado em instrumentação de precisão, áudio, e também em receptores de sinais de Wi-Fi e telefonia (3G e 4G).

2.4.2 ADCS SAR

O ADC registrador de aproximações sucessivas (SAR) é versátil e bastante difundido no mercado por ser relativamente barato, ter boa resolução e considerável velocidade de conversão AD.

A topologia da Figura 10 conta com um *sample-and-hold*, um comparador, um circuito de controle e um DAC. Seu funcionamento é simples e pode ser entendido como um fluxo lógico com interações.

Figura 10 – ADC SAR



Fonte: (PELGROM, 2017)

O primeiro passo é configurar o número de repetições de acordo com a resolução

(N) do ADC e setar o registrador em '0' bits $a_{N-1} = a_{N-2} = \dots = a_1 = a_0 = 0$. O laço ($i = N$) começa com o bit mais significativo (MSB) sendo setado em 1 ($a_i = 1$), de modo que o DAC, neste momento, tem seu valor da saída em tensão igual a $0.5V_{ref}$, pois $V_{DAC} = (V_{ref}/2^N) \cdot (a_{N-1}2^{N-1} + \dots + a_12^1 + a_0)$.

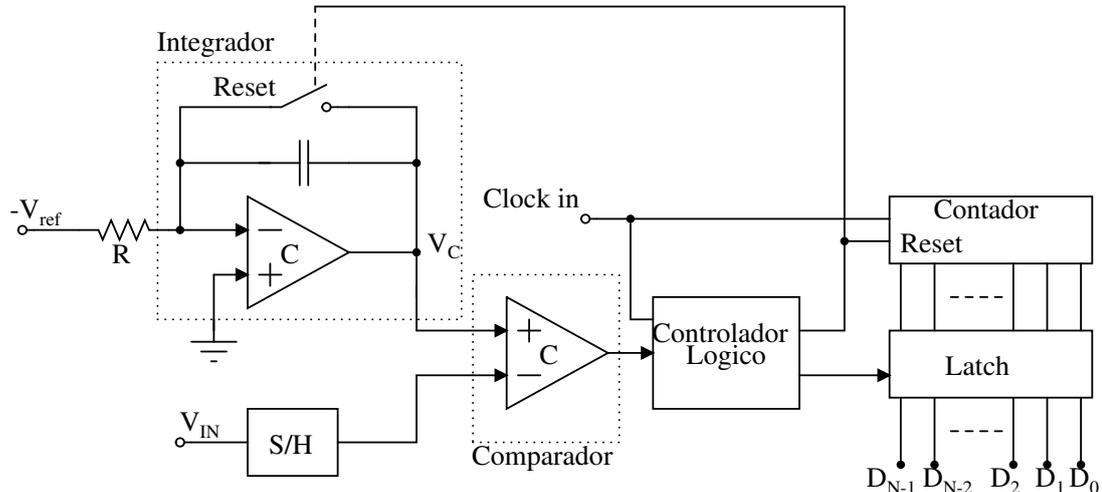
Então compara-se o V_{DAC} com a entrada do sinal amostrado, de modo que se a tensão de entrada for menor que o V_{DAC} , o MSB vai para o nível lógico zero ou, se for maior, o MSB mantém o nível lógico 1.

Após isso, o laço é decrementado em 1 ($i = i - 1$), de modo que todo o processo é repetido até que $i = 0$. Se $i = 0$ for verdade, a conversão foi concluída e um novo valor é amostrado para comparação.

2.4.3 ADC DO TIPO INTEGRADOR

Existem dois tipos de ADCs integradores: rampa simples e rampa dupla. Os ADCs integradores possuem alta resolução e baixa velocidade de conversão (BAKER HARRY W. LI, 2003).

Figura 11 – ADC do tipo Integrador



Fonte: (BAKER HARRY W. LI, 2003)

A topologia da Figura 11 representa um integrador de rampa simples, composto por um integrador, um comparador, um controlador lógico, um contador e um *Latch*.

O seu funcionamento começa pela amostragem do sinal de entrada e pela redefinição do contador em zero. Inicia-se, então, a integração do valor de referência e, neste momento, o contador começa a contar.

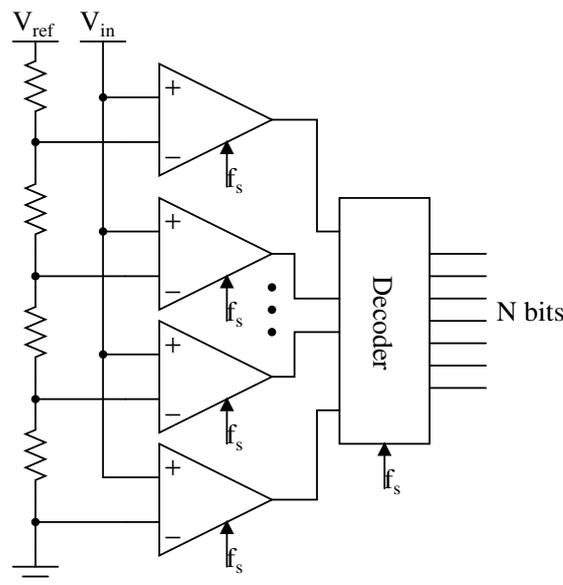
Após isto, compara-se o valor amostrado com V_C , de modo que se $V_C > V_{in}$, o comparador muda seu estado de 0 para 1 e o contador para a contagem. O valor obtido pelo contador é então entregue ao *Latch* e um novo ciclo começa.

2.4.4 ADC FLASH (OU PARALELO)

A razão do desenvolvimento de um ADC do tipo flash se dá frente a sua baixa complexidade, permitindo que o seu entendimento seja claro. Além dos aparelhos eletrônicos em si, há outros conversores AD que utilizam o ADC flash em sua estrutura e, com isso, projetar novos dispositivos a partir do entendimento deste, eventualmente pode ser facilitado.

Este circuito tem a maior velocidade de conversão dentre os citados acima, porém, apresenta baixa eficiência energética para médias e altas resoluções. Os ADCs flash são empregados em sistemas cuja velocidade de conversão é essencial, como é o caso de sistemas de radionavegação e largura de banda ultra larga. Além disso, esta topologia pode ser empregada como sub-ADCs em outras topologias de ADCs, como ADCs pipeline, por exemplo.

Figura 12 – ADC Flash



Fonte: (PELGROM, 2017)

O ADC flash apresentado na Figura 12 é composto por uma rede de resistores, comparadores e um decodificador de código termômetro para código binário.

A quantidade de comparadores depende do número de bits (B) do ADC. Um ADC flash é composto $2^B - 1$ comparadores. O número de comparadores praticamente dobra quando se adiciona um bit de resolução a mais, ocupando mais área em silício e consumindo mais potência. A rede resistiva é composta por 2^B resistores. O Decodificador possui $2^B - 1$ entradas para o código termômetro e B saídas binárias com barramento paralelo.

A amostragem e quantização deste ADC precisa de apenas um ciclo de clock. O processo de conversão é simples: valores de referências são gerados a partir da rede resistiva, permitindo que cada entrada no comparador tenha uma tensão de referência distinta dos demais. A tensão de referência mais baixa é o que define o bit menos significativo, chamado

de V_{LSB} . O comparador 1 tem $V_{ref} = 1V_{LSB}$, o comparador 2 tem $V_{ref} = 2V_{LSB}$ e assim por diante, no qual $V_{LSB} = V_{ref}/2^B$.

Na outra entrada do comparador vai o sinal de entrada amostrado. O nome Paralelo significa que todos os comparadores utilizam a mesma tensão amostrada, em que a comparação é feita no mesmo tempo em todos os comparadores. Com isso, à saída dos comparadores é o código termômetro. Por fim, o decodificador traduz o código termômetro para código binário.

2.5 PARÂMETROS DE CARACTERIZAÇÃO DE ADCS

Durante o projeto de conversores analógico-digitais é essencial analisar as suas principais características. Assim, esta subseção apresenta os principais parâmetros que são analisados durante a caracterização de um ADC.

2.5.1 CARACTERÍSTICAS ESTÁTICAS

2.5.1.1 OFFSET

O erro de *offset* é um dos principais problemas enfrentados em circuitos que requerem simetria (Comparadores, por exemplo), causados no processo de fabricação do VSLI. A anomalia de algum componente deste CI pode acarretar no deslocamento do sinal em relação ao ponto ideal, ocasionando desbalanço no sinal da saída do circuito. Em Conversores Analógico-digitais, *Offsets* reduz a SNR e, por conseguinte, o número efetivo de bits (ENOB).

O processo de fabricação de um CI começa pelo processo de Czochralski, técnica inventada por Jan Czochralski em 1916 cuja finalidade foi o de obter cristais solitários de Silício, principal matéria prima utilizada em semicondutores (PELGROM, 2017).

A confecção de dispositivos e metais são feitos através do processo de foto-litografia (processo que define o tamanho mínimo de espaçamento do canal de um transistor-MOS), que consiste na utilização de uma máscara (*photoresist*) aplicado à superfície oxidada do Silício, no qual o desenho dos componentes são feitos via incidência de feixes de luz (laser). Após isto, a *photoresist* é retirado (*Etching Process*) via solução química ou reação química. Tem-se a partir daí o canal de difusão do tipo N. Este processo pode ser repetido para a criação dos *Gates*, resistores, capacitores e trilhas de metais.

Cada um dos componentes criados, que utilizam o canal de difusão, tem propriedades elétricas alteradas ao passo que impurezas (Boro ou Fósforo) são adicionadas ao silício, conhecido como processo de dopagem.

Portanto, o processo de corrosão *Etching Process* e o processo de dopagem são reações químicas que, por sua vez, causam distorções no corpo dos componentes e pequenas alterações na propriedade elétrica dos mesmos, ocasionando em componentes assimétricos. Tais alterações são menores no centro da matriz.

O processo de manufatura de Circuitos Integrados é bastante conhecido e incompatibilidades são moduladas por processos estocásticos. Com a finalidade de saber se o circuito está com o *Offset* dentro do padrão, simulações de Monte Carlo são realizadas antes do processo de fabricação acontecer e, com isso, o projeto pode ser alterado a tempo antes que se dispense verba para tal.

Com o intuito de se diminuir *Offsets*, pode-se fazer, a nível de *layout*, matriz de componentes utilizando centroide comum, dispostos numa mesma orientação e com sentido de corrente fluindo para uma mesma direção, ou a soma do sentido destas correntes incorrer a zero. Aliado a esta técnica, a adição de *Dummies* no entorno da matriz são úteis para preservar os componentes internos, visto que a maior variação de processo ocorre nos cantos. Além do mais, esta técnica evita que um ou outro componente seja exposto a gradientes de calor ou estresse mecânico de forma isolada, garantindo robustez ao circuito e níveis de *Offset* mais satisfatórios (SAINT, 2002).

2.5.1.2 LINEARIDADE

A linearidade de ADCs é analisada através de duas métricas principais: a não-linearidade diferencial (DNL) e a não-linearidade integral (INL). O INL e o DNL são medidas que mostram as imperfeições do circuito:

- **INL:** O INL está diretamente relacionada com a THD, no qual a curva de INL determina a magnitude de cada harmônica individualmente (PELGROM, 2017).

$$INL(i) = \frac{A(i) - i \times A_{LSB}}{A_{LSB}}, \quad \forall i = 0, 1, \dots, (2^N - 1) \quad (2.4)$$

A Equação 2.4 descreve o cálculo INL. Para cada nível i até $i + 1$ tem-se um valor INL. O termo $i \times A_{LSB}$ é o ponto certo de decisão. Os níveis toleráveis da INL variam em relação a topologia escolhida.

- **DNL:** O DNL é o desvio de cada passo com seu respectivo LSB ideal. A fórmula para encontra o DNL é (PELGROM, 2017):

$$DNL = \frac{A(i+1) - A(i)}{A_{LSB}} - 1, \quad \forall i = 0, 1, \dots, (2^2 - 2) \quad (2.5)$$

2.5.2 CARACTERÍSTICAS DINÂMICAS

As características dinâmicas de ADCs são apresentadas nesta subseção. Tais características são analisadas com base na análise do sinal de saída do ADC no domínio da frequência. Para tal, emprega-se a transformada rápida de Fourier (FFT), que é brevemente explanada na sequência. Após, as principais características dinâmicas dos ADCs são apresentada.

2.5.2.1 TRANSFORMADA RÁPIDA DE FOURIER (FFT)

Para a realização da transformada de Fourier em sistemas computacionais, alguns requisitos devem ser pensados, tais como: Resolução do lóbulos principal (convolução periódica), definido por M , intervalos de amostras, definido por N e o período de amostragem, definido por T_s . A correta compreensão da FT depende que estes valores sejam bem definidos de modo a não haver perda de resolução em sua representação. Portanto, escolher valores elevados de M e N torna a representação da FT acurada, ao mesmo passo que mais recursos computacionais são exigidos.

A partir da FT é possível, portanto, identificar se o sinal de interesse é bom o suficiente ao fim a que se destina, nos quais os parâmetros de relação sinal ruído (SNR), Relação sinal ruído e distorção (SNDR), faixa dinâmica livre de espúrios (SDFR), a distorção harmônica total (THD), são alguns dos parâmetros. (MALOBERTI, 2011):

Outros parâmetros, tais como *bit-error rate*, faixa dinâmica (DR), não-linearidade integral (INL) e diferencial (DNL), número de bits efetivo (ENOB) e figura de mérito (FOM) também são úteis para caracterizar um circuito ADC. Alguns destes parâmetros são usualmente medidos em dB.

2.5.2.2 SNR, SNDR, ENOB E DR

Os parâmetros SNR, SNDR, ENOB and DR são dependentes do nível total de ruído do ADC. Assim, é importante entender os principais tipos de ruído presentes em circuitos eletrônicos. De modo geral, pode-se definir o ruído como sinais que não carregam nenhum tipo de informação. O ruído é inerente a qualquer sistema e são gerados a partir de três fontes principais: Ruído térmico, *burst noise* e $1/f$ noise:

1. Ruído Termal (ou ruído branco): É causado pelo aquecimento de dispositivos eletrônicos no qual a sua amplitude varia aleatoriamente independente da frequência.

Em circuitos que utilizam resistores, como é o caso do ADC flash, a densidade espectral de potência do ruído termal é dado por:

$$v_n^2 = 4kTR_{eq} \quad (2.6)$$

onde k é a constante de Boltzman, T é a temperatura dada em Kelvin e R o valor da resistência equivalente. Portanto, quando maior o valor da Resistência equivalente e/ou a temperatura em que o circuito é submetido, maior o ruído adicionado ao sistema.

Já a potência do ruído rosa depende da largura de banda do sinal, isto é, ela cresce a medida que se aumenta o intervalo entre duas frequências.

A densidade espectral de ruído é expressa pela seguinte unidade $V/\sqrt{\text{Hz}}$.

Do espectro de potência, $v_n^2(f)$, obtém-se a potência do ruído \vec{V}_n^2 num intervalo de frequência (f_1, \dots, f_2) .

$$\vec{V}_n^2 = \int_{f_1}^{f_2} v_n(f)^2 = \vec{v}_n^2(f_2 - f_1) \quad (2.7)$$

No qual $[V^2]$, a partir da Equação 2.7, aumenta proporcional ao intervalo das frequências.

2. *Burst-Noise*: Também possui espectro Branco (amplitudes variando randomicamente em todas as frequências). No entanto, ao contrário do ruído térmico, este ruído está presente em circuitos onde existam correntes fluindo. Seu espectro de potência i_n^2 é:

$$i_n^2 = 2eI \quad (2.8)$$

No qual o I , da Equação 2.8, é proporcional a corrente do circuito. Este problema está ligado a imperfeições do caminho da corrente, no qual barreiras, poças e caminhos lentos causam flutuações na corrente de modo que sua condução não é uniforme.

3. Em *1/f noise*, o espectro de Potência é inversamente proporcional à frequência e também aparece somente quando há corrente fluindo no circuito.

$$i_{1/f}^2 = \frac{K_f I}{f^\alpha} \quad (2.9)$$

Em que k_f é $1/f$ e α é próximo de 1. Portanto, frequências muito baixas geram maiores ruídos.

Com posse do valor total do ruído dentro da banda de interesse é possível calcular o SN(D)R. O SNR é a razão entre a potência do sinal e a potência do ruído, desconsiderando os harmônicos do sinal de entrada:

$$SNR = \frac{P_{sinal}}{P_{ruído}} \quad (2.10)$$

A Equação 2.11 é a o SNR_{max} , no qual o $A_{max} = V_{DR}/2$.

$$SNR_{max} = \frac{A_{max}^2}{2V_n^2} = \frac{V_{DR}^2}{8V_n^2} \quad (2.11)$$

A Equação 2.12 é sobre a relação sinal-ruído-e-distorção. Neste caso, a potência das harmônicas do sinal (V_i^2) é somada à potência do ruído (V_n^2):

$$SNDR = \frac{V_1^2}{2V_n^2 + V_2^2 + V_3^2 + V_4^2 + \dots + V_k^2} \quad (2.12)$$

A Equação 2.12 mostra a relação da amplitude ao quadrado da harmônica principal (V_1) pelo somatório das amplitudes ao quadrado das demais harmônicas mais a amplitude ao quadrado do ruído. Com a adição da potência do ruído no somatório das amplitudes das

harmônicas, nota-se que o SNDR será pior que a SNR, pois neste caso inclui-se espúrios causados pela distorção harmônica. No entanto, é desejável que a SNDR seja o mais próximo possível da SNR.

A partir do SNDR é possível calcular o ENOB do ADC descrita pela Equação 2.13. Este parâmetro determina o número efetivo de bits. ENOB pouco abaixo do que se projetou é um bom indicativo.

$$ENOB = \frac{SNDR - 1.76}{6.02} \quad (2.13)$$

O SNQR é a relação da potência do sinal pela potência de quantização.

$$SNQR = \frac{\text{Potenciado do Sinal}}{\text{Potencia de Quantização}} = \frac{3}{2} 2^{2N} \quad (2.14)$$

Em que a potência de quantização, da Equação 2.14, é $A_{LSB}^2/12$ e a potência do sinal é $(2^{2N} A_{LSB}^2)/8$

Já a faixa dinâmica (*dynamic range* - DR) é o parâmetro que nos possibilita uma estimativa da amplitude mínima de sinal que pode ser distinguida pelo ADC. Usualmente, o DR é expresso em dB, e está relacionado com a amplitude de fundo de escala do ADC (dBFS). A equação que estima do DR de um ADC de N bits é expressa abaixo:

$$DR = 20 \log \left(\frac{2^N - 1}{1} \right) \approx 6.02 \cdot N \quad (2.15)$$

2.5.2.3 DISTORÇÃO HARMÔNICA

A distorção harmônica é adicionada ao sistema a partir da resposta não-linear de um processo linear. Este efeito é indesejado em ADCs, e acabada reduzindo o SNDR e o SFDR.

Em um processo linear, a onda senoidal aplicada à entrada, $A_0 \sin(w_{in}t)$, tem, à sua saída $y(t)$, a onda também senoidal, mas com fase deslocada $\phi(w)$, tal como a Equação 2.16 descreve.

$$y(t) = kA_0 \sin[w_{in}t + \phi(w)] \quad (2.16)$$

A relação do que se espera na saída a partir da entrada passa por um processo não-linear, em que a saída é diferente da Equação 2.16.

$$y' = f(y) = y + a_2 y^2 + a_3 y^3 + \dots + a_n y^n; \quad (2.17)$$

A aproximação polinomial da Equação 2.17 possui parâmetros a_2, a_3, \dots, a_n , conhecidos por coeficientes da distorção harmônica.

O segundo termo ($a_2 y^2$), com referência a onda senoidal de entrada ($A_0 \sin(w_{in}t)$) resulta na Equação 2.18

$$a_2 y^2 = a_2 \frac{A_o^2}{2} [1 - \cos(2w_0t)] \quad (2.18)$$

no qual a constante $a_2 A_0^2/2$ do primeiro termo está em nível DC e o segundo termo aparecendo em $2w_0$ (segunda harmônica). Nota-se que a amplitude do sinal à saída é proporcional ao quadrado da amplitude de entrada.

A terceira harmônica é dada por:

$$a_3 y^3 = \frac{a_3 A_0^3}{4} [3 \sin(w_0 t) - \sin(3w_0 t)] \quad (2.19)$$

A Equação 2.19 possui o primeiro termo localizado exatamente onde está o sinal de entrada, modificando, portanto, a amplitude da componente linear. O segundo termo tem sua harmônica deslocada em $3w_0$ frente ao sinal de entrada e corresponde pela fonte de limitação do sistema (SFDR). Nota-se que a amplitude do sinal à saída é proporcional ao cubo da amplitude de entrada.

As amplitudes geradas pelas Equações 2.18 e 2.19 não são problemas graves quando a amplitude do sinal de entrada for menor que 1. Estas amplitudes podem ser plotadas à saída usando o método de extrapolação e são chamadas de IP2 e IP3, sendo a segunda e a terceira harmônica, respectivamente.

A THD é a relação da amplitude da primeira harmônica pela raiz quadrada do somatório das amplitudes ao quadrado das demais harmônicas.

$$THD = \frac{V_1}{\sqrt{V_2^2 + V_3^2 + V_4^2 + \dots + V_k^2}} \quad (2.20)$$

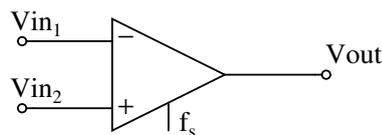
A Equação 2.20 é dada em Volts. Em dB, a Equação 2.20 pode ser reescrita:

$$(THD)_{dB} = 20 \cdot \log_{10} V_1 - 10 \cdot \log_{10} (V_2^2 + V_3^2 + V_4^2 + \dots + V_k^2) \quad (2.21)$$

2.6 COMPARADORES

O bloco chave utilizado em qualquer classe de conversores analógico-digitais é o comparador. Sua construção é o principal gargalo do projeto, pois muitos aspectos devem ser considerados e, para atingir determinadas especificações, medições e simulações são constantemente realizadas.

Figura 13 – Comparador



Fonte: Autor

A Figura 13 representa o símbolo do comparador. Seu funcionamento é bem simples: Se a diferença entre os sinais de entrada V_{in1} e V_{in2} for negativa, $V_{out} = 0$. Se a diferença entre estes sinais for zero ou positiva, $V_{out} = 1$.

O tempo de decisão e a acurácia são os principais alvos de projeto, que deve ser feito de modo a garantir o consumo adequado de energia.

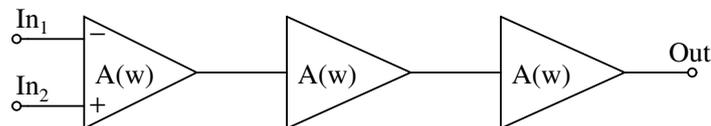
Outros requisitos são: (PELGROM, 2017)

- Amplificar o sinal de entrada;
- Largura de banda para sinais operando em alta frequência;
- Acurácia: baixo *offset* de entrada.
- Baixo consumo de energia.
- Ampla faixa de tensão de modo comum;
- Efeito de memória não deve existir, i.e., a decisão subsequente do comparador deve ter correlação zero com a decisão anterior.

Há três tipos básicos de comparadores (PELGROM, 2017):

1. Comparador com amplificadores conectados em cascata (ilustrado na Figura 14): Obter o maior ganho possível.

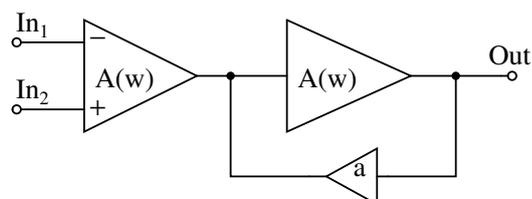
Figura 14 – Comparador com amplificação *Straight-forward*



Fonte: Autor

2. Comparador com amplificador em série e um pequeno amplificador de *feedback* positivo (ilustrado na Figura 15): adiciona uma liminar no processo de decisão.

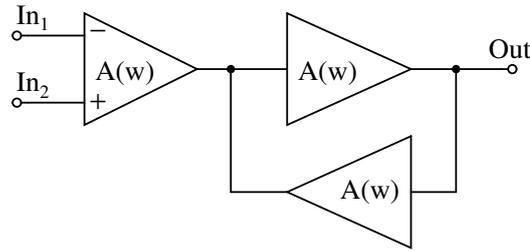
Figura 15 – Comparador com amplificador com histerese



Fonte: Autor

3. Comparador com amplificador em série com outro amplificador de *feedback* (ilustrado na Figura 16): Funciona como estágio regenerativo, cancela o *feed forward* através do *clock* e permite a pré-amplificação.

Figura 16 – Comparador com amplificador regenerativo



Fonte: Autor

2.6.1 PRÉ-AMPLIFICADOR

Um comparador igual ao da Figura 16 possui duas divisões: pré-amplificador e o estágio regenerativo. Antes da fase regenerativa o sinal é amplificado. Este modelo tem a vantagem de reduzir o descasamento do estágio regenerativo, além de isolar o processo regenerativo da entrada pré-amplificadora.

O *Latch* regenerativo ativado pelo *clock* torna o pequeno sinal de entrada num sinal maior, no qual este ganho é determinado pela transcondutância do par diferencial de entrada e pela carga: $g_{m,in} \times Z_{load}$ (PELGROM, 2017).

O desempenho da velocidade de decisão é limitado pelo ganho unitário da largura de banda, determinado pela capacitância parasita entre os nós internos do circuito e pela corrente disponível.

A largura de banda do comparador é analisado a partir de pequenos e grandes sinais de entrada. Para pequenos sinais a banda é dependente apenas da capacitância parasita e da transcondutância:

$$BW = \frac{g_{m,in}}{C_{load}} \quad (2.22)$$

O *trade-off* de ser escolher uma grande transcondutância, permite diminuir o descasamento de entrada, ao passo que leva o aparecimento de *kick-back noise*.

Para grande sinais dois problemas ocorrem: O sinal amplificado é limitado pelo *slew-rate*, de modo que a tensão máxima do sinal é (PELGROM, 2017):

$$V_{max,in} \leq \frac{I_{tail}}{2\pi f_{in} C_{load}} \quad (2.23)$$

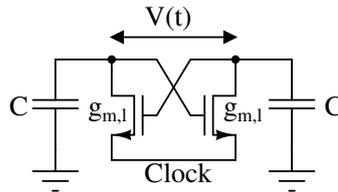
O segundo problema é que para estes sinais, a entrada pode trabalhar em regime de saturação (ligado ou desligado) ao invés do ideal que é a região linear.

Por fim, a fase de pré-carregamento é feito de modo a curto-circuitar o capacitor parasita de ambos os nós do par diferencial, conferindo-lhes o potencial de V_{DD} . Quando as chaves se abrem, as cargas dos capacitores são descarregadas em diferentes taxas ΔV_{in} . O circuito não opera com tesões flutuantes, de modo que o sinal deve ser estável, condicionado pelo circuito *Sample and Hold*.

2.6.2 LATCH

O *Latch* é a segunda etapa do comparador e responsável pela fase de regeneração. A relação entre a entrada e a saída não pode ser descrita por uma equação algébrica linear.

Figura 17 – *Latch*



Fonte: Autor

No entanto, a alimentação de *feedback*, Figura 17, é linear e controlado pela constante de tempo ($\tau = C/g_{m,l}$), no qual a tensão onde ocorre a regeneração é:

$$V(t) = \alpha V_{LSB} \exp + \frac{t}{\tau} \quad (2.24)$$

Em que o α da Equação 2.24 é uma constante que multiplica V_{LSB} . A exponencial cresce até que um dos nós atinja a tensão de fonte. A velocidade de decisão é definido quanto a diferença entre as tensões de entrada. Se essa diferença é menor que a tensão de ruído, então o tempo de decisão maior é adicionado ao circuito. Para grandes diferenças entre os valores da tensão de entrada, o tempo de decisão é mínimo. O meio termo entre esses dois extremos do comparador em decidir de forma rápida ou lenta está o fator de multiplicação α da Equação 2.24, no qual seu valor varia entre 0 e 1. Os piores cenários estão em $\alpha = 0.5$, pois há igual probabilidade do *Latch* errar ou acertar a sua decisão ou quando a diferença entre as tensões de entrada são menores que a tensão do ruído.

2.6.3 PARÂMETROS DE CARACTERIZAÇÃO DOS COMPARADORES

2.6.3.1 METASTABILITY

Metastability é um problema inerente aos comparadores. A demora na decisão do *Latch* em formar a saída digital, devido baixa tensão de *over-drive* dentro do intervalo T_s do *clock*, causa falha na sincronização do circuito.

O valor de α para que a decisão do comparador seja inconclusiva, ou seja, com incerteza sobre se a saída digital é correta ou não, é:

$$\alpha = \frac{V_{Latch}}{V_{LSB}} \exp - \frac{T_s}{\tau} \Rightarrow BER = 2^N \exp - \frac{T_s}{\tau} \quad (2.25)$$

No qual a razão V_{Latch}/V_{LSB} da Equação 2.25 é 2^N em que a taxa *bit-error* (BER) tem igual probabilidade de ser 0 ou 1.

2.6.3.2 ACURÁCIA

Em conversores analógico-digitais do tipo Flash, *Offset* ocasiona em deslocamentos do valor de referência, podendo ocasionar erros de *integral non-linearity* (INL) ou *differential non-linearity* (DNL). Para o projeto deste conversor, é importante que o desvio padrão $\sigma_{v_{in}}$ esteja com fator entre ± 5 a ± 10 vezes menor que o valor da tensão LSB. O casamento entre o par diferencial de entrada, o *Latch* e a carga ajudam a mitigar o *offset* (PELGROM, 2017).

Outro fator limitante é o ruído térmico. Este ruído também criará um comportamento probabilístico no circuito, de modo que para uma diferença de tensão muito pequena na entrada do comparador, a decisão sobre a saída lógica trará incertezas. Este ruído é modelado por:

$$v_{in,noise} = \sqrt{4kT \frac{BW}{g_m}} \quad (2.26)$$

Onde a tensão de ruído da Equação 2.26 pode ser suprimida diminuindo a largura de banda ou aumentando a transcondutância do par diferencial (aumento as dimensões do transistor).

2.6.3.3 KICK-BACK NOISE

As tensões do par diferencial de entrada são responsáveis pela mudança abrupta das tensões que compõe a fase seguinte, a de decisão. Portanto, um dos nós do dreno vai para V_{dd} e outro pra zero. Com isso, a capacitância formada entre o dreno e o gate do par de entrada pode pular para o par os nós de entrada e/ou referência, podendo percorrer a malha de outros blocos.

Este ruído pode ser suprimido diminuindo o acoplamento capacitivo através da redução das dimensões dos gates de entrada, ao preço de aumentar o *offset*.

2.6.3.4 HISTERESE

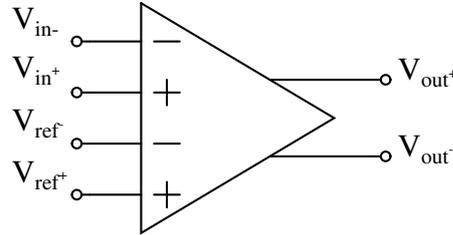
Esta causa acontece quando a topologia favorece para que o comparador lembre do seu último estado de decisão, incidindo sobre a decisão futura, no qual muda a limiar de mudança de estado da decisão, fazendo que decisão possa ocorrer antes ou depois do desejado (*trip-point*).

2.7 COMPARADORES COM ENTRADA COMPLETAMENTE DIFERENCIAL

Uma boa relação sinal ruído é uma das medidas que garante o adequado funcionamento de um comparador. No entanto, circuitos sub-alimentados tendem a ter uma SNR baixa. Apesar de possível, não é desejável aumentar a tensão de alimentação pra melhorar a SNR. Contudo, uma técnica que melhora a relação sinal ruído em comparadores é ter

dois pares diferenciais à entrada. Este artifício também anula (ou quase), interferência causada no sinal vindos de outras fontes, como o sinal de *clock*, por exemplo.

Figura 18 – Comparador com entrada Completamente Diferencial



Fonte: Autor

A Figura 4 é a representação de um comparador com entrada completamente diferencial. O nó $V_{in+} = V(t)$ entra o sinal analógico e $V_{in-} = V(-t)$ entra o sinal analógico invertido. O mesmo acontece para os nós de referência V_{ref+} e V_{ref-} .

A Equação 2.27 descreve que a diferença dos sinais opostos na entrada dobra o ganho da amplitude do sinal.

$$V_{s,diff}(t) = V_{in+}(t) - V_{in-}(t) = 2V_s(t) \quad (2.27)$$

A Equação 2.27 não considera o ruído aditivo. Já Equação 2.28 e 2.29 os ruídos adicionados.

$$V_{s+}(t) = \tilde{V}_{s+}(t) + V_{n+}(t) \quad (2.28)$$

$$V_{s-}(t) = \tilde{V}_{s-}(t) + V_{n-}(t) \quad (2.29)$$

Ao fazer a diferença do sinal da Equação 2.27 pela Equação 2.28, obtém-se

$$V_{s,diff}(t) = 2\tilde{V}_{n+}(t) + V_{n,diff}(t)$$

O termo $V_{n,diff}(t)$ é o ruído e a sua amplitude pode ser encontrada usando métodos estatísticos através da sobreposição dos sinais, já que os mesmos não tem correlação. Portanto, se eles tiverem a mesma média quadrática, a Equação 2.30 define que a sua amplitude tem um fator $\sqrt{2}$ de multiplicação. Com isso, a SNR melhora em 3 dB.

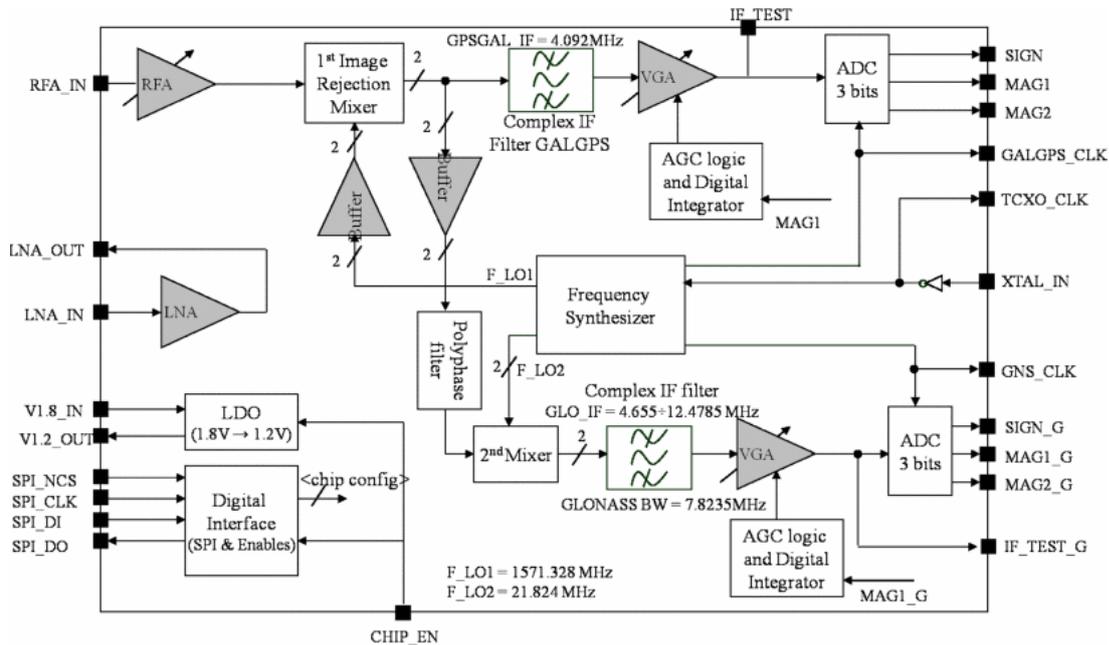
$$V_{n,diff} = \sqrt{(V_{n+})^2 - (V_{n-})^2} = \sqrt{2}V_{n+} \quad (2.30)$$

Para a interferência o processo é o mesmo, com a diferença que o ruído adicionado em V_{in+} é o mesmo que em V_{in-} . Com isso, ao fazer a diferença dos sinais, o efeito da interferência é quase nulo.

2.8 EXEMPLO DE APLICAÇÃO DE ADCS: RECEPTOR PARA GNSS

Uma das possíveis aplicações do ADC desenvolvido neste trabalho é no projeto de receptores para sistemas de GNSS, que requerem ADCs de baixa resolução.

Figura 19 – Bloco Front-end de um receptor GNSS



Fonte: Adaptado de (RIVELA et al., 2011b)

Este trabalho utiliza como exemplo a arquitetura heteródina low-IF, representada pela Figura 19, no qual a estrutura faz parte do artigo sobre receptor GNSS (RIVELA et al., 2011b).

Para receptores de sinais de satélites L1/E1 (SAMPER JUAN MELENDEZ LAGUNILLA, 2009), o GPS/Galileo tem frequência de RF centrado em 1575.42 MHz e o GLONASS centrado em 1602 MHz. Resumidamente, o bloco receptor da Figura 19 funciona da seguinte maneira:

1. O Sinal de RF é recebido pelo LNA e amplificado com baixa inserção de ruído ($NF < 3$);
2. O sinal passa por uma rede de casamento externa (*SAW filter*) cuja finalidade é melhorar a rejeição de interferências; e entra no RFA_{IN} ;
3. O RFA_{IN} é o segundo estágio do LNA e possui as mesmas características do primeiro LNA;
4. O Sinal é então multiplicado por um LO centrado em $f_o = 1571 MHz$. Dois sinais são gerados: o primeiro um pouco acima de 3 GHz e segundo próximo a banda base, que será o sinal utilizado;
5. O sinal próximo a banda base é a frequência intermediária com largura de banda de aproximadamente 32 MHz. Esta banda é dividida em dois canais: o primeiro indo de 2.046 a 6.138 MHz (GPS/Galileo) e o segundo indo de 26.479 a 34.3025 MHz (GLONASS);

6. O filtro seletivo em banda, centrado em 4.092 MHz elimina as frequências superiores. Para sinais GPS, a banda utilizada é de 2 MHz e para o Galileo, de 4 MHz;
7. O sinal, então, tem sua amplitude condicionada e, após isto, está pronto para ser convertido em sinal digital pelo ADC;
8. O Sinal do GLONASS passa por um segundo LO com frequência centrada entre os canais, de valor igual a 21.824 MHz;
9. A Banda de interesse é então filtrada por um filtro centrado em 8.566 MHz e largura de banda igual a 7.8235 MHz. Igual para os sinais GPS/Galileo, o sinal do GLONASS tem sua amplitude condicionada para a correta conversão.

O Sinal que chega ao conversor analógico-digital (ADC), seja ele o sinal GPS/Galileo ou GLONASS, é amostrado e, após isto, quantizado pelo conversor AD. O ADC da Figura 19 é do tipo Flash com resolução de 3 bits. O artigo (RIVELA et al., 2011b) não consta aspectos detalhados do ADC. Contudo, fornece a tensão de alimentação de 1.2 V para alimentar os blocos e a largura de banda de operação que varia entre 2 a 8 MHz.

3 ADCS FLASH DE 3-BITS RAIL-TO-RAIL

Este protótipo desenvolveu-se para atender a demanda de mercado por circuitos que consumam baixa potência e barato. A menor tensão de alimentação atingida por este protótipo é de 0.6 Volts.

Neste capítulo é apresentado o projeto de um ADC Flash do tipo *rail-to-rail* de 3 bits. Os comparadores utilizados na construção deste ADC são do tipo *single-ended*. O circuito opera com tensão de entrada unipolar *full-scale* e, com isso, necessitou-se projetar dois comparadores: um com entrada PMOS e outro com entrada NMOS. Isso é necessário para garantir a entrada *rail-to-rail* (YAO; STEYAERT; SANSEN, 2003).

A tecnologia CMOS é a da *foundry* TSMC de $0.18\mu\text{m}$. Esta tecnologia, apesar de "antiga", é bastante utilizada por *designers* por causa do processo de fabricação ser conhecido e ser economicamente viável.

A Figura 20 ilustra um conversor analógico-digital de 3 bits, tal qual foi projetado. São oito os resistores que compõe o divisor de tensão, responsável pelas tensões de referência; sete a quantidade de comparadores, cuja função é gerar o código termômetro; e o decodificador, cujo propósito é empregar combinações lógicas com a finalidade de traduzir o código termômetro.

3.1 REDE DE RESISTORES

ADCs flash necessitam de uma rede resistiva composta de $2^N - 1$ resistores para gerar as tensões de referência para os comparadores.

Os valores de referência são gerados a partir deste divisor de tensão. Necessita-se que, para haver o menor consumo de potência ($P = E^2/R$), os resistores tenham valores elevados. No entanto, o ruído cresce proporcionalmente ao valor da resistência, ocasionando na diminuição da faixa dinâmica de entrada (DR).

$$e_{noise} = \sqrt{4kTR} \quad (3.1)$$

A Equação 3.1 descreve que o ruído é gerado por dissipação de calor (efeito Jaule) e aumenta com o valor da temperatura ou da resistência. O k é a constante de Boltzmann's e é igual a $1.38 \times 10^{-23} \text{m}^2\text{kgs}^{-2}\text{K}^{-1}$

O valor de referência de cada comparador i (C_i) da figura 12 pode ser encontrado utilizando o cálculo de divisão de tensão:

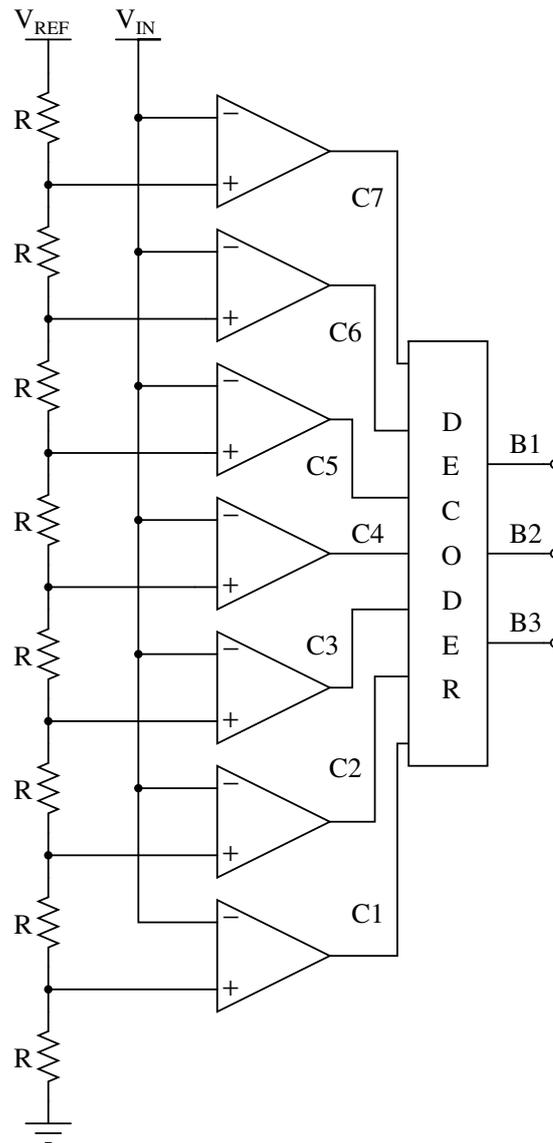
$$V_{REF}(i) = \frac{i \cdot R_i}{\sum_1^{2^N} R_i} \quad (3.2)$$

Da Equação 3.2, $V_{LSB} = V_{REF}(1)$, ou simplesmente,

$$V_{LSB} = \frac{V_{REF}}{2^N} \quad (3.3)$$

Comparadores possuem alta impedância de entrada, impedindo que qualquer corrente se desvie da malha de resistores. Com isso, os valores de referência gerados em

Figura 20 – Topologia do ADC Flash



Fonte: Autor

cada nó são múltiplos inteiros da tensão V_{LSB} . A tensão V_{LSB} é

$$V_{LSB} = \frac{V_{ref_{max}} - V_{ref_{menos}}}{2^N} = \frac{0,6 - 0}{2^3} = 0,075V \quad (3.4)$$

Portanto, a tensão de referência do comparador 1 (C1) é de $1 V_{LSB}$, do comparador 2 (C2) é $2 V_{LSB}$ e assim por diante.

Neste protótipo foram empregados resistores de $10 \text{ k}\Omega$. Assim, o consumo estático desta malha é de $4,5 \mu\text{W}$.

3.2 COMPARADORES

A função do comparador é comparar dois sinais e indicar zero na saída, caso a tensão de entrada seja menor que a tensão de referência ou 1 na saída, caso a tensão de entrada seja maior que a tensão de referência.

Comparadores podem possuir dois tipos de entrada, PMOS ou NMOS. Para comparador com entrada NMOS, existe a mínima tensão de modo comum para que este comparador funcione. Isto quer dizer que para tensões muito baixas, o comparador não faz a decisão de forma adequada. Para isto, utiliza-se comparador com par de entrada PMOS para tensões muito baixas. No entanto, para tensões de entrada próximas de V_{DD} , o comparador do tipo PMOS não funciona, sendo necessário comparador com entrada NMOS.

Portanto, para os primeiros três níveis de V_{LSB} é utilizado o comparador com entrada PMOS do tipo *Conventional dynamic latch*; e para os outros quatro níveis de V_{LSB} é utilizado comparador com entrada NMOS do tipo *Double-tail*.

3.2.1 DOUBLE-TAIL

Neste trabalho optou-se por utilizar a topologia de comparador do tipo Double-Tail para os comparadores com par de entrada NMOS (SCHINKEL et al., 2007). O comparador *Double-tail* leva este nome por possuir transistor no *rail* de V_{DD} e outro transistor no *rail* de V_{SS} , denominados transistores de cauda.

O esquemático do comparador Double-Tail está ilustrado na Figura 21 (BABAYAN-MASHHADI; LOTFI, 2014). A parte mais abaixo da figura é o pré-amplificador e, a região acima, é o *Latch* regenerativo.

O seu funcionamento se dá através de um ciclo de *clock*. O nível alto do *clock* permite a comparação do sinais de entrada; e o nível baixo permite a fase de regeneração do *latch* (BABAYAN-MASHHADI; LOTFI, 2014).

Sinal de *clock* baixo (redefinição):

Transistores M_1 e M_2 carregam os nós capacitivos (C_{VDG}) D1 e D2 para V_{DD} . O gate de M_9 e M_{12} esvaziam os nós $V+$ e $V-$ para zero (redefinição).

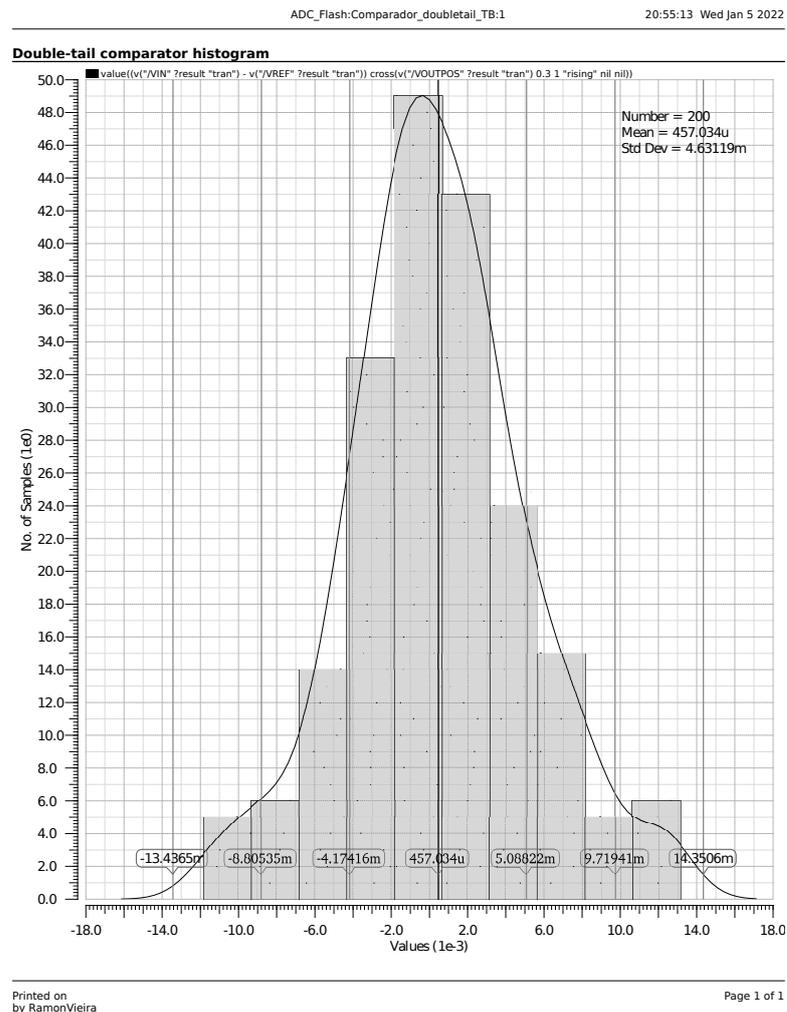
Sinal de *clock* alto (Comparação): O transistor M_5 torna-se ligado, permitindo que alguma corrente flua através dele. O transistor M_6 , através dos transistores M_7 e M_8 começam a alimentar $V+$ e $V-$. Os nós D1 e D2 começam a se descarregar em taxas diferentes a depender da tensão que é aplicada à entrada dos pares diferenciais de entrada. Suponha $V_{in} > V_{ref}$, D1 descarrega-se com taxa maior que D2 e M_9 desliga-se primeiro que M_{12} , permitindo que a taxa de decaimento de $V-$ seja maior que $V+$. A tensão $V-$ faz fluir mais corrente através do transistor M_7 ao passo que desliga M_{10} , permitindo que $V+$ seja carregado para V_{DD} . O resquício de tensão existente em $V-$ é escoado pelo transistor M_{11} de modo que M_8 tornando-se desligado por $V+$, não fornece corrente para a malha $V-$.

A Tabela 1 diz respeito às dimensões de cada transistor do comparador *Double-tail*. Os transistores utilizados são do tipo convencional e médio V_{TH} . Por ser um circuito simétrico a dimensão meio-esquerda dos transistores deve ser igual a dimensão meio-direita dos seus respectivos transistores.

O ajuste fino pode ser feito utilizando uma rampa na entrada e $V_{ref} = V_{DD}/2$. Neste caso, o ajuste foi feito utilizando simulação paramétrica. Assim, é possível escolher uma faixa de valores aceitáveis para que a transição do comparador seja feita imediatamente após a onda de entrada superar o valor da tensão de referência.

O *Offset* deste comparador foi calculado aplicando-se a ele uma rampa lenta próxima ao ponto de decisão $V_{DD}/2$. O histograma da Figura 22 foi obtido fazendo 200 rodadas de simulação Monte Carlo. O desvio padrão atingiu $\sigma_{os}=4,63119$ mV.

Figura 22 – *Offset* do comparador *Double-tail*. Simulação de Monte Carlo - 200 rodadas

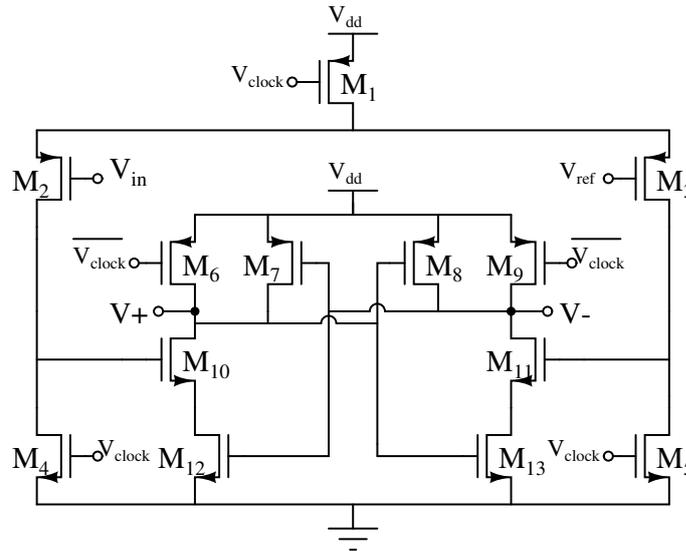


Fonte: Autor

O consumo de potência deste comparador foi realizado aplicando uma onda senoidal na entrada (V_{in}) com frequência de 1,902140625 MHz, *offset* de 300 mV e tensão de pico igual a 300 mV, no qual atingiu $1,6452 \mu\text{W}$.

3.2.2 COMPARADOR DINÂMICO LATCH

A Figura 36 representa a topologia de um comparador dinâmico convencional. O pré-amplificador é composto pelos transistores M_2 , M_3 , M_4 e M_5 , enquanto que o restante dos transistores, localizados no miolo, é o *Latch* regenerativo (LEE et al., 2015).

Figura 23 – Comparador com entrada PMOS do tipo *dynamic latch*

Fonte: Autor

As operações deste comparador leva um ciclo de *clock*, tal como o *double-tail*. No entanto, o nível alto do *clock* é a fase de redefinição, enquanto que o nível baixo é a fase de comparação.

Sinal de *clock* alto (redefinição):

Os transistores M_6 e M_9 carregam os nós $V+$ e $V-$ para V_{DD} . Os transistores M_4 e M_5 garantem que não haja nenhuma carga no gate de M_{10} e M_{11} , respectivamente.

Sinal de *clock* baixo (Comparação):

O transistor de carga M_1 , agora, permite passagem de corrente. Os transistores M_4 , M_5 , M_6 e M_9 tornam-se desligados. No par diferencial de entrada PMOS, a corrente será maior naquele que tiver a menor tensão de entrada. Suponha que $V_{in} < V_{ref}$, o fluxo maior de corrente percorre através de M_2 do que M_3 , ligando M_{10} primeiro que M_{11} . Com isso, a taxa de decaimento de $V+$ é maior do que de $V-$. $V+$ aciona M_8 , que por sua vez carrega o nó $V-$ para V_{DD} ao passo que desliga M_{13} . $V-$ garante que M_7 esteja desligado ao passo que liga o M_{12} , permitindo assim, que o resquício de tensão $V+$ caia para V_{SS} .

A Tabela 2 diz respeito às dimensões de cada transistor do comparador *dynamic latch*. Os transistores utilizados são do tipo convencional e médio V_{TH} .

Da mesma forma que feito para o comparador *double-tail*, o *Offset* deste comparador foi calculado aplicando-se a ele uma rampa lenta próxima ao ponto de decisão $V_{DD}/2$. O histograma da Figura 24 foi realizado com 200 rodadas (aproveitamento de 91,5%) de Monte Carlo e o desvio padrão atingiu $\sigma_{os}=6,44664$ mV.

O consumo de potência deste comparador foi realizado aplicando uma onda senoidal na entrada (V_{in}) com frequência de 1,902140625M Hz, *offset* de 300 mV e tensão de pico igual a 300 mV, no qual atingiu 1,3386 μ W.

Tabela 2 – Tabela com as dimensões dos transistores do comparador dinâmico convencional

Transistor	W/L($\mu\text{m}/\mu\text{m}$)
M1	4,5/0,18
M2	6/0,18
M3	6/0,18
M4	2/0,18
M5	2/0,18
M6	4,5/0,18
M7	4,5/0,18
M8	4,5/0,18
M9	4,5/0,18
M10	1,5/0,18
M11	1,5/0,18
M12	1,5/0,18
M13	1,5/0,18

Fonte: Autor

3.3 DECODIFICADOR

Este ADC flash de 3 bits necessita que os níveis lógicos da saída dos comparadores, que formam o código termômetro, seja reduzido em código binário de 3 bits. Portanto, o decodificador é um circuito combinacional que utiliza portas lógicas com a finalidade de traduzir as 2^N-1 entradas em N saídas.

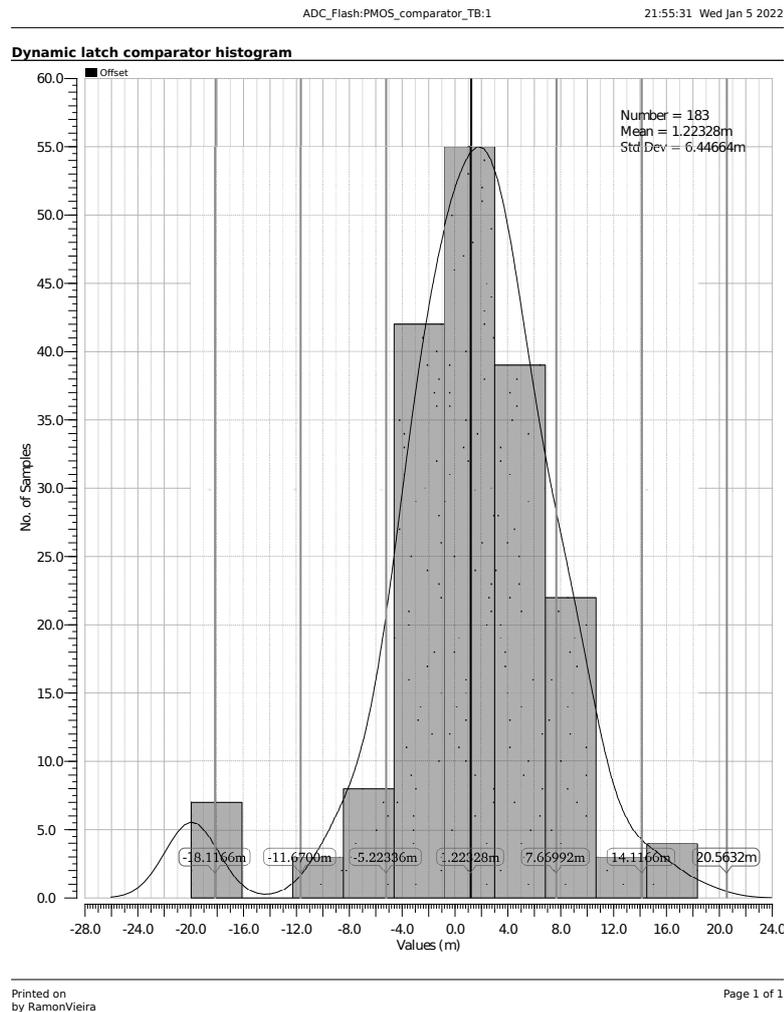
Este circuito afeta diretamente o desempenho de um Flash ADC, podendo ocasionar transições inválidas (*bubble error*) se parâmetros como, metaestabilidade, *offset*, *cross-talk*, entre outros, forem negligenciados (SALL; VESTERBACKA; ANDERSSON, 2004).

Abaixo são apresentados alguns tipos de decodificadores e suas principais características (SALL; VESTERBACKA; ANDERSSON, 2004):

- Decodificador ROM: É uma matriz de transistores NMOS, em que as linhas correspondem à entrada dos gates, onde se conecta a saída dos comparadores; e as colunas, composta por linhas onde tem o dreno dos transistores conectados. No topo desta linha encontram-se transistores PMOS com gates conectados ao *Clock* barrado. O dreno destes transistores PMOS é a saída digital N bits.

A desvantagem desse circuito é que se várias linhas forem ativadas de forma desordenada, *bubble errors* podem ocorrer. Além disso, é um circuito que consome considerável potência e lento para aplicações que requerem alta velocidade.

- *Wallace Tree*: Esta topologia é composta por blocos *full-adders* conectados em cascata. Ela também é conhecida como *one's counter*. Cada bloco pode ser implementado

Figura 24 – Offset do comparador *dynamic latch*. Simulação de Monte Carlo - 200 rodadas

Fonte: Autor

com duas portas XOR, duas portas NAND, uma porta NOR e três inversores. O protótipo da versão 1 deste trabalho utilizou-se desta topologia. Além disso, frente às outras topologias citadas, é a que mais consome potência (SALL; VESTERBACKA; ANDERSSON, 2004).

- *Fat tree decoder*: Formado por portas lógicas OR padrão na forma de estrutura de ramificação árvore. A conversão é feita em duas etapas: A primeira etapa consiste em gerar o *One-out-of-N code*, a partir do código termômetro, através de N gates. Na segunda etapa este código de saída de dígito 1 (*One-out-of-N code*) unitário de N bits gerado é convertido em binário utilizando combinações lógicas OR em diferentes ramificações.

Estas ramificações vão ganhando forma (*fat*) a medida que a resolução pretendida do ADC aumenta e ramificações com diferentes tamanhos (quantidade de portas OR empilhadas) pode dificultar o sincronismo. Talvez para projetos com resolução baixa, como é o caso deste trabalho, esta topologia deve ser melhor analisada, mesmo que

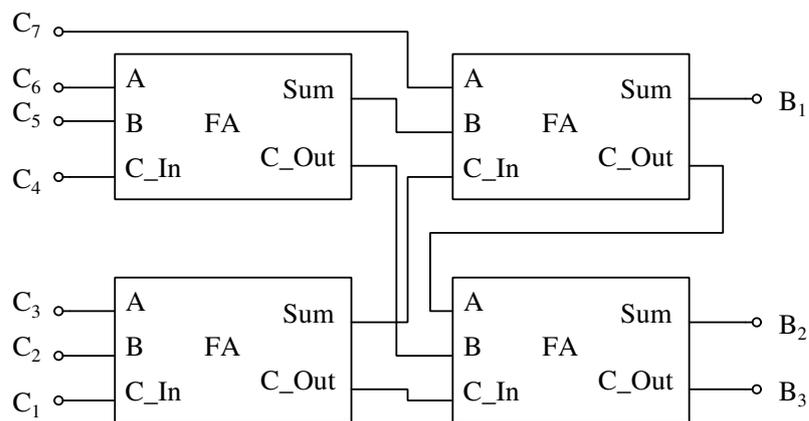
seu desenvolvimento despenda tempo de projeto por possuir esta complexidade.

Todas as topologias acima utilizam a tecnologia CMOS e alguns efeitos indesejados inerentes à ela existem. Abaixo encontra-se alguns parâmetros que não podem ser ignorados no projeto, visto que negligenciar estes parâmetros o torna pouco funcional. São eles:

3.3.1 PROJETO DO DECODIFICADOR WALLACE TREE

Apesar das diversas estratégias existentes para decodificar o código termômetro (SALL; VESTERBACKA; ANDERSSON, 2004), optou-se por implementar neste trabalho o decodificador *Wallace Tree*. A Figura 25 descreve a topologia deste decodificador, de 3 bits ($N=3$).

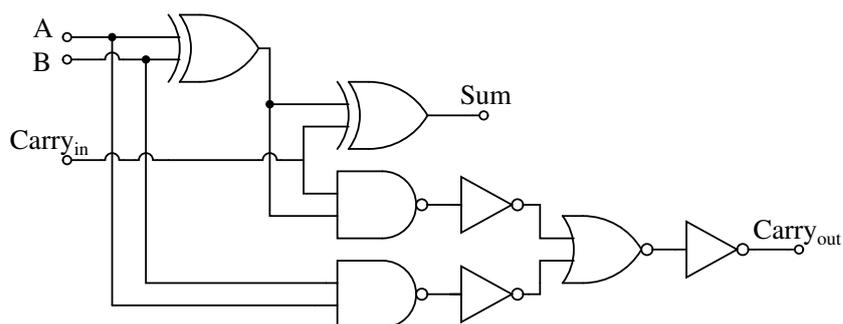
Figura 25 – Wallace Tree Decoder



Fonte: Autor

Esta topologia é constituída por quatro blocos *Full-Adder* (FA). Dentro de cada bloco FA contém duas portas lógicas XOR, duas NANDs, uma NOR e três portas NOT. Esta estrutura está representado conforme Figura 26. As portas lógicas foram projetadas com transistores médio V_{th}

Figura 26 – *Full-Adder*



Fonte: Autor

3.3.2 RESULTADOS DE SIMULAÇÃO EM ESQUEMÁTICO

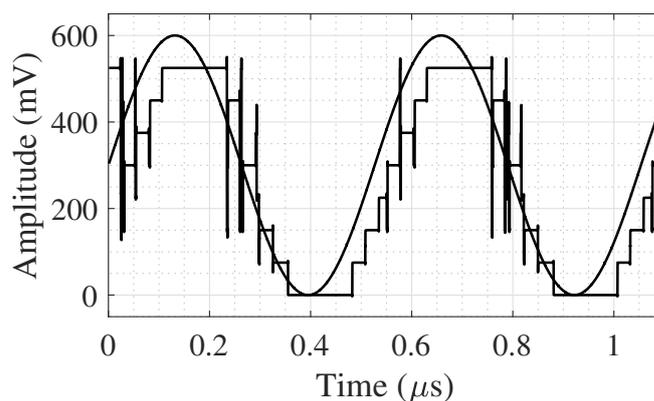
Esta seção apresenta os resultados da simulação. Todo o circuito foi projetado usando o simulador *Spectre* do ambiente Cadence. O circuito utilizado para reconstrução do sinal *Sample-and-hold* (S/H) foi implementado de forma ideal usando VerilogA.

A caracterização deste ADC se deu por meio do uso de amostragem coerente (MALOBERTI, 2007), equação 3.5, para o correto computo da FFT do sinal de saída do ADC. Utilizou-se $M_{ciclos}=51$, $N_{amostras}=2^{10}$ e frequência f_s de 38,192 MHz.

$$f_{in} = f_s \frac{M_{ciclos}}{N_{amostras}} \quad (3.5)$$

A Figura 43 diz respeito à tensão de entrada V_{in} senoidal, na frequência de 1,902140625 MHz, tensão pico a pico de 600 mV (com *offset* de 300 mV) e a sua respectiva saída após o processo de amostragem, quantização e de reconstrução, no qual foi utilizado um DAC ideal em VerilogA).

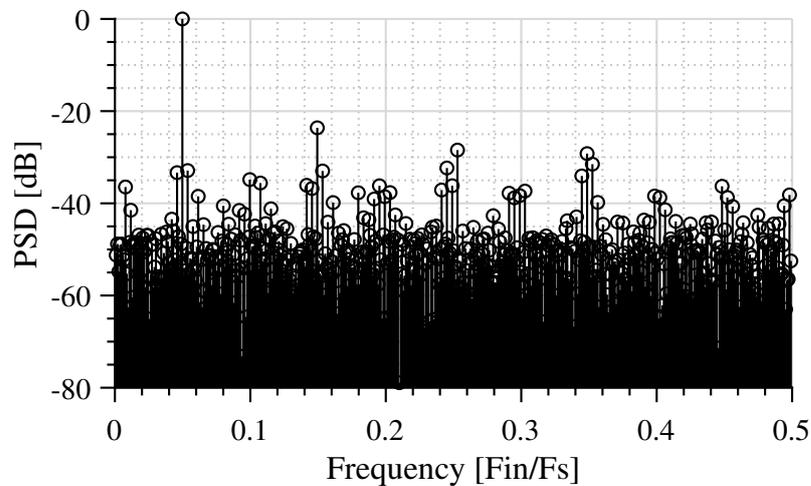
Figura 27 – Sinal de Entrada e sua representação digital



Fonte: Autor

A densidade espectral de Potência (PSD), Figura 44, foi realizada utilizando onda senoidal aplicado à entrada com frequência coerente de 1,902140625 MHz, tensão pico a pico de 600 mV com *offset* de 300 mV, representado por 1024 pontos.

Figura 28 – 1024-pontos FFT da saída do ADC com sinal de entrada *full-scale* de 1,902140625 MHz



Fonte: Autor

O ADC atingiu a razão Sinal Ruído (SNR) de 19,95 dB, enquanto que o razão de Sinal Ruído e Distorção (SNDR) foi de, 17,61 dB. A Faixa Dinâmica Livre de Espúrios (SFDR) alcançou 23,54 dB, limitado pela terceira harmônica (HD3), devido a resolução de 3 bits do ADC.

Com isto, o consumo de potência medido, através da onda senoidal, com amplitude *full-scale*, à frequência de 1,902140625 MHz, foi de 11,05 μW . A Tabela 9 elenca os resultados obtidos da simulação.

Tabela 3 – Resultados de simulação do ADC Flash

Tecnologia	180 nm
Alimentação	600 mV
Número de bits	3
Entrada	Rail-to-Rail
Frequência de Amostragem	38,192 MHz
SNR	19,95 dB
SNDR	17,61 dB
SFDR	23,54 dB
Consumo de Potência	19,97 μW

Fonte: O autor

Os principais receptores GNSS existentes não apresentavam o desempenho do ADC para fins de comparação, portanto, esta tabela mostra apenas o resultado das simulações deste trabalho.

4 ADCS FLASH DE 3-BITS RAIL-TO-RAIL COMPLETAMENTE DIFERENCIAL

Neste capítulo é apresentado o projeto completo de um conversor analógico-digital Flash de 3 bits, com entrada *rail-to-rail* completamente diferencial. Todo o circuito foi projetado no ambiente *Cadence*, utilizando o *package design kit* (PDK) da TSMC 0,18 μ m. O transistor utilizado foi o padrão de quatro terminais (fonte, dreno *gate* e *bulk*) de médio V_t . Ao longo desta seção são apresentados os resultados de simulação em nível de esquemático e de simulação pós-leiaute.

Neste protótipo foi adicionado mais um par diferencial à entrada do comparador. Além disso, houve a troca do decodificador *Wallace tree Decoder* para o *MUX2:1 based decoder*. Ambas as mudanças permitiram diminuir o ruído à entrada dos comparadores e aumentar a velocidade de conversão. No entanto, o *clock* foi diminuído para 20 MHz para o correto computo da FFT pois, para o *clock* de 38,192 MHz, algumas transições da reconstrução do sinal estavam ocorrendo fora da borda de subida, ocasionando erro no computo da FFT. Apesar disso, esta frequência está adequada para amostrar de frequênci

Com estas mudanças, o ADC chega a sua versão final com tensão de alimentação de 0,5 Volts.

A Figura 29 é a representação da topologia deste protótipo. Nota-se que para alimentar a nova entrada V_{ref} foi adicionado outro divisor de tensão. Estes divisores têm polarizações opostas um em relação ao outro.

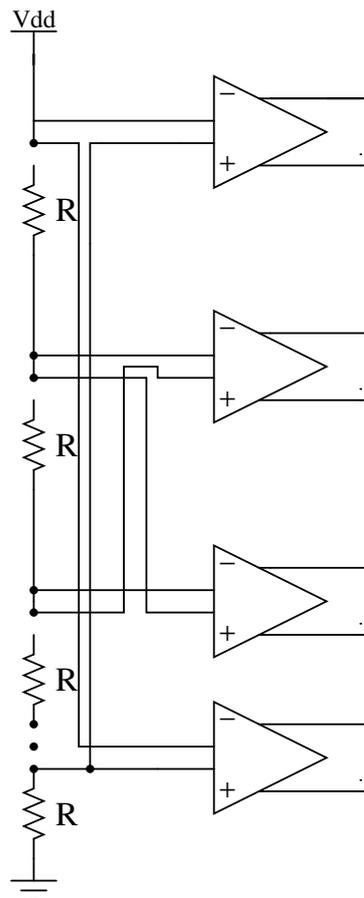
4.1 REDE RESISTIVA

Em ADCs flash completamente diferenciais existem estratégias para implementar as tensões de referência necessárias. A primeira estratégia é duplicar a rede, como ilustrado na Figura 29. Entretanto esta estratégia impacta no consumo de energia do ADC. Pode-se reduzir este consumo através do aumento da resistência e, por consequência, gerar maior ruído a entrada.

Outras estratégia que pode ser usada para implementar a rede é usar apenas uma malha de resistores e conectar V_{REF} de forma cruzada e, por consequência, pode aumentar o *offset* dos resistores ou adicionar capacitância parasitas indesejadas.

A Figura 30 ilustra o método de se conectar o divisor de forma cruzada. Esta é uma estratégia de que deve ser analisada sobretudo na questão consumo *versus* offset sendo que, se o projeto prioriza consumo, esta ideia pode ser implementada.

Figura 30 – Esquemático Simplificado do ADC Flash com única rede resistiva



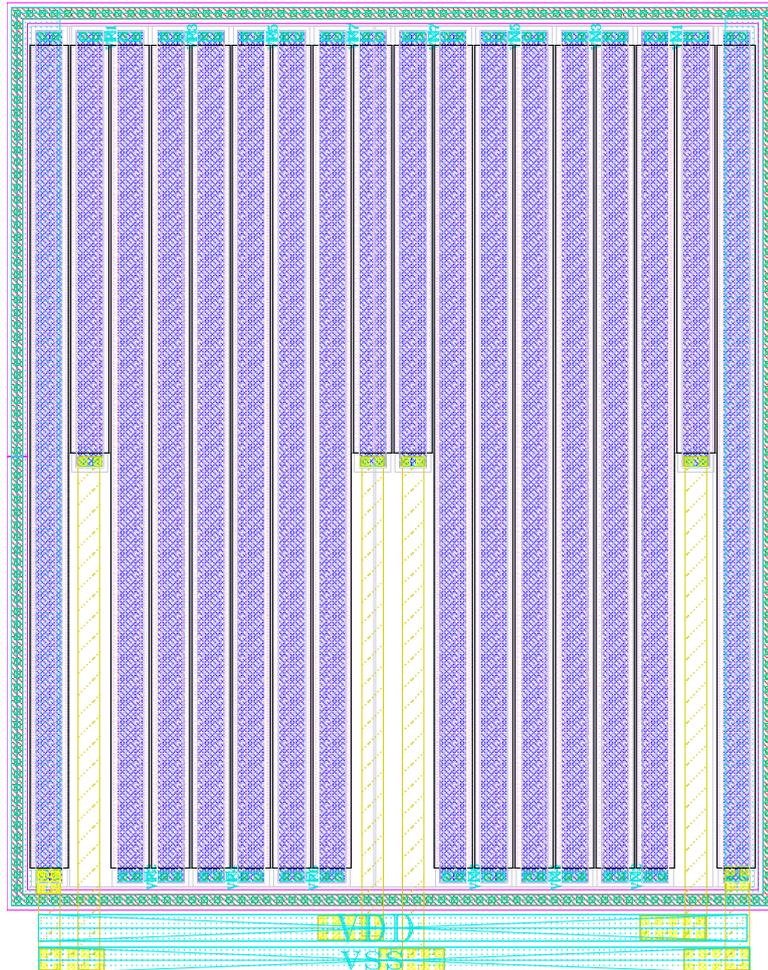
Fonte: Autor

Neste trabalho optou-se por usar a primeira estratégia: duplicar a rede resistiva. Os resistores deste protótipo são de poli-silício, escolhido por serem robustos ao processo de fabricação e relativamente precisos. O valor de cada resistor é de 10 k Ω . O consumo estático desta malha é de 9 μ W. Em relação ao protótipo 1, houve aumento de 100% de

consumo devido a multiplicação da rede.

A Figura 31 apresenta o leiaute da rede resistiva. A forma de serpenteamento dos resistores para obter melhor *offset* foi aplicado. No entanto, não se pensou em algo que pudesse diminuir a resistência parasita das trilhas que conectam os resistores à entrada dos comparadores. Além disso, o projeto sofreu alterações que inviabilizou a utilização de dois resistores em série de $10\text{ k}\Omega$ para obter a Resistência equivalente de $5\text{ k}\Omega$. Ao invés disso, nota-se que para atingir os $5\text{ k}\Omega$, a dimensão do mesmo foi reduzida a metade.

Figura 31 – Leiaute da rede resistiva



Fonte: Autor

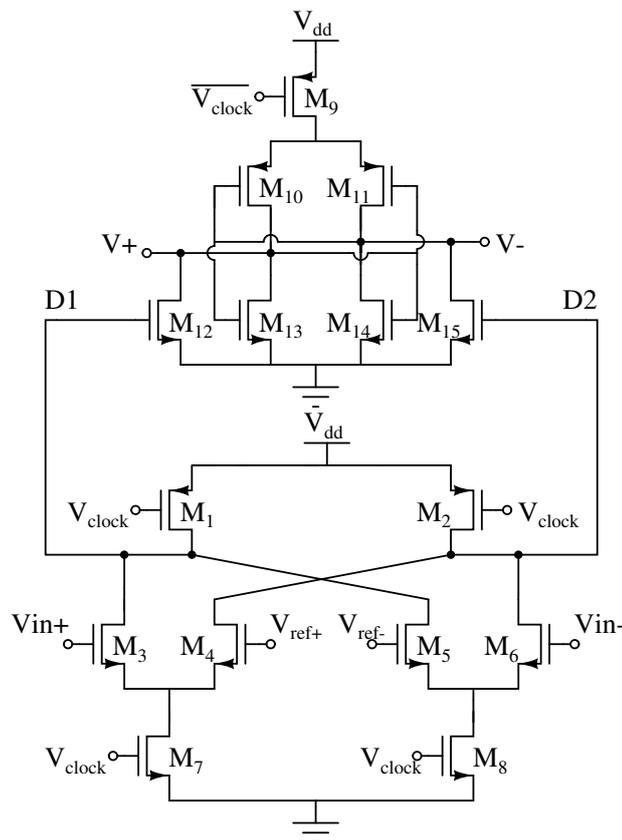
4.2 COMPARADOR *DOUBLE-TAIL*

A atualização que este comparador, Figura 33, teve em relação ao anterior, Figura 21, foi o acréscimo de mais um par diferencial na entrada. A Figura 33 ilustra este par como sendo os transistores M_4 e M_5 , retroalimentados. Além disso, a dimensão dos transistores

foi modificada, de modo que *multipliers* foram adicionados com a finalidade de melhorar o *offset*.

A completa conversão deste comparador é feito em um ciclo de *clock*, sendo o nível baixo para regenerar o *latch* e o nível alto para pré-amplificar o sinal.

Figura 32 – Comparador *Double-tail* com entrada Completamente diferencial



Fonte: Autor

Funcionamento do comparador em **Nível baixo de *clock***: M_1 e M_2 carregam os nós D1 e D2 em V_{DD} . Com isso $V+$ e $V-$ vão pra zero. Neste instante, os transistores de calda, M_7 , M_8 e M_9 , por estarem desligados, impede que qualquer corrente passe por eles.

Funcionamento do comparador em **Nível alto de *clock*** (fase de amplificação e decisão): Desta vez, os transistores M_7 , M_8 e M_9 estão ligados e os transistores M_1 e M_2 desligados. Neste momento, $V+$ e $V-$ estão indo pra V_{DD} em diferentes taxas e, apenas um vai atingir de fato V_{DD} . Os nós D1 e D2 se escoarão em taxas distintas. Isto porquê as transcondutâncias $g_{m3,5}$ e $g_{m4,6}$ são diferentes. A transcondutância g_m neste caso é proporcional a $V_{GS} - V_{th}$. Supondo $g_{m3,5}$ ser maior que $g_{m4,6}$, a taxa de decaimento de D1 é maior que D2. A transcondutância de M_{12} é menor que a de M_{15} e, com isso, o Nó $V+$ tende a esvaziar $V-$. Isto acontece pois, $V+$ impede de alimentar o nó $V-$ por desligar o transistor M_{11} e ligar o M_{14} . $V-$ indo pra zero, faz o transistor M_{10} ligar e M_{13} desligar, tornando o potencial $V+$ igual a V_{DD} .

Com a finalidade de melhorar o *offset* deste protótipo, os transistores foram

projetados com mais de uma *multiplier* de modo a permitir que combinações sejam feitas entre dois ou mais transistores iguais. Esta combinação pode ser feita utilizando-se centro comum ou intercalado. Para o melhor *matching* dos blocos, utilizou-se a técnica de centro comum.

A tabela 4, diz respeito a dimensão dos transistores e quantas *multipliers* foram utilizados em cada.

Tabela 4 – Dimensão dos transistores e quantidade de *multiplier* do comparador *Double-tail*

Transistor	W/L($\mu\text{m}/\mu\text{m}$)	Multipliers
M1	4/1	4
M2	4/1	4
M3	13,3/2	4
M4	13,3/2	4
M5	13,3/2	4
M6	13,3/2	4
M7	13,3/1	4
M8	13,3/1	4
M9	30/1	1
M10	3,6/0,9	6
M11	3,6/0,9	6
M12	2,91/0,9	4
M13	2,91/0,9	4
M14	2,91/0,9	4
M15	2,91/0,9	4

Fonte: o Autor

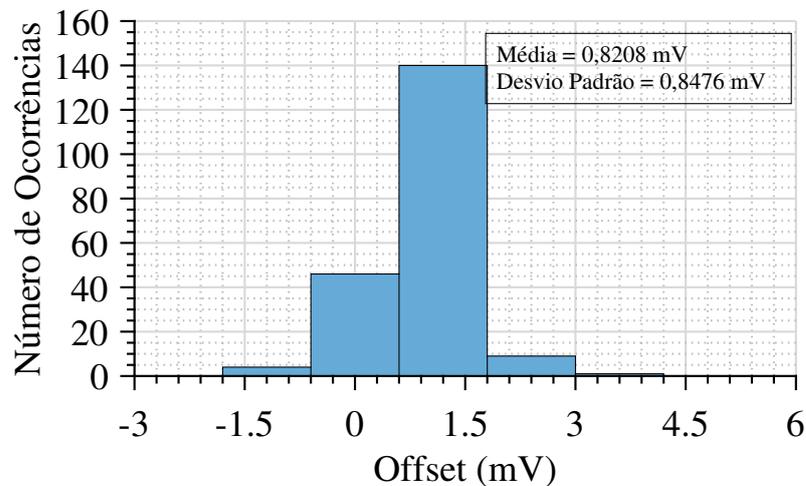
O gráfico da Figura 33 apresenta a simulação de Monte Carlo para este comparador, no qual foi realizado 200 rodadas. Para isso, foi adicionado uma rampa lenta à entrada do comparador para que houvesse maior número de ciclos de *clock* próximo à transição.

O consumo de potência medido desta topologia foi de $9,84 \mu\text{W}$ em nível de esquemático e $10,65 \mu\text{W}$ em nível de pós-leiaute, quando submetido a uma onda senoidal de entrada de $498,046875 \text{ kHz}$ e tensão de alimentação de $0,5 \text{ V}$.

4.2.1 LEIAUTE

O leiaute é desenho do circuito da maneira que ele será fabricado. O leiaute adequado de circuitos integradores é de extrema importância para o correto funcionamento do circuito. Em especial, o leiaute de comparadores deve ser completamente simétrico, e efetuado com as técnicas de leiaute conhecidas, como o centroide comum e interdigitação, por exemplo. Abaixo são explicados alguns efeitos em nível de leiaute que foram devidamente avaliados ao longo da etapa de leiaute dos comparadores e do ADC flash completo.

Figura 33 – Monte Carlo - Esquemático



Fonte: Autor

Uma das interferências comuns que devem ser mitigadas durante a etapa de leiaute é o *Cross-talking*: que são sinais vindos de outras fontes que interferem no sinal desejado. Estas fontes podem ser o acoplamento capacitivo de parasitas entre diferentes trilhas, sinais captados pela antena que não o desejado, trilhas de osciladores perto de trilhas do sinal, dentre outros.

Um exemplo clássico de proteção de um sinal analógico é o cabo coaxial, no qual a malha externa protege o sinal desejado de outras fontes de sinal indesejado.

A nível de circuito integrado, algumas técnicas são utilizadas para blindar a trilha de interesse e assim evitar interferências, sendo elas: garantir um adequado espaçamento entre a trilha de interesse das demais, evitando acoplamento de capacitâncias parasitas que, por sua vez, podem afetar a resposta do circuito.

Outra técnica é utilizar proteção *Shielding* no entorno da net crítica (por onde o sinal desejado trafega), especialmente quando há sinal em alta frequência próxima.

A Figura 35 apresenta o leiaute deste comparador. Os blocos destacados são grupos de transistores combinados. O grupo e seus respectivos transistores está na tabela 5.

O grupo 1 são os transistores dos pares diferenciais de entrada, os grupos dois, três e 6 são transistores de chaveamento, os grupos quatro e 5 forma o *latch* regenerativo. O grupo 7 é um *latch* adicionado à saída do comparador.

Em alguns grupos da Figura 35 é possível perceber que os dispositivos estão com texto em cima. Por exemplo, no grupo 1 é possível identificar as letras ABCD. Cada letra corresponde a um transistor do par diferencial. Se há quatro letras A, este transistor tem quatro *multipliers* (transistores conectados em paralelo). Esta sequência é conhecida por combinação interdigitada. Assim como o grupo 1, os demais grupos tiveram as disposições dos transistores de forma interdigitada.

Neste leiaute não foi aplicado técnicas contra efeitos de eletro migração, pois o

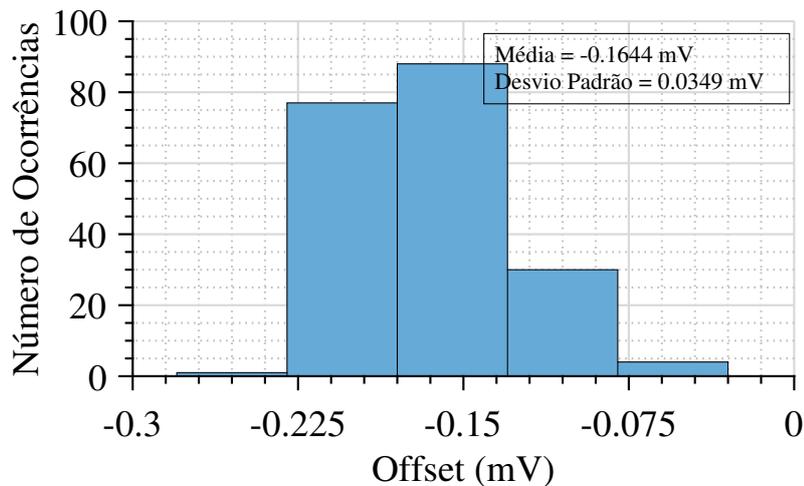
Tabela 5 – Grupos referentes aos blocos

	Combinação dos transistores
Grupo 1	M_3, M_4, M_5, M_6
Grupo 2	M_1, M_2
Grupo 3	M_9
Grupo 4	$M_{12}, M_{13}, M_{14}, M_5$
Grupo 5	M_{10}, M_{11}
Grupo 6	M_7, M_8
Grupo 7	Latch

circuito consome baixa corrente. No entanto, *dummies* foram aplicados em todos os grupos (blocos).

O *Offset* deste comparador foi calculado aplicando-se a ele uma rampa lenta próxima ao ponto de decisão $V_{DD}/2$. O histograma da Figura 39 foi obtido fazendo 200 rodadas de simulação Monte Carlo. O desvio padrão atingiu $\sigma_{os}=0,0349$ mV.

Figura 34 – Monte Carlo - Leiaute



Fonte: Autor

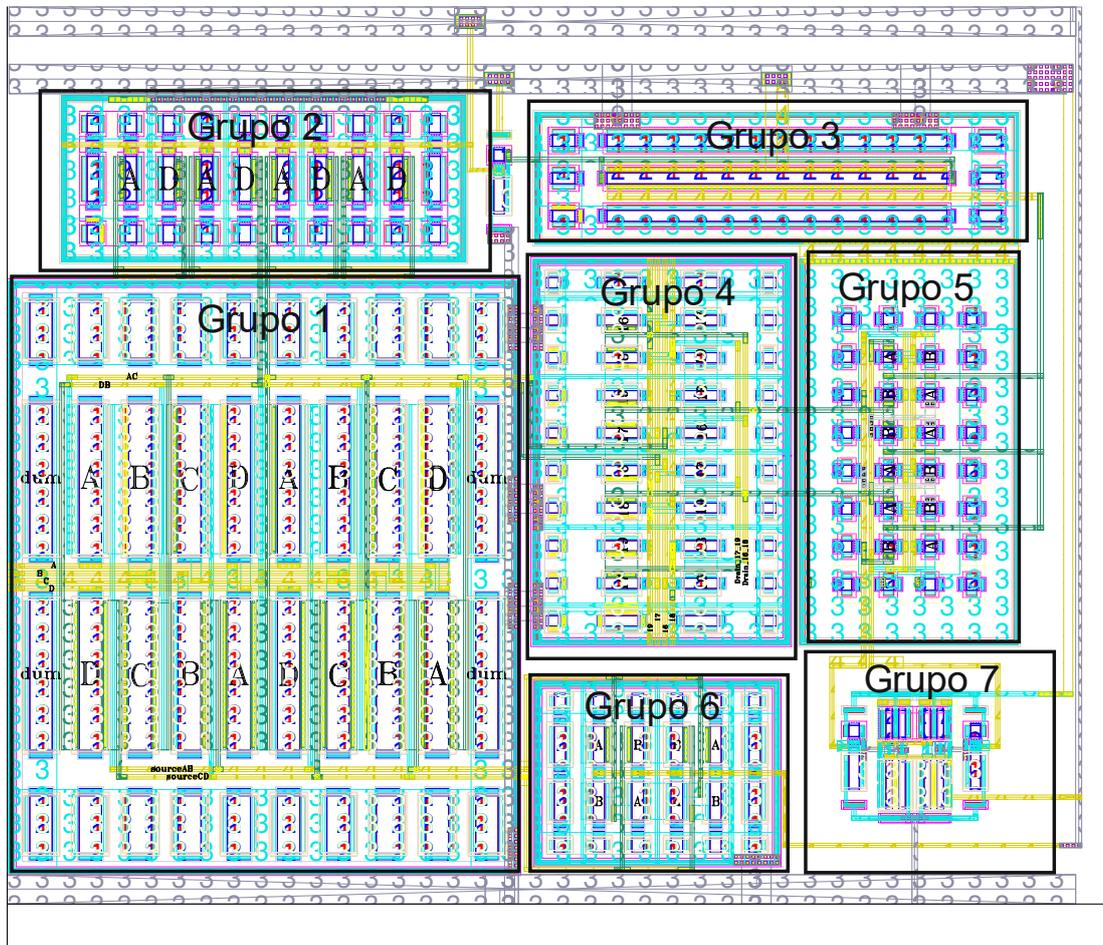
Por fim, os *rails* de V_{DD} e V_{clock} estão acima do circuito e V_{SS} , abaixo. As entradas V_{in} e V_{ref} ficaram para o lado esquerdo e as saídas V_{OUT+} e V_{OUT-} pelo lado direito.

4.3 COMPARADOR *DYNAMIC-LATCH*

O comparador com entrada PMOS é o do tipo Convencional *Dynamic-latch* representado pela Figura 36. O processo de pré-amplificação, decisão e regeneração é feito através de um ciclo de *clock*, em que o nível baixo, ao contrário do comparador com entrada NMOS, são as fases de pré-amplificação e decisão; e o nível alto é a fase regenerativa.

O Funcionamento deste comparador, ao contrário do comparador NMOS, começa em nível do *clock* alto (fase regenerativa):

Figura 35 – Leiaute do Comparador *Double-tail* com pares de entrada completamente diferenciais

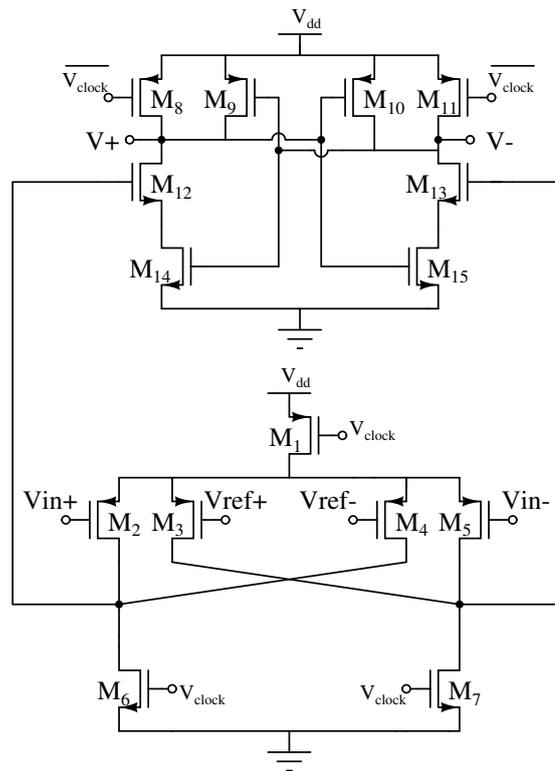


Fonte: Autor

Os Transistores M_8 e M_{11} são ligados, permitindo que V_+ e V_- alcancem a tensão de V_{DD} de modo que estes, por estarem retroalimentados, mantêm desligado os transistores M_9 e M_{10} ao tempo que polarizam o gate de M_{14} e M_{15} . As chaves M_6 e M_7 descarregam os nós de gate de M_{12} e M_{13} , não permitindo que V_+ ou V_- se descarreguem.

Em **nível do clock baixo** acontece a fase de pré-amplificação e decisão: V_+ e V_- estão rumo ao potencial de V_{SS} , mas somente um o atingirá. Os transistores M_6 , M_7 , M_8 e M_{11} tornam-se desligados e o transistor M_1 ligado. Ao contrário do NMOS, que escoar a carga gerada no gate para o V_{SS} , este comparador gera tensão no gate de M_{12} e M_{13} . A corrente I_D que flui em M_{12} e M_{13} é proporcional a seus respectivos V_{GS} . Suponha que a transcondutância $g_{m(2,4)}$ seja maior que $g_{m(3,5)}$, imediatamente I_{DM12} é maior que I_{DM13} também e, por consequência, V_+ decai mais rápido que V_- . Em algum momento nesta fase o transistor M_{15} cessa a corrente I_{DM13} e alimenta V_- através do transistor M_{10} . Por V_+ e V_- estarem retroalimentados, o efeito contrário pode ser checado para V_+ .

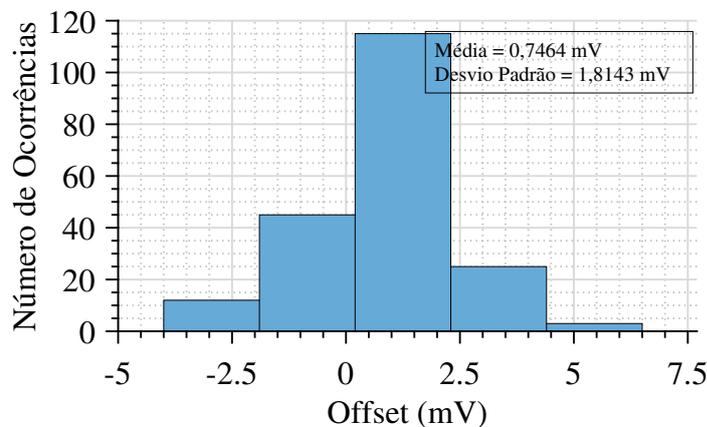
A tabela 6 diz respeito a relação W/L e quantidade de *multipliers* para cada transistor.

Figura 36 – Comparador *Dynamic-latch* com entrada Completamente diferencial

Fonte: Autor

O *Offset* deste comparador foi calculado aplicando-se a ele uma rampa lenta próxima ao ponto de decisão $V_{DD}/2$. O histograma da Figura 37 foi obtido fazendo 200 rodadas de simulação Monte Carlo. O desvio padrão atingiu $\sigma_{os}=1,8143$ mV.

Figura 37 – Monte Carlo - Esquemático



Fonte: Autor

O consumo de potência medido desta topologia foi de $2,33 \mu\text{W}$ em nível de esquemático e $2,80 \mu\text{W}$ em nível de pós-leiaute, quando submetido a uma onda senoidal de entrada de $498,046875$ kHz e tensão de alimentação de $0,5$ V.

Tabela 6 – Dimensão e *sizing* dos transistores

Transistor	W/L($\mu\text{m}/\mu\text{m}$)	Multipliers
M1	8/0,9	2 fingers
M2	3/0,9	4
M3	3/0,9	4
M4	3/0,9	4
M5	3/0,9	4
M6	1/0,9	4
M7	1/0,9	4
M8	1/0,9	4
M9	1/0,9	4
M10	1/0,9	4
M11	1/0,9	4
M12	1,9/0,9	4
M13	1,9/0,9	4
M14	4,8/0,9	4
M15	4,8/0,9	4

Fonte: Autor

4.3.1 LEIAUTE

A Figura 38 é o leiaute deste comparador. Os blocos destacados são grupos de transistores combinados.

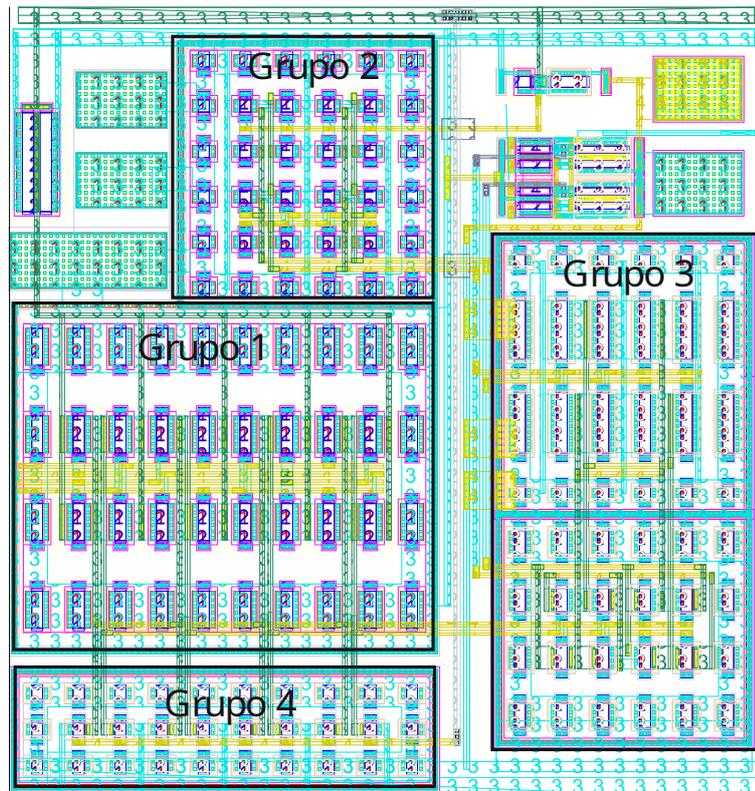
O grupo e seus respectivos transistores está na tabela 7. O grupo 1 são os transistores dos pares diferenciais de entrada, o grupo 2 não os nós regeneradores de tensão e controlados pelos transistores do grupo 3, retroalimentados. Por fim, o grupo 4 contém as chaves de *clock*.

Tabela 7 – Grupos referentes aos blocos

	Combinação dos transistores
Grupo 1	M_2, M_3, M_4, M_5
Grupo 2	M_8, M_9, M_{10}, M_{11}
Grupo 3	$M_{12}, M_{13}, M_{14}, M_{15}$
Grupo 4	M_6, M_7

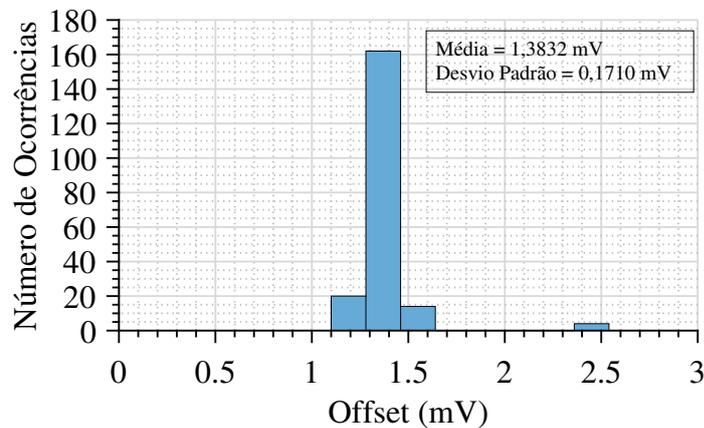
Neste leiaute não foi aplicado técnicas contra efeitos de eletro migração, pois o circuito consome baixa corrente. No entanto, *dummies* foram aplicados em todos os grupos (blocos) com a finalidade de blindar os componentes internos.

Por fim, os *rails* de V_{DD} e V_{clock} estão acima do circuito e, V_{SS} , abaixo. As entradas V_{in} e V_{ref} ficaram para o lado esquerdo e as saídas V_{OUT+} e V_{OUT-} junto ao Latch, à nordeste da Figura 38.

Figura 38 – Leiaute do Comparador *Dynamic-latch*

Fonte: Autor

Figura 39 – Monte Carlo - Leiaute



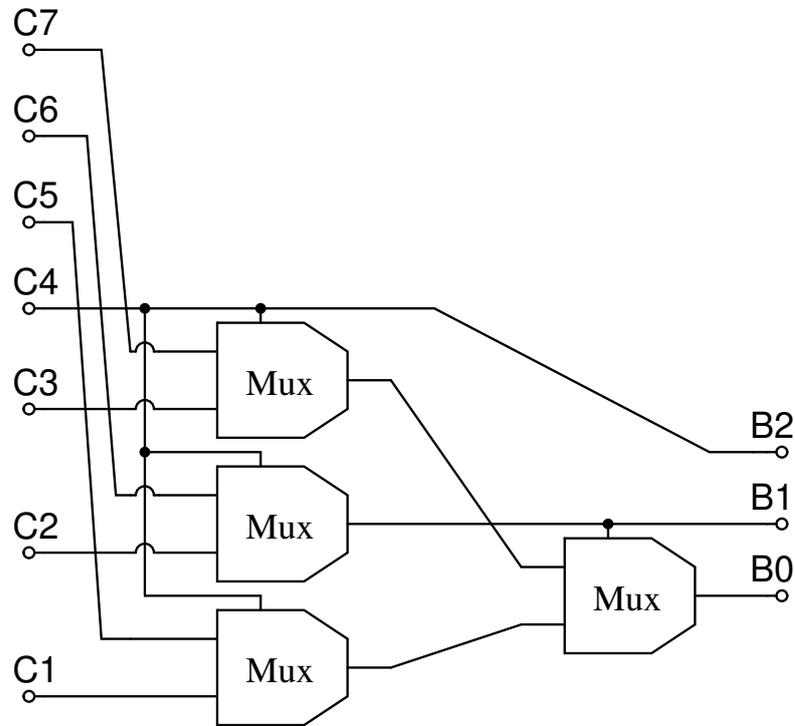
Fonte: Autor

4.4 DECODIFICADOR DO TIPO *BASED-MUX 2:1*

Neste protótipo optou-se por utilizar outro circuito decodificador. O decodificador utilizado neste protótipo é representado pela Figura 40. Esta topologia em relação a topologia *Wallace Tree* tem a vantagem de ser mais rápida no processo de conversão do código termômetro para binário. Esta topologia de decodificar é amplamente adotada em ADCs flash utilizados como quantizadores em ADCs do tipo Sigma-Delta Multi-Bit (PAVAN; SCHREIER; TEMES, 2017). A Figura 41 apresenta o circuito do MUX

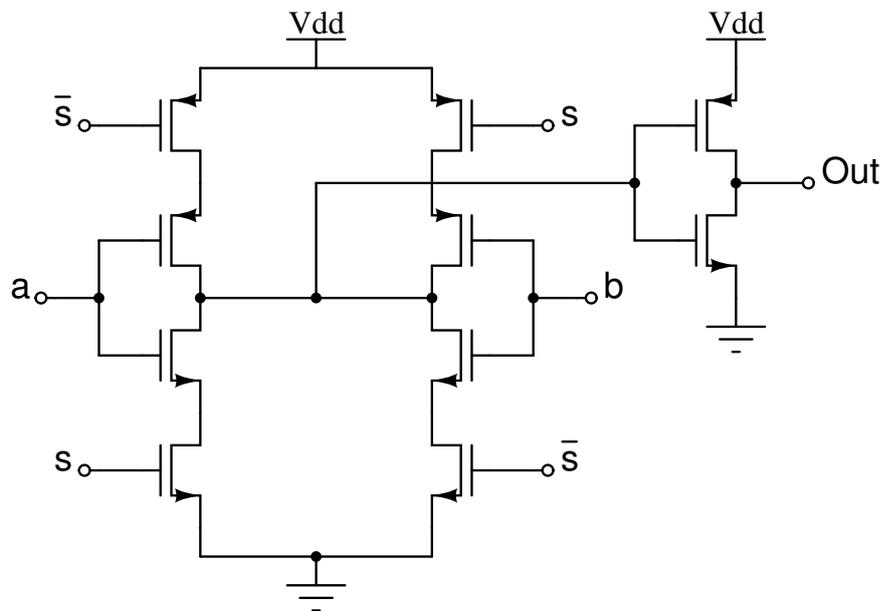
empregado neste decodificador.

Figura 40 – Esquemático do Decodificador do tipo MUX 2:1



Fonte: Autor

Figura 41 – Estrutura interna do MUX

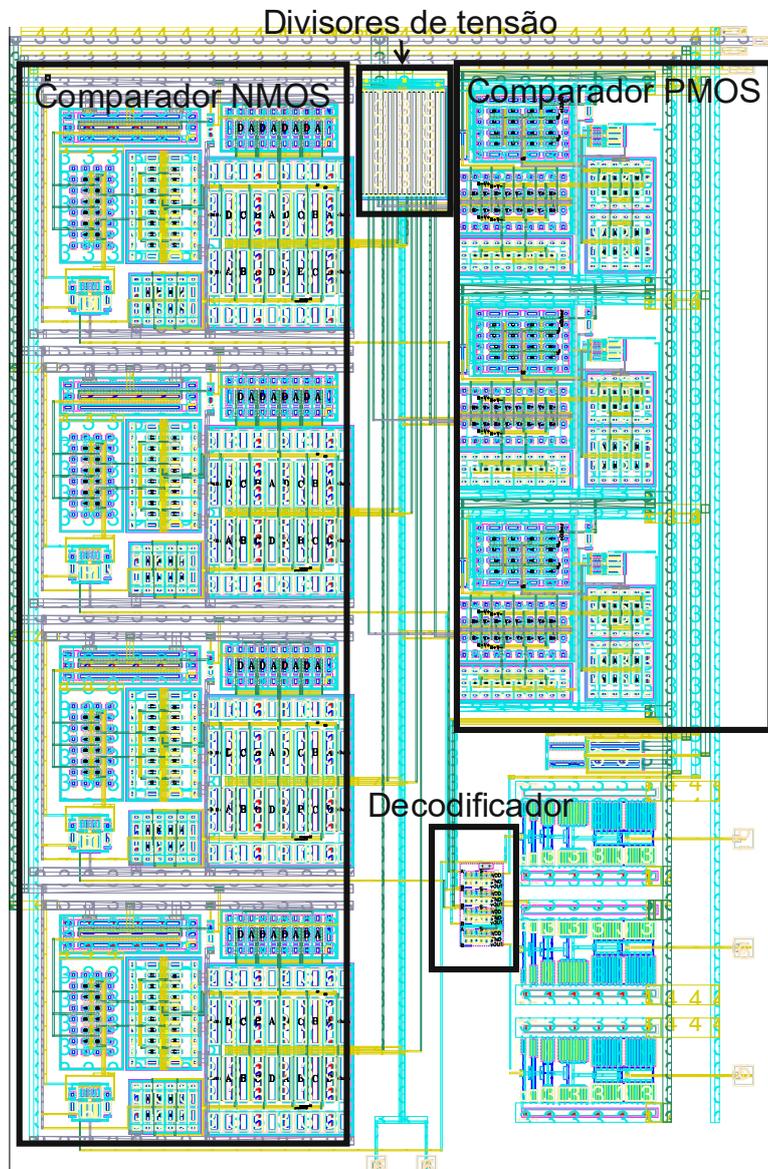


Fonte: Autor

4.5 LEIAUTE DO ADC FLASH

A Figura 42 apresenta o leiaute de todo o circuito projetado. Os blocos maiores a oeste são os comparadores com entrada *fully-differential* NMOS. A leste são os comparadores com entrada PMOS. Ao norte encontra-se a *string* de resistores. Ao sul, o bloco Decodificador recebe as nets V_{OUT+} dos comparadores e fornece a saída binária de 3 bits, no qual é, por sua vez conectado ao *buffer* de saída.

Figura 42 – Leiaute do ADC Flash



4.6 RESULTADOS DE SIMULAÇÃO EM ESQUEMÁTICO

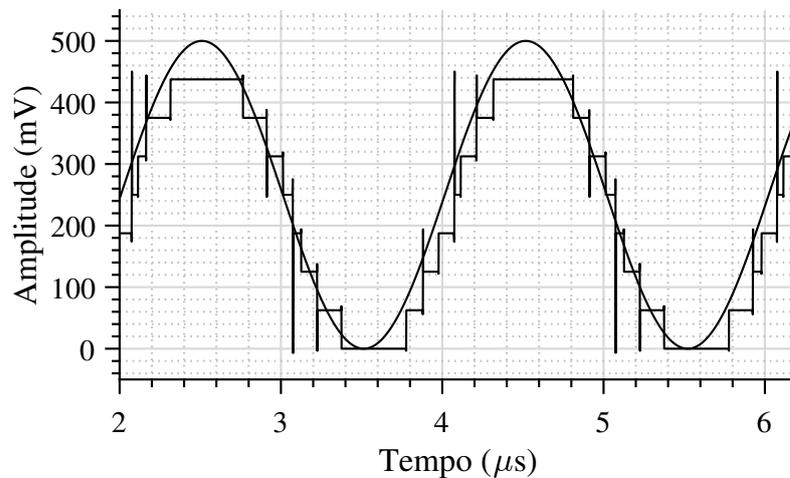
Esta seção apresenta os resultados da simulação. Todo o circuito foi projetado usando o simulador *Spectre*. O circuito utilizado para reconstrução do sinal *Sample-and-hold* (S/H) foi implementado de forma ideal usando VerilogA.

Até este momento foi efetuada a caracterização dinâmica do ADC Flash. Fez-se o uso de amostragem coerente, Equação 4.1 para o correto computo da FFT. A simulação transiente feita no ADC utilizou o sinal senoidal *full-scale*, na frequência coerente de 498,046875 kHz, obtida através da Equação 4.1, e tensão de pico a pico de 500 mV. Utilizou-se $M_{ciclos}=51$, $N_{amostras}=2^{11}$ e frequência f_s de 20 MHz.

$$f_{in} = f_s \frac{M_{ciclos}}{N_{amostras}} \quad (4.1)$$

A Figura 43 apresenta a simulação transiente do sinal senoidal aplicado à entrada do ADC e a sua respectiva saída, cuja forma (degraus) gerou-se a partir de um DAC ideal a partir da saída binária do ADC.

Figura 43 – Sinal de entrada e sua representação digital



Fonte: Autor

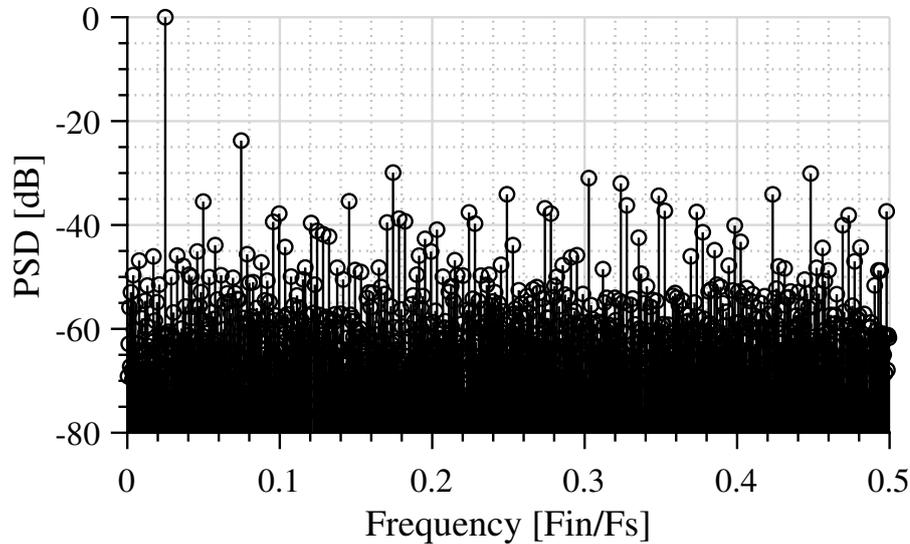
A Figura 44 mostra a densidade espectral de potência (PSD). O ADC atingiu a razão sinal ruído (SNR) de 21,10 dB. A razão de sinal ruído e distorção (SNDR) atingiu 18,43 dB. A faixa dinâmica livre de espúrios (SFDR) alcançou 23,75 dB.

O consumo de potência deste ADC foi de 60,6 μW , quando submetido a uma frequência de entrada de 498,046875 kHz.

4.6.1 SIMULAÇÃO PÓS-LEIAUTE

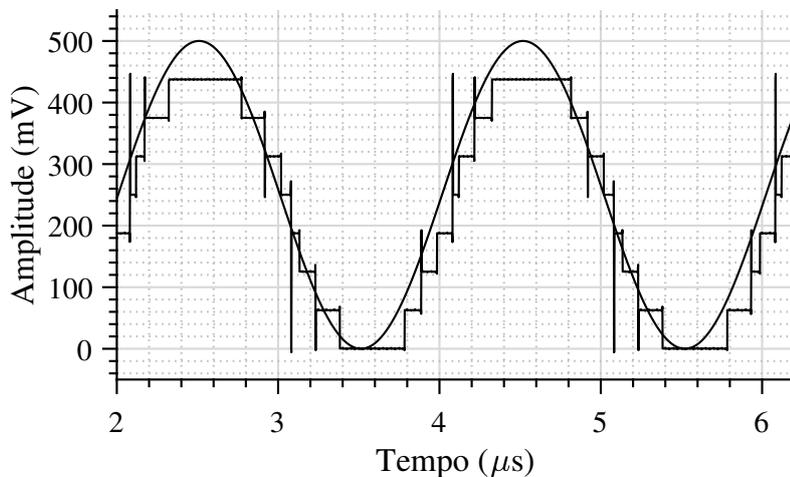
A figura 45 é a simulação transiente do ADC Flash em nível de leiaute, em que foi aplicado um sinal senoidal à entrada do ADC, na frequência de 1,902140625 MHz e a sua respectiva saída binária, em que foi adicionado um DAC ideal em VerilogA para a reconstrução o sinal (degraus). O consumo total deste ADC foi de 67,75 μW .

Figura 44 – Espectro de saída do ADC para um sinal de entrada com amplitude *full-scale* e frequência de 498,046875 kHz. Simulação em nível de esquemático e FFT de 2048 pontos.



Fonte: Autor

Figura 45 – Sinal de entrada e sua representação digital

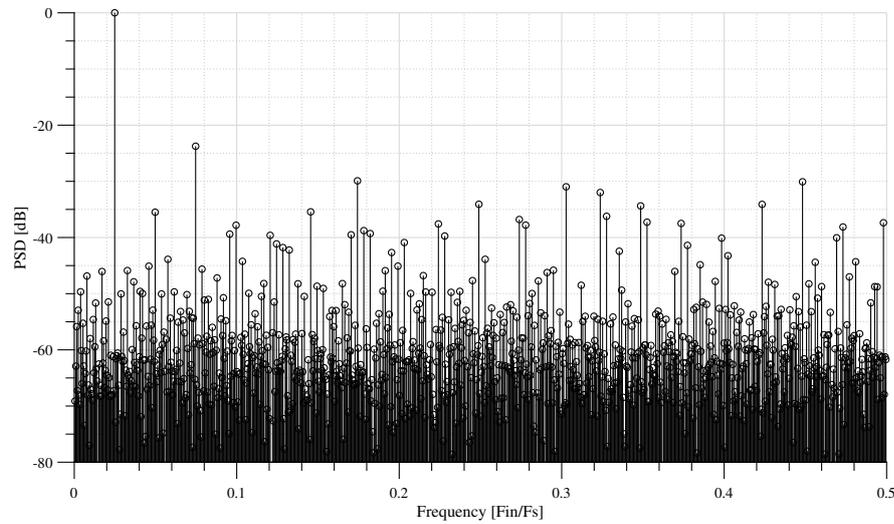


Fonte: Autor

A Figura 46 mostra a densidade espectral de potência do sinal de saída do ADC. Este ADC atingiu a razão sinal ruído (SNR) de 21,10 dB. Com a adição da distorção harmônica, a SNDR atingiu 18,2503 db. A faixa dinâmica livre de espúrios (SFDR) alcançou 23,75 dB. O ENOB atingiu 2,77 bits.

A Tabela 8 apresenta um comparativo entre o consumo de potência dos blocos que compõe os ADCs projetados neste trabalho. Observa-se um aumento de consumo potência dos blocos do protótipo 02, e uma redução da tensão de *offset* dos comparadores do empregados no protótipo 02.

Figura 46 – Espectro de saída do ADC para um sinal de entrada com amplitude *full-scale* e frequência de 498,046875 kHz. Simulação pós-leiaute e FFT de 2048 pontos.



Fonte: Autor

A figura de mérito (FoM) dos ADCs projetados neste trabalho é calculada de acordo com a equação 4.2 (MALOBERTI, 2007):

$$FoM = \frac{Potência}{2 \cdot BW \cdot 2^{ENOB}} \quad (4.2)$$

A Tabela 9 sumariza os resultados de simulação pós-leiaute do ADC flash de 3-bits com entrada rail-to-rail projetado neste trabalho, e o compara com os resultados de simulação em nível de esquemático e com os resultados de simulação do protótipo 01.

Tabela 8 – Consumo de energia dos comparadores e rede resistiva, e tensão de offset de entrada dos comparadores.

Parâmetros	Protótipo 01	Protótipo 02	
		Esquemático	Leiaute
Consumo Comparador Dynamic Latch (μW)	1,34	2,33	2,80
Consumo Comparador Double-tail (μW)	1,65	9,84	10,65
Divisor de Tensão (μW)	4,5 (calculado)	7,15 (calculado)	-
<i>offset</i> (σ) do comparador Dynamic Latch (mV)	6,45	1,8143	0,1710
<i>offset</i> (σ) do comparador Double-Tail (mV)	4,63	0,8476	0,0349

Fonte: Autor

Tabela 9 – Sumário de desempenho dos ADCs Flash de 3 bits do tipo *rail-to-rail* projetados neste trabalho.

Parâmetros	Protótipo 01	Protótipo 02	
		Esquemático	Leiaute
Tecnologia (nm)	180	180	180
Tensão de alimentação (mv)	600	500	500
Número de Bits	3	3	3
Tipo de entrada	Unipolar	Diferencial	Diferencial
Freq. de Amostragem (MHz)	38,192	20	20
SNR (dB)	19,18	21,10	21,10
SNDR (dB)	17,63	18,43	18,43
SFDR (dB)	23,54	23,75	23,75
ENOB (bits)	2,63	2,77	2,77
Potência (μ W)	19,97	60,6	67,75
FoM (fJ/conv.)	84,47	444,21	496,62

Fonte: Autor

A Tabela 10 sumariza os resultados obtidos no protótipo 02 e os compara com outros trabalhos semelhantes publicados na literatura.

Tabela 10 – Comparação de desempenho do protótipo 02 (simulação pós-leiaute) com outros ADCs Flash presentes na literatura

	[1]	[2]	[3]	Protótipo 02
Ano	2016	2017	2018	2022
ADC	Flash	Flash	Flash	Flash
Resolução (bits)	3	4	4	3
Tecnologia (nm)	28	180	90	180
VDD (V)	-	1,8	1,2	0,50
Taxa de Amostragem	24 GS/s	400 MS/s	1,6 GS/s	20 MS/s
ENOB (bits)	2,2	3,72	3,2	2,77
SNDR (dB)	14,97	24,148	-	18,43
SFDR (dB)	-	30,202	-	23,75
FoM (fJ/conv.)	745,000	3.600,00	12,40	496,62

[1] (TRETTER et al., 2016);

[2] (S.M. et al., 2017);

[3] (ALMANSOURI et al., 2018);

Fonte: Autor

5 CONCLUSÕES

Este trabalho abordou o projeto e análise de conversores AD do tipo flash para aplicações de baixa tensão. Foi efetuado o projeto de dois protótipos, sendo um do tipo *single-ended*, e outro completamente diferencial.

As mudanças de um protótipo para o outro aconteceram nas três principais estruturas que compõe o ADC Flash: No divisor de tensão, nos comparadores e no decodificador. Tais mudanças permitiram reduzir a tensão de alimentação do circuito, melhorar o *offset* dos comparadores e aspectos de caracterização, tais como SNR, SDFR, SNDR e ENOB.

A frequência de amostragem também foi alterada, passando de 38,192 MHz para 20 MHz. Esta mudança se deu com a finalidade de garantir a estabilização do sinal de saída do ADC em meio período de clock.

No segundo protótipo foram empregados transistores de médio VT em todos os comparadores. Isto possibilitou o uso de uma tensão de 0,5 V para alimentar todo o circuito do protótipo 2, enquanto o protótipo 1 foi alimentado com 0,6 V. O consumo de potência do protótipo 2 teve aumento de 203,45% em relação ao anterior.

O consumo de potência do divisor de tensão do protótipo 2 teve um aumento de 58,88 % em relação ao protótipo 1. Isto ocorreu devido a duplicação da rede resistiva. Já as mudanças que ocorreram nos comparadores do protótipo 2 em relação ao 1 tiveram impactos positivos e negativos. O negativo é o consumo de potência, no qual houve aumento significativo de consumo dos comparadores do protótipo 2 em relação ao 1.

O comparador do tipo *Dynamic-latch* do protótipo 2 em relação ao 1 teve aumento de consumo de 73,88% em nível de esquemático. Já o comparador do tipo *Double-tail* do protótipo 2 teve aumento de 496,36% frente ao protótipo 1, sendo o principal consumidor de potência deste ADC.

O consumo de potência do decodificador *Wallace Tree* calculado é igual a 4,85 μW e o consumo do decodificador baseado em Mux é 7,1 μW e 9,6 μW , no nível de esquemático e leiaute, respectivamente. Não é possível, diante simulações feitas, afirmar que o decodificador do tipo Mux tem maior velocidade de conversão, visto que os testes para o protótipo 2 foram efetuados com uma frequência de amostragem menor.

Todos os aspectos de caracterização do ADC do protótipo 2 tiveram melhorias com as mudanças feitas. A SNR teve ganho de 1,92 dB, a SNDR teve ganho de 0,8 dB, a SDFR teve acréscimo ínfimo de 0,21 dB e o ENOB foi de 2,63 para 2,77 bits.

5.1 TRABALHOS FUTUROS

Tendo em mão os dados apresentados neste trabalho e tendo em vistas as diferentes topologias de comparadores e decodificadores existentes, vale o leitor implementar outras topologias de comparadores NMOS se o requisito consumo de potência for importante. Além disso, a topologia do divisor de tensão, embora não seja o principal gargalo de

consumo do protótipo 2, pode ser trabalhada conforme sugestão vista na seção anterior. Por fim, pode-se empregar apenas uma topologia de comparador com entrada do tipo rail-to-rail. Após uma melhor inspeção no que pode ser melhorado, este trabalho pode servir de referência para o projeto de outros tipos de ADCs.

REFERÊNCIAS

- ALMANSOURI, A. S. et al. A 12.4fs-fom 4-bit flash adc based on the strongarm architecture. In: *2018 14th Conference on Ph.D. Research in Microelectronics and Electronics (PRIME)*. [S.l.: s.n.], 2018. p. 37–40. Citado na página 82.
- BABAYAN-MASHHADI, S.; LOTFI, R. Analysis and design of a low-voltage low-power double-tail comparator. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, v. 22, n. 2, p. 343–352, 2014. Citado na página 55.
- BAKER HARRY W. LI, D. E. B. R. J. *CMOS. Circuit Design, Layout and Simulation*. 4th edition. ed. [S.l.]: Prentice-Hall of India Private Ltd., 2003. (Circuit Design, Layout, and Simulation). ISBN 9788120316829,8120316827. Citado 2 vezes nas páginas 26 e 37.
- HASTINGS, A. *The Art of Analog Layout*. 2. ed. [S.l.]: Prentice Hall, 2005. ISBN 0131464108,9780131464100,0131464108. Citado na página 31.
- HAYKIN, B. V. V. S. *Signals and Systems*. 2nd edition. ed. [S.l.]: Wiley, 2002. ISBN 0471164747,9780471164746. Citado na página 32.
- HOOD, J. L. *The art of linear electronics*. 2nd ed. ed. [S.l.]: Butterworth-Heinemann, 1998. ISBN 0750608684; 9780750608688. Citado na página 30.
- KESTER, W. *Analog-Digital Conversion*. [S.l.]: Analog Devices, 2004. ISBN 9780916550271,0916550273. Citado na página 26.
- LATHI; DING. *Modern Digital and Analog Communication Systems*. 4. ed. [S.l.]: Oxford University Press, 2009. (The Oxford Series in Electrical and Computer Engineering). ISBN 0195331451. Citado na página 32.
- LEE, H. et al. A 100-nw 9.1-enob 20-ks/s sar adc for portable pulse oximeter. *IEEE Transactions on Circuits and Systems II: Express Briefs*, v. 62, n. 4, p. 357–361, 2015. Citado na página 57.
- MALOBERTI, F. *Data Converters*. [S.l.]: Springer, 2007. Citado 2 vezes nas páginas 62 e 81.
- MALOBERTI, F. *Understanding Microelectronics: A Top-Down Approach*. 1st. ed. [S.l.]: Wiley-Blackwell, 2011. ISBN 047074555X,9780470745557. Citado 3 vezes nas páginas 26, 35 e 41.
- MOORE, G. Solid state: Vlsi: Some fundamental challenges: Defining and designing the products made possible by very-large-scale integration are first on the list of priority tasks. *IEEE Spectrum*, v. 16, n. 4, p. 30–30, 1979. Citado na página 25.
- PAVAN, S.; SCHREIER, R.; TEMES, G. C. In: _____. *Understanding Delta-Sigma Data Converters*. [S.l.: s.n.], 2017. p. 1–26. Citado na página 76.
- PELGROM, M. *Analog-to-Digital Conversion*. 3. ed. [S.l.]: Springer International Publishing, 2017. ISBN 978-3-319-44971-5,978-3-319-44970-8. Citado 10 vezes nas páginas 26, 34, 35, 36, 38, 39, 40, 45, 46 e 48.
- RAZAVI, B. *RF Microelectronics*. [S.l.]: Prentice Hall, 1997. ISBN 0138875715,9780138875718. Citado 2 vezes nas páginas 29 e 32.

- RIVELA, G. et al. A low power rf front-end for l1/e1 gps/galileo and glonass signals in cmos 65nm technology. In: *2011 International Conference on Localization and GNSS (ICL-GNSS)*. [S.l.: s.n.], 2011. p. 7–12. Citado na página 27.
- RIVELA, G. et al. A low power rf front-end for l1/e1 gps/galileo and glonass signals in cmos 65nm technology. In: *2011 International Conference on Localization and GNSS (ICL-GNSS)*. [S.l.: s.n.], 2011. p. 7–12. Citado 2 vezes nas páginas 50 e 51.
- RODRIGUES, S. A. *Conversor Analógico-Digital Assíncrono*. Tese (Doutorado) — Universidade Federal de Campina Grande, Curso de Pós-Graduação em Engenharia Elétrica, Campina Grande - PB, 2011. Citado na página 25.
- SAINT, J. S. C. *IC Mask Design: Essential Layout Techniques*. 1. ed. [S.l.]: McGraw-Hill Professional, 2002. ISBN 0071389962,9780071389969,9780071500937. Citado na página 40.
- SALL, E.; VESTERBACKA, M.; ANDERSSON, K. A study of digital decoders in flash analog-to-digital converters. In: *2004 IEEE International Symposium on Circuits and Systems (IEEE Cat. No.04CH37512)*. [S.l.: s.n.], 2004. v. 1, p. I–I. Citado 3 vezes nas páginas 59, 60 e 61.
- SAMPER JUAN MELENDEZ LAGUNILLA, R. B. P. J. M. *GPS And Galileo Dual RF Front End Receiver And Design Fabrication And Test*. [S.l.]: McGraw-Hill, 2009. (Communication Engineering). ISBN 0071598693, 9780071598699. Citado na página 50.
- SCHINKEL, D. et al. A double-tail latch-type voltage sense amplifier with 18ps setup+hold time. In: *2007 IEEE International Solid-State Circuits Conference. Digest of Technical Papers*. [S.l.: s.n.], 2007. p. 314–605. Citado na página 55.
- SEITZER, J. B. e. D. *Methods and Materials in Microelectronic Technology*. 1. ed. [S.l.]: Springer US, 1984. (The IBM Research Symposia Series). ISBN 978-1-4684-4849-8,978-1-4684-4847-4. Citado na página 25.
- S.M., M. et al. Design of low power 4-bit 400ms/s standard cell based flash adc. In: *2017 IEEE Computer Society Annual Symposium on VLSI (ISVLSI)*. [S.l.: s.n.], 2017. p. 600–603. Citado na página 82.
- STARLINK. *Starlink internet Banda Larga*. 2021. [Online; accessed 1-março-2022]. Disponível em: <<https://www.starlink.com/%C3%B3dino&oldid=61744527>>. Citado na página 27.
- TRETTTER, G. et al. Design and characterization of a 3-bit 24-gs/s flash adc in 28-nm low-power digital cmos. *IEEE Transactions on Microwave Theory and Techniques*, v. 64, n. 4, p. 1143–1152, 2016. Citado na página 82.
- YAO, L.; STEYAERT, M.; SANSEN, W. A 1.8-v 6-bit flash adc with rail-to-rail input range in 0.18 m cmos. In: *ASIC, 2003. Proceedings. 5th International Conference on*. [S.l.: s.n.], 2003. v. 1, p. 677–680 Vol.1. Citado na página 53.