

Universidade Federal do Pampa

Arthur Campos de Oliveira

**Projeto Automático de Amplificadores
Operacionais Totalmente Diferenciais em
Tecnologia CMOS**

Alegrete

2015

Arthur Campos de Oliveira

Projeto Automático de Amplificadores Operacionais Totalmente Diferenciais em Tecnologia CMOS

Trabalho de Conclusão de Curso apresentado ao Curso de Graduação em Engenharia Elétrica da Universidade Federal do Pampa, como requisito parcial para obtenção do título de Bacharel em Engenharia Elétrica, área de concentração Microeletrônica.

Orientador: Prof. Dr. Alessandro G. Girardi

Coorientador: Prof. Me. Paulo César C. de Aguirre

Alegrete

2015

Ficha catalográfica elaborada automaticamente com os dados fornecidos
pelo(a) autor(a) através do Módulo de Biblioteca do
Sistema GURI (Gestão Unificada de Recursos Institucionais) .

O48p Oliveira, Arthur Campos de
Projeto Automático de Amplificadores Operacionais
Totalmente Diferenciais / Arthur Campos de Oliveira.
89 p.

Trabalho de Conclusão de Curso(Graduação)-- Universidade
Federal do Pampa, ENGENHARIA ELÉTRICA, 2015.

"Orientação: Alessandro Gonçalves Girardi".

1. Microeletrônica. 2. Circuitos Integrados Analógicos. 3.
Projeto Automático. 4. Amplificadores Operacionais. I. Título.

Projeto Automático de Amplificadores Operacionais Totalmente Diferenciais em Tecnologia CMOS

Trabalho de Conclusão de Curso apresentado ao Curso de Graduação em Engenharia Elétrica da Universidade Federal do Pampa, como requisito parcial para obtenção do título de Bacharel em Engenharia Elétrica, área de concentração Microeletrônica.

Trabalho de Conclusão de Curso defendido e aprovado em 5 de Julho de 2015

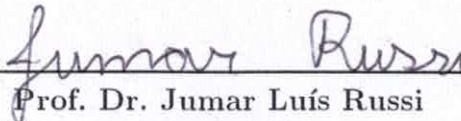
Banca examinadora:



Prof. Dr. Alessandro G. Girardi
UNIPAMPA



Prof. Dr. Márcio Stefanello
UNIPAMPA



Prof. Dr. Jumar Luís Russi
UNIPAMPA

Agradecimentos

Primeiramente, agradeço a minha mãe, Marcia, que apesar de todas as dificuldades sempre fez tudo por mim. Aos meus irmãos, Karen e Rafael, por todo apoio e incentivo que me deram em tudo o que fiz. E a Taísa, por todo carinho e incentivo dados durante esse tempo, e pelo desastre que ela é na minha vida.

Agradeço aos meu amigos e colegas de república: Alan, Lucas, Juliano, Adão e Edinelson por todos esses anos de convivência. Principalmente ao meu primo Lucas que, como ele mesmo diz, me mostrou o "caminho das pedras". E aos meus amigos em Porto Alegre que, mesmo distantes, foram um incentivo para o termino da graduação.

Agradeço aos professores Alessandro e Lucas pela orientação e por todo conhecimento passado durante estes anos de iniciação científica. Aos colegas do Grupo de Arquitetura de Computadores e Microeletrônica (GAMA) que contribuíram de forma direta e indireta na elaboração deste trabalho. E a todos meu colegas de graduação que contribuíram de alguma forma para que eu chegasse até aqui.

Por fim, agradeço a Universidade Federal do Pampa pela formação e por todas as oportunidades ao longo de toda a graduação. Aqui, pude ter outra perspectiva em relação a minha capacidade.

“Kung Fu. It means, ‘supreme skill from hard work.’ A great poet has reached kung fu. The painter, the calligrapher, they can be said to have kung fu. Even the cook, the one who sweeps steps or a masterful servant can have kung fu. Practice. Preparation. Endless repetition. Until your mind is weary, and your bones ache. Until you’re too tired to sweat, too wasted to breathe. That is the way, the only way one acquires kung fu.”
(Hundred Eyes, Marco Polo Series)

Resumo

Amplificadores operacionais totalmente diferenciais desempenham um papel crítico em sistemas onde a diferenciação de sinais está presente. Uma desvantagem desse tipo de amplificador é a necessidade de um circuito extra, chamado de Circuito de Realimentação de Modo Comum (CMFB, do inglês *Common-Mode Feedback*), para manter a suas tensões de saída estáveis. Este trabalho apresenta uma metodologia para projeto automático de amplificadores operacionais totalmente diferenciais em tecnologia CMOS, no qual são considerados tanto o circuito principal quanto o circuito de CMFB. A metodologia é implementada dentro do fluxo de projeto de uma ferramenta de síntese automática baseada em otimização. A metodologia é dividida em duas partes. Em um primeiro momento, um modelo de CMFB ideal é usado para reduzir o número de variáveis livres para a heurística de otimização. Essa estratégia melhora a convergência do processo de otimização uma vez que o espaço de projeto é reduzido. A seguir, projeta-se o circuito real do CMFB. A metodologia é validada através do projeto de um amplificador totalmente diferencial de um estágio em tecnologia CMOS 0,18 μm . De forma a verificar a adequação da metodologia para projetos mais complexos, bem como a generalidade da mesma, é feito também o projeto de um amplificador totalmente diferencial de dois estágios utilizando uma técnica de compensação em avanço sem a utilização de capacitores (NCFE, do inglês *No Capacitor Feedforward Compensation*) em tecnologia CMOS 0,13 μm . Os resultados obtidos através de simulação se mostraram satisfatórios para as restrições impostas, mostrando a adequação da metodologia para projeto de amplificadores operacionais totalmente diferenciais de alto desempenho.

Palavras-chave: Projeto Automático. Amplificadores Totalmente Diferenciais. Ferramenta CAD.

Abstract

Fully differential amplifiers play a critical role in systems which differential signaling is present. One drawback of this kind of amplifier is the need of an extra circuit, called Common-Mode Feedback (CMFB), to keep its output voltages stable. This work presents a automatic design methodology of fully differential operational amplifiers in CMOS technology, where the main and CMFB circuits are consider. The methodology is implemented within the design flow of an optimization-based automatic synthesis tool. The methodology consists in two parts. At first moment, an ideal CMFB model is used in order to reduce the number of free variables to the optimization heuristic. This strategy improves the convergence of the optimization process once the design space is reduced. Following, the real CMFB circuit is designed. The methodology is validated through the design of a one-stage fully differential amplifier in CMOS 0.18 μm technology. In order to verify the suitability of the methodology for more complex design, as well its generality, the design of a two-stage fully differential amplifier using a no capacitor feed-forward (NCFF) compensation technique in 0.13 μm CMOS technology is presented. The obtained simulation results showed satisfactory to the imposed constraints. Therefore, showing the suitability of the methodology to the design of high performance fully differential operational amplifiers.

Key-words: Automatic Design. Fully Differential Amplifiers. CAD Tool.

Lista de ilustrações

Figura 1 – Fluxo de projeto analógico.	26
Figura 2 – Processo de fabricação <i>shallow-trench isolation</i> (STI).	27
Figura 3 – Estrutura de um dispositivo MOS.	28
Figura 4 – Símbolo dos transistores NMOS e PMOS.	29
Figura 5 – $V_{DS} \times I_{DS}$ para a região linear.	30
Figura 6 – Operação do transistor MOS.	31
Figura 7 – Modelo de pequenos sinais do transistor MOS.	32
Figura 8 – Modelo simplificado de pequenos sinais do transistor MOS.	33
Figura 9 – Símbolos dos amplificadores operacionais de uma saída (a) e duas saídas (b).	34
Figura 10 – Resposta em frequência do amplificador operacional.	35
Figura 11 – Resposta a um sinal de pulso aplicado na entrada do amplificador operacional.	35
Figura 12 – Amplificadores de uma saída (a) e saída diferencial (b) em tecnologia CMOS.	36
Figura 13 – Modelo de pequenos sinais para o amplificador diferencial de um estágio em tecnologia CMOS.	37
Figura 14 – Amplificador totalmente diferencial em tecnologia cmos com saídas e entradas curto-circuitadas.	39
Figura 15 – Modelo simplificado de um amplificador.	39
Figura 16 – Diagrama de blocos conceitual do laço do circuito de realimentação de modo comum (CMFB).	40
Figura 17 – Fluxo de projeto da ferramenta UCAF (SEVERO, 2012).	43
Figura 18 – Projeto automático utilizando Simulated Annealing.	45
Figura 19 – Representação gráfica da função restrição $f(R_j)$	46
Figura 20 – Diagrama de bode mostrando para extração dos parâmetros da análise em frequência.	47
Figura 21 – Tesbenches para amplificadores de uma saída.	48
Figura 22 – Tesbenches para amplificadores de saída diferencial.	49
Figura 23 – Modelo ideal do CMFB.	51
Figura 24 – Metodologia de projeto automático de amplificadores totalmente diferenciais.	52
Figura 25 – Esquemático do amplificador totalmente diferencial de um estágio.	53
Figura 26 – Circuito de realimentação do modo comum diferencial diferencial.	56
Figura 27 – Digrama do Amplificador totalmente diferencial de dois estágio com compensação NCFE.	59

Figura 28 – Resposta em frequência dos estágios amplificadores do diagrama da Fig. 27.	60
Figura 29 – Resposta geral do sistema.	61
Figura 30 – Esquemático do estágio Folded-Cascode A_1	63
Figura 31 – Circuito de realimentação do modo comum do estágio folded-cascode.	64
Figura 32 – Esquemático do estágio Fonte Comum A_2	65
Figura 33 – Esquemático do Estágio da compensação em avanço A_3	66
Figura 34 – Circuito de realimentação do modo comum do segundo estágio e estágio de compensação em avanço.	68
Figura 35 – Comparação da resposta transiente do amplificador antes e depois da compensação do laço de CMFB ₂	69
Figura 36 – Resposta em frequência do amplificador de dois estágios projetado manualmente.	69
Figura 37 – Metodologia de projeto de amplificadores operacionais totalmente diferenciais de dois estágios.	70
Figura 38 – Resposta em frequência do estágio folded-cascode utilizando o CMFB projetado.	73
Figura 39 – Resposta em frequência do amplificador totalmente diferencial de dois estágios.	75
Figura 40 – Resposta a um pulso de um sistema genérico com descasamento entre o par polo-zero.	77
Figura 41 – Efeito do descasamento entre o par polo-zero para o amplificador projetado na Fig. 27.	77
Figura 42 – Resposta a um pulso de um sistema genérico sem descasamento entre o par polo-zero	77
Figura 43 – Comparação da resposta em frequência entre o projeto sem e com a restrição de casamento PZ_m entre o par polo-zero.	81
Figura 44 – Comparação entre a resposta transiente ao degrau unitário entre o projeto sem e com a restrição de casamento PZ_m entre o par polo-zero.	81

Lista de tabelas

Tabela 1 – Resultados obtidos para o amplificador totalmente diferencial de um estágio utilizando um CMFB ideal.	54
Tabela 2 – Dimensões obtidas para os transistores do amplificador de um estágio totalmente diferencial utilizando um CMFB ideal.	54
Tabela 3 – Dimensões dos transistores para o circuito de realimentação de modo comum.	56
Tabela 4 – Comparação entre os resultados obtidos para o amplificador totalmente diferencial de um estágio utilizando o CMFB ideal e o projetado. . . .	56
Tabela 5 – Dimensões obtidas para os transistores do estágio folded-cascode através do projeto manual.	64
Tabela 6 – Dimensões obtidas para os transistores do circuito de realimentação de modo comum do estágio folded-cascode através do projeto manual. . . .	64
Tabela 7 – Dimensões obtidas para os transistores do segundo estágio e estágio de compensação em avanço para o projeto manual.	67
Tabela 8 – Dimensões obtidas para os transistores do circuito de realimentação de modo comum do segundo estágio e estágio em avanço para o projeto manual.	68
Tabela 9 – Resultados para o projeto manual do amplificador totalmente diferencial de dois estágios.	69
Tabela 10 – Resultados para o estágio folded-cascode utilizando CMFB ideal. . . .	71
Tabela 11 – Dimensões obtidas para os transistores para o estágio folded-cascode utilizando o CMFB ideal.	72
Tabela 12 – Dimensões obtidas para os transistores do circuito de realimentação de modo comum do estágio folded-cascode.	72
Tabela 13 – Comparação entre os resultados obtidos para o folded-cascode utilizando o CMFB ideal e o projetado.	72
Tabela 14 – Resultados para o amplificador totalmente diferencial de dois estágios utilizando CMFB ideal.	74
Tabela 15 – Dimensões obtidas para os transistores do amplificador totalmente diferencial de dois estágios utilizando um CMFB ideal.	74
Tabela 16 – Dimensões obtidas para os transistores do circuito de realimentação de modo comum do segundo estágio e estágio em avanço.	75
Tabela 17 – Comparação entre os resultados obtidos para o amplificador totalmente diferencial de dois estágios utilizando o CMFB2 ideal e o projetado. . . .	75
Tabela 18 – Resultados para o amplificador totalmente diferencial de dois estágios utilizando CMFB ideal com restrição de casamento entre o par polo-zero.	79

Tabela 19 – Dimensões obtidas para os transistores do amplificador totalmente diferencial de dois estágios utilizando um CMFB ideal com restrição de casamento entre o par polo-zero.	79
Tabela 20 – Dimensões obtidas para os transistores do circuito de realimentação de modo comum do segundo estágio e estágio em avanço com restrição de casamento entre o par polo-zero.	80
Tabela 21 – Comparação entre os resultados obtidos para o amplificador totalmente diferencial de dois estágios com e sem a restrição de casamento entre o par polo-zero.	80

Sumário

Introdução	21
1 Introdução ao Projeto de Circuitos Integrados Analógicos CMOS	25
1.1 Projeto Analógico	25
1.2 Tecnologia CMOS	27
1.3 Transistor MOS	28
1.3.1 Modelo de Grandes Sinais	29
1.3.2 Modelo de Pequenos Sinais	30
1.4 Amplificadores Operacionais	33
1.4.1 Parâmetros dos Amplificadores Operacionais	34
1.4.2 Amplificadores Operacionais em Tecnologia CMOS	36
1.4.3 Vantagens dos Amplificadores Operacionais Totalmente Diferenciais	38
1.5 Circuito de Realimentação de Modo Comum	38
2 Ferramenta de Síntese Automática de Circuitos Integrados Analógicos . . .	43
2.1 Estrutura da Ferramenta	43
2.2 Heurística de Otimização	44
2.3 Avaliação das Soluções	45
2.4 Caracterização de Amplificadores Operacionais	46
3 Metodologia de Projeto Automático de Amplificadores Operacionais Totalmente Diferenciais	51
3.1 Projeto de um Amplificador Totalmente Diferencial de Um Estágio	53
3.1.1 Amplificador Totalmente Diferencial de Um Estágio	53
3.1.2 Projeto do Circuito de Realimentação de Modo Comum	55
4 Projeto de um Amplificador Totalmente Diferencial de Dois Estágios	59
4.1 Compensação em Avanço sem Capacitores (NCFE)	60
4.2 Projeto Manual do Amplificador Totalmente Diferencial	62
4.3 Projeto Automático do Amplificador Totalmente Diferencial	70
4.3.1 Projeto do Primeiro Estágio	71
4.3.2 Projeto do Segundo Estágio e do Estágio de Compensação	73
4.4 Efeito do Descasamento Entre o Par Polo-Zero	76
4.5 Erro de Casamento Entre o Par Polo-Zero	78
4.6 Projeto do Segundo Estágio com Restrição de Casamento entre o Par Polo-Zero	78
Considerações Finais	83

Referências 85

Introdução

Nos últimos anos a eletrônica tem sido a responsável pela grande maioria dos avanços tecnológicos da humanidade. A eletrônica que conhecemos hoje teve início na década de 40 nos laboratórios da Bell Telephone Company com a invenção do transistor pelos físicos John Bardeen, William Shockley e Walter Brattain, dispositivo este que tinha o tamanho da palma de uma mão. Com a evolução do projeto de sistemas VLSI (Very Large Scale Integration), hoje é possível ter milhões de transistores em uma única pastilha de silício, permitindo a realização de projetos cada vez mais complexos.

Atualmente, é notável a utilização de circuitos eletrônicos através de toda a economia, desde os sistemas de rastreamento de gado e automação de lavouras, a computadores e integração de dispositivos de comunicação sem fio. Isso faz com que a microeletrônica tenha um grande impacto sobre a economia de um país. A maioria destes sistemas é construído para operar no domínio digital, porém estes sistemas ainda precisam tratar de grandezas físicas uma vez que possuem interação com o mundo externo. Este fato faz com que circuitos analógicos ainda sejam bastante utilizados para fazer a conversão de sinais analógicos para digitais e vice-versa. Pode-se ainda citar utilização de circuitos analógicos em aplicações como: processamento natural de sinais, receptores sem fio e sensores.

No que diz respeito ao projeto de circuitos integrados analógicos e digitais, tem-se uma grande diferença. Enquanto o projeto de circuitos digitais tem evoluído com ferramentas CAD (Computer-Aided Design) cada vez mais automatizadas, o projeto analógico depende muito da experiência do projetista para sua execução. Diferente das bibliotecas padronizadas utilizadas para o projeto de circuitos digitais, o projeto analógico é baseado em apenas algumas dezenas de transistores onde o projetista é responsável por dimensionar as dimensões de largura, W , e comprimento, L , de cada transistor para cada circuito e subcircuito de seu sistema. Para tanto, o projetista analógico deve ter um conhecimento profundo sobre a física dos dispositivos utilizados e da caracterização e teste dos circuitos projetados (CORTES, 2003).

Com o crescimento constante da demanda por circuitos totalmente diferenciais em aplicações de sinal analógico de alta-frequência e receptores sem fio multi-padrão (CHOI et al., 1983; ALZAHER; ELWAN; ISMAIL, 2003) são impostos desafios até mesmo nos blocos mais básicos de um sistema, tal como o amplificador totalmente diferencial (FDA, do inglês *Fully Differential Amplifier*). No geral, amplificadores totalmente diferenciais possuem desempenho similar de ganho, largura de banda e consumo de potência, mas o dobro do limite de variação da tensão de saída quando comparados com o seus correspondentes de uma saída (CARUSONE; JOHNS; MARTIN, 2012). Ainda em comparação, amplificadores

totalmente diferenciais possuem alta redução da distorção causada por harmônicos e grande faixa dinâmica (MAHMOUD; AWAD, 2005). Também, a rejeição do ruído de modo comum representa uma vantagem significativa neste tipo de circuito (CARUSONE; JOHNS; MARTIN, 2012). Essas características fazem com que a diferenciação dos sinais seja a escolha preferível para sistemas que requerem a utilização de conversores analógico-digitais e linhas de transmissão diferenciais.

Em contrapartida, amplificadores totalmente diferenciais precisam de um circuito extra chamado circuito de realimentação de modo comum (do inglês *Common-mode Feedback*) para manter a tensão de saída do amplificador estável. Esse circuito é utilizado para estabelecer o nível de modo comum - a média da tensão das duas saídas - a um valor referência. Diversas topologias de circuitos de CMFB para amplificadores operacionais totalmente diferenciais (FDAs) foram propostas (GOPINATHAN et al., 1990; LUH J. CHOMA; DRAPER, 2000; SILVA-MARTINEZ; STEAYERT; SANSEN, 1992). Porém, as especificações para um projeto aceitável não são definidas de maneira clara. Como consequência, o projeto do CMFB é avaliado de forma qualitativa quanto ao impacto deste no amplificador principal. Por exemplo, o ganho DC deve ser grande o suficiente para controlar o nível de modo comum com precisão, e a largura da banda deve ser maior que a do amplificador principal (HÄGGLUND, 2006). Tradicionalmente, o projeto de amplificadores totalmente diferenciais pode ser feito, primeiramente, utilizando um CMFB ideal. Depois, o CMFB real é dimensionado e substitui o circuito ideal, projetado de forma a manter o mesmo desempenho obtido utilizando o modelo ideal (HÜFFMANN, 2000). No entanto, o método para se satisfazer essa condição não é bem definido. Assim, o projetista deve encontrar uma maneira, que nem sempre é a mesma, para encontrar uma solução.

Enquanto diversas ferramentas de auxílio por computador (CAD) foram desenvolvidas especificamente para projetar amplificadores totalmente diferenciais de alto desempenho (YUAN; FARHAT; SPIEGEL, 2005; TOOSI et al., 2006), muitas delas são baseadas em métodos que negligenciam os efeitos do CMFB no amplificador ou até mesmo o próprio circuito de CMFB do projeto. Ferramentas que se baseiam no resultado obtido manualmente também representam uma boa solução para o projeto deste tipo de amplificador (ROOCH; SOBE, 2006), e mostram como o CMFB pode ser crítico no projeto deste tipo de circuito (YUAN; FARHAT; SPIEGEL, 2005).

Este trabalho tem como objetivo apresentar uma metodologia de projeto de amplificadores operacionais totalmente diferenciais incluindo o circuito de realimentação de modo comum. A metodologia é implementada em uma ferramenta de síntese automática baseada em simulação. A ferramenta de síntese automática utiliza Simulated Annealing como heurística de otimização. A metodologia é baseada no particionamento do amplificador principal e seu respectivo circuito de realimentação de modo comum, em que estes são dimensionados de forma independente através da substituição do CMFB real por um

modelo ideal.

O capítulo 1, tem como objetivo apresentar uma introdução ao projeto de circuitos integrados analógicos. Neste, são apresentados os fundamentos utilizados para o projeto dos amplificadores, bem como diversas características importantes dos amplificadores operacionais quando estes são projetados.

O capítulo 2 apresenta a estrutura da ferramenta de síntese automática na qual a metodologia é implementada. São discutidos o método de exploração do espaço de projeto e a avaliação das soluções encontradas. No que diz respeito às contribuições deste trabalho, são expostas as rotinas de teste e caracterização de amplificadores operacionais de uma saída e saídas totalmente diferenciais.

No capítulo 3, a metodologia de projeto automático de amplificadores operacionais totalmente diferenciais é apresentada. Neste, são apresentados os resultados para o projeto de um amplificador totalmente diferencial de um estágio que possibilita a validação da metodologia.

O capítulo 4 apresenta o projeto de um amplificador totalmente diferencial de dois estágios com compensação em avanço sem a utilização de capacitores (NCFE) através da metodologia de projeto proposta. A metodologia para o amplificador de um estágio é expandida e são definidas restrições adicionais para que a topologia projetada tenha operação correta.

Por fim, as considerações finais do trabalho são apresentadas.

1 Introdução ao Projeto de Circuitos Integrados Analógicos CMOS

Este capítulo tem como objetivo apresentar uma breve introdução ao projeto de circuitos integrados analógicos em tecnologia CMOS. Serão apresentadas as particularidades do projeto analógico, os parâmetros utilizados para o projeto, bem como os amplificadores operacionais, os quais são foco deste trabalho.

1.1 Projeto Analógico

O projeto de circuitos integrados pode ser dividido em duas grandes áreas: analógica e digital. A diferença entre estes projetos se dá pelo nível de abstração em que cada um se encontra. Enquanto o projeto digital trata de sinais discretos no tempo, o projeto analógico trata de grandezas físicas como tensão e corrente na forma de sinais contínuos no tempo e amplitude.

O projetista analógico tem como objetivo propor circuitos que satisfaçam um conjunto de restrições impostas pelo sistema ao qual este foi designado. Isto é feito através da descrição de *netlists*, rotinas de teste e *layout* dos circuitos propostos. Isto faz com que o projeto analógico se torne complexo, já que a experiência do projetista é um fator dominante.

Assim, é definido o fluxo de projeto conforme a Fig. 1 apresentada por (BAKER, 2011). O fluxograma define de maneira geral as etapas de projeto de circuitos integrados analógicos, nas quais o envolvimento do projetista se dá desde a formulação da solução até a verificação e teste do circuito.

Primeiro, o projetista deve definir as entradas e saídas do circuito a ser projetado e, conseqüentemente, a arquitetura que será projetada para satisfazer as especificações do circuito. Com a arquitetura definida deve-se então caracterizar a tecnologia de fabricação a qual será utilizada para o projeto. A caracterização da tecnologia de fabricação consiste em obter os valores que serão utilizados para os cálculos do projeto. A etapa de caracterização da tecnologia é uma etapa importante uma vez que os parâmetros obtidos variam dependendo do tamanho da tecnologia e de sua *foundry*. Com a tecnologia devidamente caracterizada, o circuito é dimensionado através das especificações de projeto, ou seja, através destas são obtidos os valores de W e L dos transistores do projeto. Estes valores são obtidos através da avaliação do desempenho do circuito dimensionado utilizando simuladores elétricos do tipo SPICE (Simulation Program with Integrated Circuits Emphasis) ou ferramentas

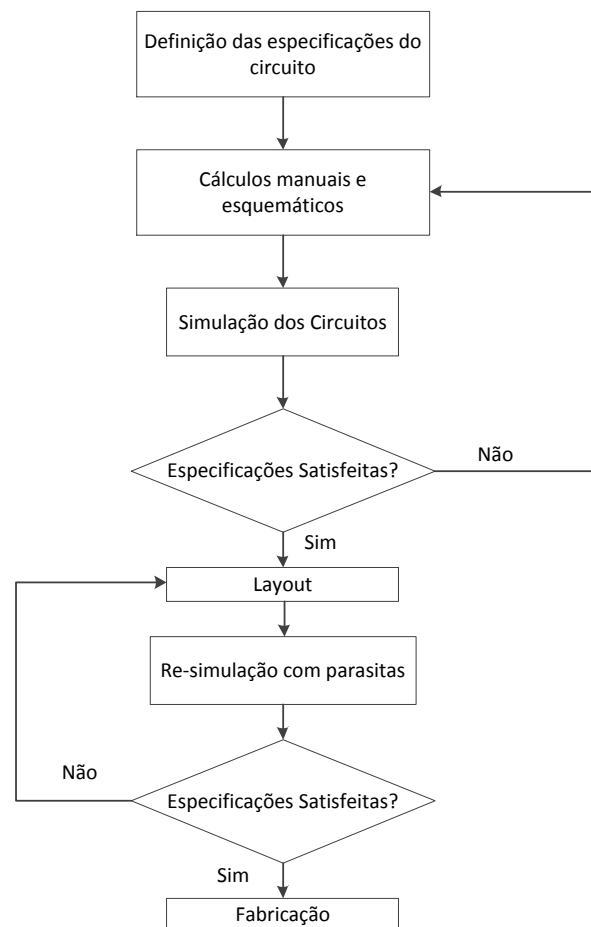


Fig. 1 – Fluxo de projeto analógico.

específicas para o projeto de circuitos integrados analógicos. Caso o circuito dimensionado satisfaça as especificações iniciais, segue-se para a próxima fase de projeto. Caso contrário, o projeto é iniciado novamente. Neste ponto o projetista pode recalcular as variáveis do circuito ou até mesmo mudar a topologia projetada. É importante ressaltar que neste ponto do fluxo muitas vezes o projetista não faz o uso direto de cálculos, uma vez que este possui conhecimento profundo sobre a física do dispositivo utilizado e experiência de projeto. Desta forma as dimensões dos transistores podem ser obtidas de forma intuitiva.

Com o circuito atendendo as especificações é feito o seu *layout*. O *layout* de um circuito integrado define as geometrias que serão utilizadas para sua fabricação. Nesta etapa o projetista deve respeitar as regras de projeto impostas pela tecnologia de fabricação que são fornecidas pela *foundry* como por exemplo: largura e comprimento mínimo dos gates dos transistores, espaçamento mínimo e etc. No *layout* define-se como o circuito projetado será implementado fisicamente utilizando a tecnologia CMOS. Esta é uma etapa importante já que esta possui grande influência sobre o desempenho do circuito. Aqui também são considerados os efeitos de descasamento dos dispositivos, bem como as técnicas para sua

compensação (HASTINGS, 2001). Após esta etapa, o circuito é fabricado e testado de forma a garantir a sua funcionalidade. Caso o circuito atenda todas as restrições este é fabricado.

1.2 Tecnologia CMOS

Do inglês, CMOS significa *Complementary Metal-Oxide Semiconductor*, ou seja, Semicondutor Metal-Óxido Complementar. O "complementar" significa que se têm transistores do tipo p e do tipo n no mesmo chip. Após a proposta do transistor MOS, as primeiras gerações de fabricação produziam apenas transistores do tipo n . Foi na década de de 1960 com a introdução do processo CMOS, ou seja, transistores do tipo n e p fabricados com o mesmo processo, que começou uma revolução na indústria de semicondutores.

A tecnologia CMOS foi rapidamente absorvida pelo mercado digital, já que as chaves CMOS dissipavam potência apenas em seu chaveamento e necessitavam de poucos dispositivos, duas qualidades bastante superiores comparadas com as tecnologias de fabricação da época (RAZAVI, 2002). A tentativa seguinte foi de aplicar a tecnologia CMOS também aos circuitos analógicos já que a tecnologia escalonava negativamente mais fácil que outras tecnologias. A junção de circuitos analógicos e digitais sobre o mesmo processo de fabricação se provou bastante atrativa visto seu custo reduzido. Esses e outros aspectos fizeram com que o processo de fabricação CMOS tenha sido dominante na indústria desde de sua proposta.

A Fig. 2 apresenta o processo CMOS conhecido como *shallow-trench isolation* (STI), ou isolamento por trincheira rasa (SZE, 2013). Conforme mostrado pela Fig. 2, uma "trincheira" preenchida com óxido isola os dispositivos uns dos outros. Essa trincheira pode ser formada por paredes e não tem espalhamento lateral como em processos como LOCOS (*LOCAl Oxidation of Silicon*), o que permite que os dispositivos sejam integrados perto um do outro (GHANDHI, 1994). O STI é o processo de isolamento predominante em tecnologia com comprimento de canal de $0.18 \mu\text{m}$ e abaixo (TSIVIDIS; MCANDREW, 2011).

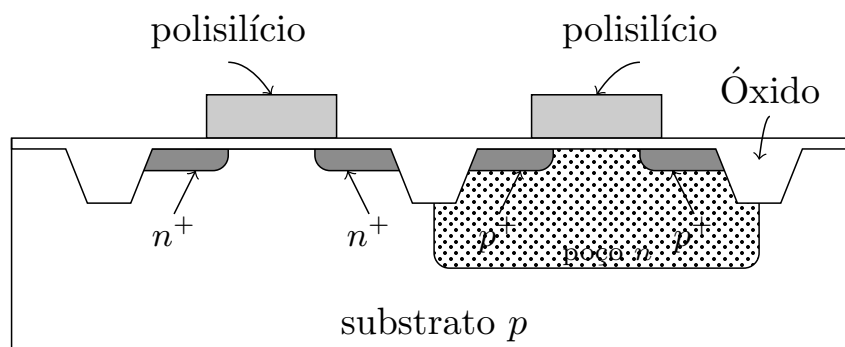


Fig. 2 – Processo de fabricação *shallow-trench isolation* (STI).

Na Fig. 2 é possível identificar os transistores do tipo n e p de maneira clara. Assim como os transistores do tipo n possuem substrato do tipo p , os transistores do tipo p possuem substrato do tipo n o qual também é chamado de poço. Para o transistor do tipo p , os terminais dreno e source são feitos com materiais do tipo p . Logo, quando existem cargas negativas o suficiente sobre o terminal de gate fará com que cargas positivas sejam atraídas e estas cargas formam o canal entre o dreno e o source. As junções pn formadas pelos substratos do tipo p e os terminais de source e dreno do tipo n são normalmente polarizadas reversamente. Isso é feito conectando-se o substrato, ou terminal de bulk, no terminal mais negativo do circuito, no caso do transistor do tipo n , e no terminal mais positivo no caso do tipo p (TSIVIDIS; MCANDREW, 2011).

1.3 Transistor MOS

A visão transversal do transistor NMOS é mostrado na Fig. 3 (TSIVIDIS; MCANDREW, 2011). Quando uma tensão positiva é aplicada ao terminal de gate do transistor as cargas majoritárias do substrato p , sobre o qual o transistor é fabricado, são repelidas em direção ao terminal de bulk (corpo do transistor) e como resultado são deixadas cargas negativas as quais fazem a ponte entre os terminais de dreno e source. Pode-se dizer também que as cargas positivas aplicadas no gate atraem as cargas negativas minoritárias do material do tipo p . A região formada abaixo do óxido é chamada de canal. O funcionamento do transistor PMOS se dá de maneira igual ao transistor NMOS, apenas as tensões e correntes utilizadas são multiplicadas por -1 .

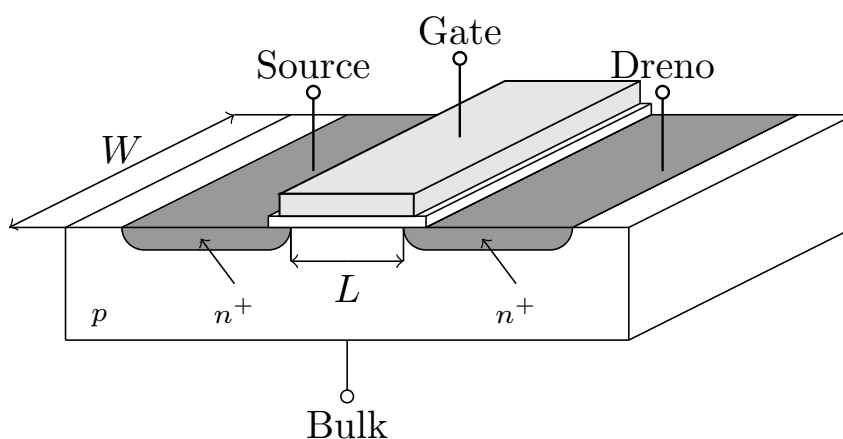


Fig. 3 – Estrutura de um dispositivo MOS.

Os símbolos dos transistores NMOS e PMOS são mostrados na Fig. 4.

A seguir são apresentados aspectos da modelagem do transistor MOS os quais são essenciais para o desenvolvimento de projeto de circuitos integrados analógicos.

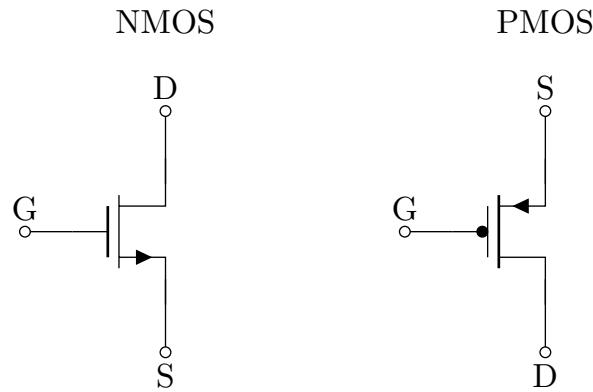


Fig. 4 – Símbolo dos transistores NMOS e PMOS.

1.3.1 Modelo de Grandes Sinais

Esta seção tem como objetivo apresentar as características de grandes sinais do transistor MOS. Esta análise é apresentada por (ALLEN; HOLBERG, 2002).

Quando as dimensões W e L de um dispositivo MOS possuem um valor elevado, um modelo bastante apropriado é o sugerido por (SAH, 1964). O modelo desenvolvido sugere que a corrente de dreno é dada por

$$I_{DS} = \frac{\mu_0 C_{ox} W}{L} \left[(V_{GS} - V_{th}) - \left(\frac{V_{DS}}{2} \right) \right] V_{DS} \quad (1.1)$$

Onde os parâmetros da Eq. 1.1 são definidos como

μ_0 = mobilidade dos elétrons na superfície ($\text{cm}^2/\text{V}\cdot\text{s}$)

$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}}$ = capacitância por unidade de área do óxido do terminal de gate

W = largura efetiva do canal

L = comprimento efetivo do canal

A tensão de *threshold* (V_{th}), ou tensão de limiar, é definida como a tensão mínima para que seja criado o caminho de condução para a corrente entre os terminais de dreno e source. Pode-se dizer ainda que é o valor mínimo da tensão entre o gate e o source, V_{GS} , para que tenha sido criada a camada de inversão no substrato do tipo p para o transistor NMOS. Este valor pode ser obtido através de

$$V_{th} = \Phi_{MS} + 2\Phi_F + \frac{Q_{dep}}{C_{ox}} \quad (1.2)$$

onde Φ_{MS} é diferença entre as funções de trabalho do terminal de gate e do substrato, $\Phi_F = (kT/q)\ln(N_{sub}n_i)$ é o nível de Fermi, q é a carga de um elétron, N_{sub} é a concentração de dopagem do substrato, n_i é a concentração intrínseca de portadores e Q_{dep} é a carga da região de depleção (RAZAVI, 2002).

As curvas mostradas pela Fig. 5 são obtidas através da Eq. 1.1 em função de V_{DS} para diversos valores de $V_{GS} - V_{th}$, onde as curvas representam a operação do transistor na região linear.

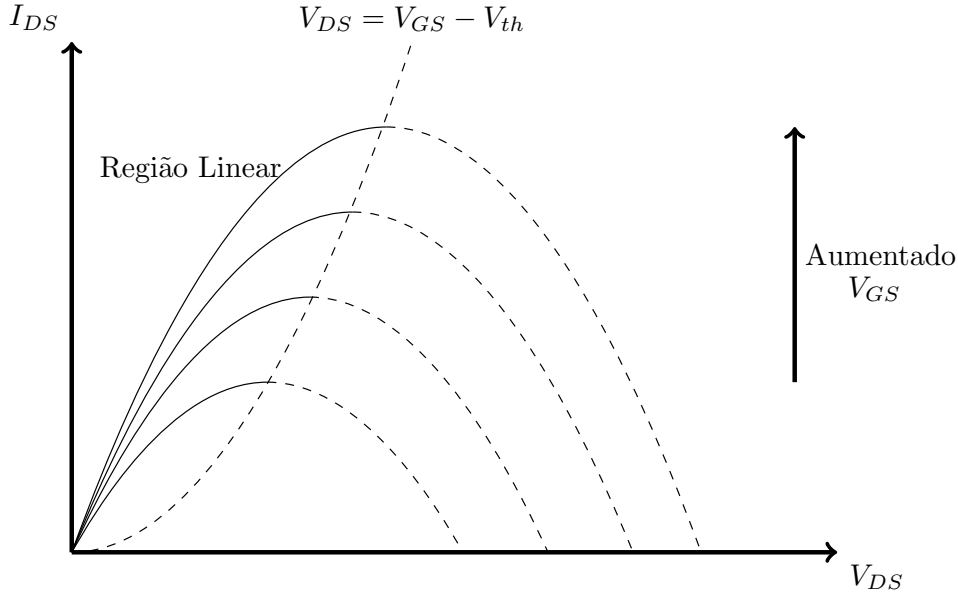


Fig. 5 – $V_{DS} \times I_{DS}$ para a região linear.

Através da Fig. 5 é possível identificar que o pico de corrente ocorre em $V_{DS} = V_{GS} - V_{th}$, substituindo V_{DS} na Eq. 1.1 tem-se

$$I_{DS} = \frac{1}{2} \mu_0 C_{ox} \frac{W}{L} (V_{GS} - V_{th})^2 \quad (1.3)$$

A Eq. 1.3 indica que se $V_{DS} \geq V_{GS} - V_{th}$ a corrente será constante, logo o transistor estará na região de saturação. Ainda pode-se adicionar o efeito da modulação de comprimento do canal à Eq. 1.3. Com o aumento da tensão V_{DS} o comprimento efetivo do canal é reduzido. Isso faz com que a corrente do transistor tenha um aumento linear proporcional à modulação de comprimento do canal λ . Este efeito é incluído fazendo a Eq. 1.3 proporcional a $(1 + \lambda V_{DS})$:

$$I_{DS} = \frac{1}{2} \mu_0 C_{ox} \frac{W}{L} (V_{GS} - V_{th})^2 (1 + \lambda V_{DS}) \quad (1.4)$$

Através da Eq. 1.4 podemos obter as curvas mostradas pela Fig. 6. Estas curvas definem a operação do transistor utilizando o modelo de grandes sinais.

1.3.2 Modelo de Pequenos Sinais

Utilizando o modelo de grande sinais definem-se os pontos de operação de circuito. Com estes pontos definidos torna-se necessária a análise de pequenos sinais. O modelo de

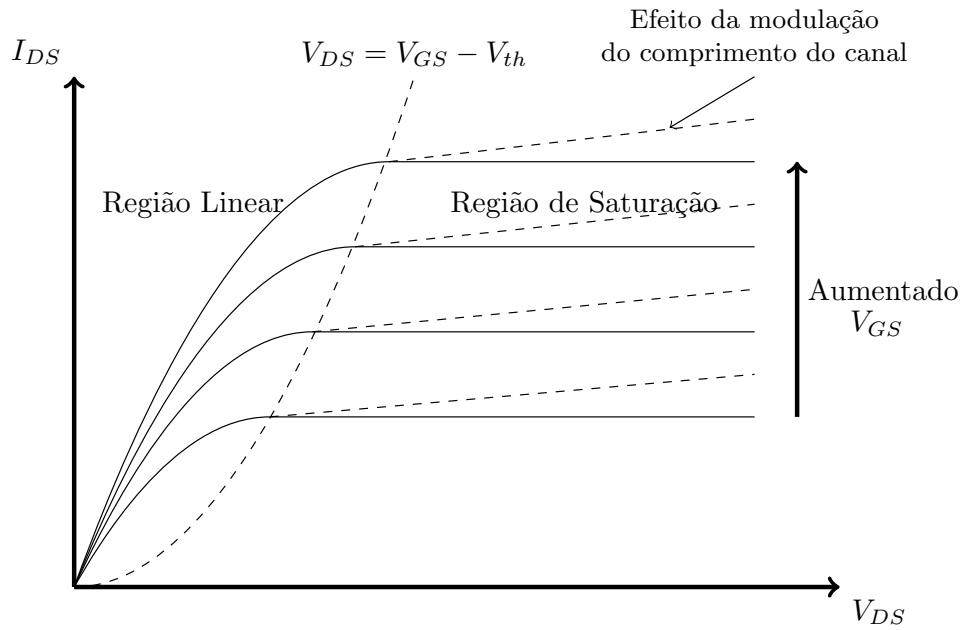


Fig. 6 – Operação do transistor MOS.

pequenos sinais é um modelo que tem o objetivo de simplificar os cálculos.

A Fig. 7 mostra o modelo de pequenos-sinais completo apresentado por (ALLEN; HOLBERG, 2002).

O modelo de pequenos sinais representa a resposta do transistor quando ocorrem pequenas perturbações nos valores de grandes sinais. Esta resposta pode ser expressa através da taxa de variação, ou diferenciação, de uma variável do modelo de grandes sinais em relação a outra.

Mostradas na Fig. 7, g_{bd} e g_{bs} representam as condutâncias de bulk-dreno e bulk-source, respectivamente. Como as junções referentes a estas condutâncias estão normalmente polarizadas reversamente, estas condutâncias possuem valores muito pequenos, os quais podem ser desconsiderados. Os valores destas condutâncias são definidos como

$$g_{bd} = \frac{\partial i_{BD}}{\partial v_{BD}} \quad (1.5)$$

e

$$g_{bs} = \frac{\partial i_{BS}}{\partial v_{BS}} \quad (1.6)$$

As transcondutâncias g_m , g_{mbs} e a condutância g_{ds} são de fato os parâmetros mais importantes para o projeto dos circuitos que serão apresentados posteriormente. Estas

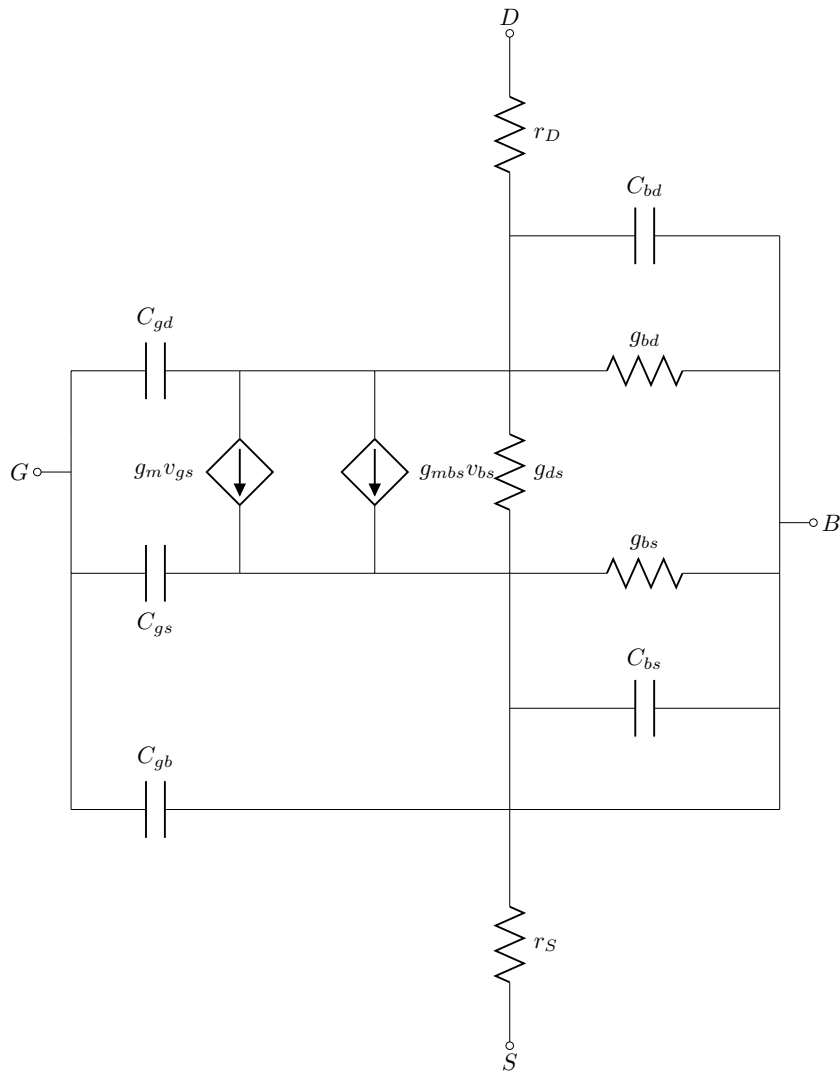


Fig. 7 – Modelo de pequenos sinais do transistor MOS.

condutâncias são definidas como

$$g_m = \frac{\partial i_{DS}}{\partial v_{GS}} \quad (1.7)$$

$$g_{mbs} = \frac{\partial i_{DS}}{\partial v_{BS}} \quad (1.8)$$

e

$$g_{ds} = \frac{\partial i_{DS}}{\partial v_{DS}} \quad (1.9)$$

Para a operação do transistor na região de saturação a transcondutância g_m

apresentada pela Eq. 1.7 é definida como

$$g_m = \sqrt{2\mu_0 C_{ox} \frac{W}{L} I_{DS}} = \frac{2I_{DS}}{V_{GS} - V_{th}} \quad (1.10)$$

A Eq. 1.10 mostra a relação da transcondutância g_m com outros parâmetros de grandes sinais do transistor. Através dela pode-se definir com quais destes parâmetros se quer estabelecer uma relação a fim de se obter as dimensões W e L do transistor.

A condutância de pequenos sinais g_{ds} , ou g_0 , é definida como

$$g_{ds} = g_0 = \frac{\lambda I_{DS}}{1 + \lambda V_{DS}} = \lambda I_{DS} \quad (1.11)$$

A Eq. 1.11 mostra que g_{ds} é dependente da modulação do comprimento de canal, λ , e portanto é dependente do comprimento de canal L .

Assim, como os parâmetros do modelo completo a serem utilizados foram definidos, pode-se definir o modelo simplificado de pequenos sinais como sendo o apresentado pela Fig. 8.

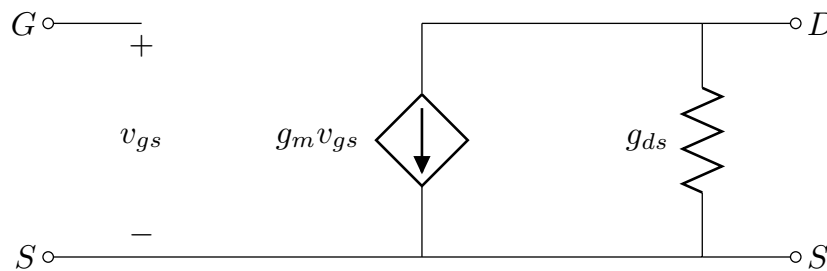


Fig. 8 – Modelo simplificado de pequenos sinais do transistor MOS.

Os parâmetros apresentados nesta seção relacionam os modelos de grandes e pequenos sinais os quais serão importantes para as análises que serão feitas nos capítulos subsequentes.

1.4 Amplificadores Operacionais

O amplificador operacional (AmpOp) é um dos blocos mais importantes de um sistema analógico. Isto pode ser evidenciado através de muitas aplicações as quais o amplificador operacional tem um papel dominante, desde de filtros Gm-C até a conversão analógica-digital e digital-analógica. Em referência de tensão e corrente é evidente a influência do amplificador sobre a solução final do circuito. Em todas estas aplicações, o amplificador operacional possui influência direta sobre o desempenho do sistema o qual ele será inserido. O projeto de amplificadores operacionais ainda se mostra um desafio devido

ao escalonamento negativo das fontes de tensão e do comprimento de canal da tecnologia CMOS (RAZAVI, 2002).

Quanto à diferenciação dos sinais, os amplificadores operacionais podem ser divididos em duas categorias: uma saída e saídas diferenciais. O amplificador operacional com saídas diferenciais possui suas particularidades de projeto. Assim, esta seção tem como objetivo apresentar os aspectos mais importantes no projeto de amplificadores operacionais em tecnologia CMOS. A Fig. 1.4 apresenta os símbolos utilizados para os amplificadores operacionais.

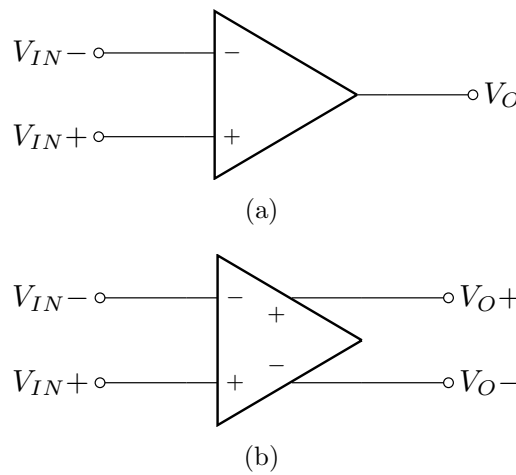


Figura 9 – Símbolos dos amplificadores operacionais de uma saída (a) e duas saídas (b).

1.4.1 Parâmetros dos Amplificadores Operacionais

Ganho: Idealmente o AMPOP possui ganho infinito, mas na realidade este ganho é limitado pelo ganho intrínseco dos dispositivos utilizados. O ganho em malha aberta de um AMPOP define a sua precisão quando este é utilizado em sistemas de realimentação. O valor do ganho é definido dependendo da aplicação para qual o amplificador é projetado, em que este valor pode variar em uma faixa de 10^2 a 10^6 (DEHGHANI, 2013).

Produto Ganho-Largura de banda (GBW): O ganho em malha aberta de um AMPOP é constante em baixas frequências e começa a decair -20 dB/dec em determinada frequência devido ao polo dominante do amplificador. O GBW (do inglês, *Gain bandwidth-product*) é definido como a frequência em que o amplificador possui ganho em malha aberta igual a 1. Este parâmetro é importante pois define o quão rápido o é AMPOP em relação a uma variação na entrada e sua resposta na saída. A Fig. 10 mostra a resposta em frequência do AMPOP.

Output-Swing: Este parâmetro define o quanto o sinal de saída pode variar ao longo do nível comum. A maioria dos sistemas que utilizam amplificadores operacionais

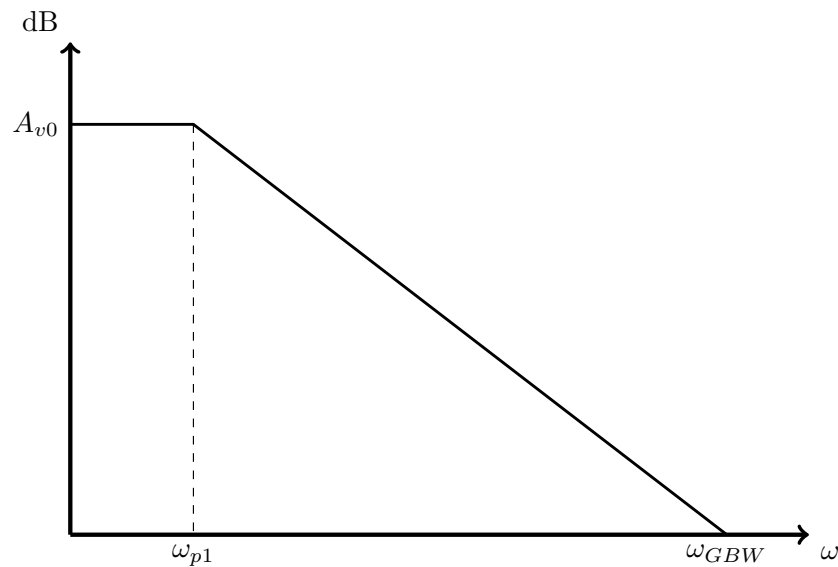


Fig. 10 – Resposta em frequência do amplificador operacional.

requerem uma faixa de output swing larga para que a faixa de amplitude dos sinais também seja da mesma forma.

Slew Rate: Este parâmetro é utilizado para expressar a limitação quanto à velocidade do AMPOP. A Fig. 11 mostra a resposta no tempo do AMPOP para um pulso, V_{pulso} , aplicado na entrada e sua resposta na saída. O Slew rate é definido como a taxa de variação da tensão na rampa de subida em relação ao tempo em micro segundos.

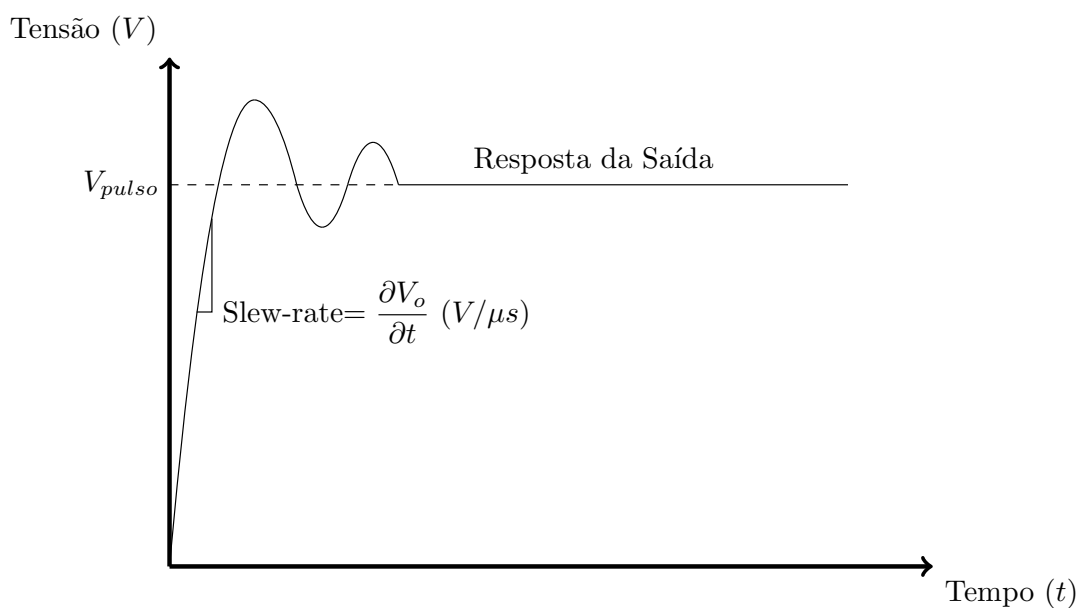


Fig. 11 – Resposta a um sinal de pulso aplicado na entrada do amplificador operacional.

Taxa de Rejeição de Modo Comum (CMRR): É definida como a capacidade do amplificador de amplificar os sinais de entrada sem afetar as saídas devido a variações na tensão de modo comum das entradas.

Taxa de Rejeição de Ruídos da Fonte de Alimentação (PSRR): É definida como o quanto o amplificador rejeita ruídos provenientes da fonte de alimentação.

1.4.2 Amplificadores Operacionais em Tecnologia CMOS

Os amplificadores até aqui discutidos são projetados utilizando a tecnologia CMOS. A Fig. 12 apresenta a implementação de amplificadores de um estágio com uma saída e com saídas diferenciais nas Fig. 12(a) e Fig. 12(b), respectivamente.

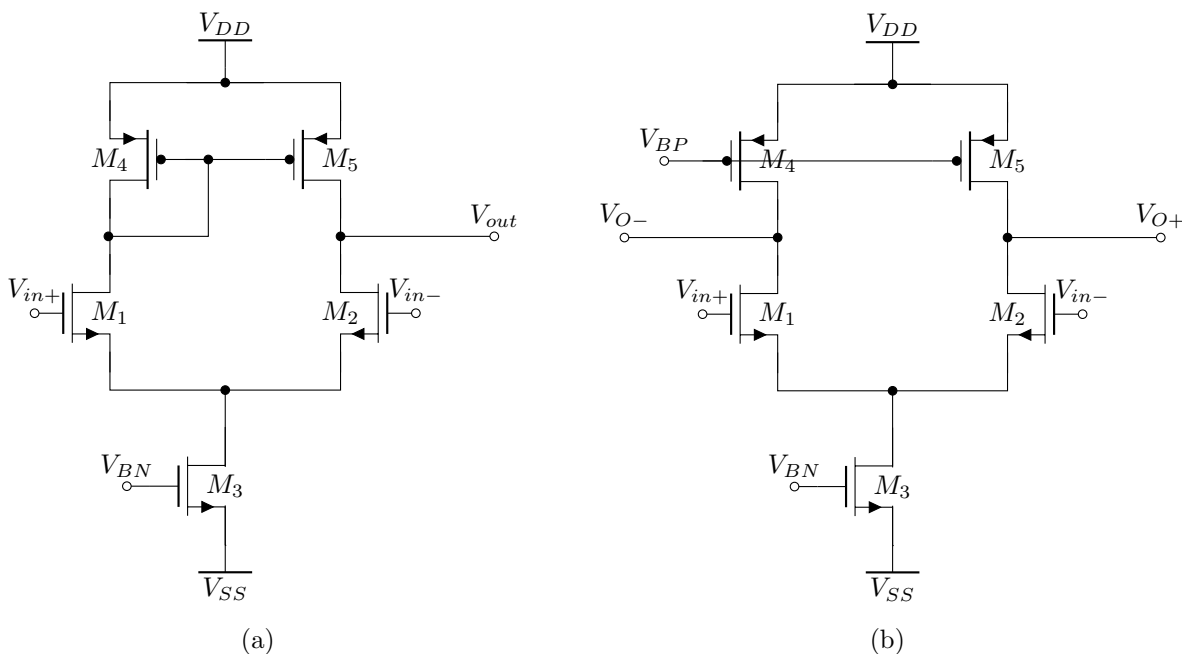


Figura 12 – Amplificadores de uma saída (a) e saída diferencial (b) em tecnologia CMOS.

O amplificador de uma saída é composto pelo par diferencial M_1 - M_2 , o espelho de corrente M_3 - M_4 que funciona como carga e a fonte de corrente M_3 . A tensão do terminal de gate do transistor M_3 é a tensão que polariza o transistor de forma a este operar como fonte de corrente, conforme os outros parâmetros posteriormente definidos para tanto.

Diferente do amplificador de uma saída, o amplificador de saída diferencial é composto pelo par diferencial M_1 - M_2 e as fontes de corrente M_3 , M_4 e M_5 . Os transistores dos pares diferenciais e os espelhos de corrente possuem dimensões iguais, logo todos os seus parâmetros de grandes e pequenos sinais serão iguais. A Fig. 12 mostra que a diferença está nos transistores M_4 e M_5 . Logo a operação do amplificador com saídas diferenciais será diferente comparada ao de uma saída. Os aspectos relativos às particularidades de operação do amplificador de saídas diferenciais discutidos nas seções subsequentes.

Quanto aos parâmetros de pequenos e grandes sinais dos amplificadores apresentados, não existe diferença. Os parâmetros se comportam da mesma forma, os amplificadores diferem-se apenas no desempenho.

Através do modelo de pequenos sinais do amplificador diferencial mostrado na Fig. 13 é possível definir alguns dos parâmetros que são utilizados no projeto dos amplificadores. Vale ressaltar ainda que o equivalente de pequenos sinais apresentado vale tanto para o amplificador de uma saída, quanto para o amplificador de duas saídas, sendo que para o de duas saídas o circuito equivalente poderia ser mostrado como um “meio circuito” onde o modelo de pequenos sinais representaria metade da resposta do amplificador.

Assim, pode-se definir o ganho obtendo as funções transferência, v_{out}/v_{id} , do amplificador

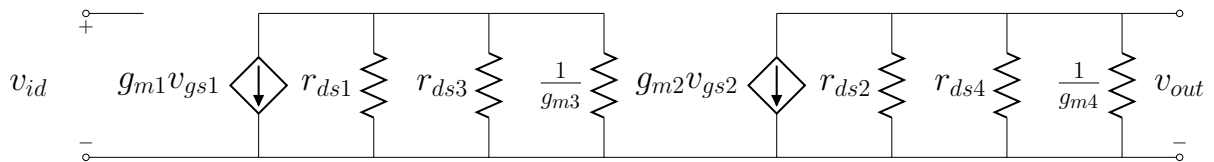


Fig. 13 – Modelo de pequenos sinais para o amplificador diferencial de um estágio em tecnologia CMOS.

$$A_v = g_m r_o = \frac{g_{m1,2}}{(g_{ds1,2} + g_{ds4,5})} \quad (1.12)$$

e a frequência do polo dominante

$$\omega_{p1} = \omega_{-3 \text{ dB}} = \frac{1}{r_o C_L} \quad (1.13)$$

Como do digrama de Bode apresentado anteriormente tem-se que

$$\omega_{GBW} = A_v \omega_{-3 \text{ dB}} \quad (1.14)$$

Obtêm-se o GBW (em Hz) através de

$$GBW = \frac{g_{m1,2}}{2\pi C_L} \quad (1.15)$$

onde C_L representa a capacitância de carga ligada ao amplificador.

Os parâmetros de pequenos sinais do amplificador aqui apresentados mostram-se importantes uma vez que estes, geralmente, seguem a mesma lógica para a obtenção do ganho, largura de banda e diversas características do circuito.

1.4.3 Vantagens dos Amplificadores Operacionais Totalmente Diferenciais

Conforme expresso anteriormente, os amplificadores operacionais totalmente diferenciais possuem vantagens em relação ao seu correspondente de uma saída. Assim, esta seção tem como objetivo apresentar algumas destas vantagens e discutir sobre cada uma delas.

Imunidade contra ruídos de modo comum e interferências: como a diferença do sinal é feita tanto na entrada, quanto na saída, idealmente o amplificador é imune a ruídos de modo comum. Logo, caso haja interferência externa, seja na saída ou na entrada, estas interferências se cancelam.

Faixa de excursão do sinal de saída (output swing) superior: como as saídas variam em direções opostas e a diferença dos sinais é feita com relação ao terra, o amplificador totalmente diferencial terá o dobro da excursão de sinal comparado ao seu correspondente de uma saída.

Remoção do polo do espelho de corrente: amplificadores de uma saída utilizam espelhos de corrente como carga e devido à capacitância associada a este um polo é inserido no sistema. Como os circuitos totalmente diferenciais utilizam fontes de corrente o polo é removido.

1.5 Circuito de Realimentação de Modo Comum

Além de todas as vantagens apresentadas nas seções anteriores, para que os amplificadores operacionais totalmente diferenciais operem corretamente precisa-se de um circuito extra chamado de circuito de realimentação de modo comum (do inglês, *Common-mode feedback*, ou CMFB).

Suponha que, conforme utilizado em muitas aplicações, o amplificador totalmente diferencial tem suas saídas e entradas curto circuitadas como mostrado pela Fig. 14.

Idealmente, as correntes que percorrem os dois ramos dos circuitos são simétricas e iguais a $I_B/2$. Na prática, ocorre um descasamento entre as correntes dos transistores NMOS e PMOS o que faz com que a tensão de modo comum dependa do quão perto de $I_B/2$ as correntes estão. Supondo, por exemplo, que a corrente de dreno de M_3 e M_4 operando na região de saturação sejam um pouco maiores que $I_B/2$, isso fará com que, para que seja satisfeita a lei das correntes de Kirchhoff nos nós V_{O+} e V_{O-} , os transistores M_3 e M_4 entrem na região linear de operação para que suas correntes de dreno baixem até $I_B/2$. O mesmo vale caso estas correntes tenham um valor menor que $I_B/2$. Neste caso, as tensões de saída devem baixar até que o transistor que implementa a fonte de corrente I_B entre na região linear de operação e a corrente $I_B/2$ baixe até que esta seja igual às correntes de dreno de M_3 e M_4 (RAZAVI, 2002).

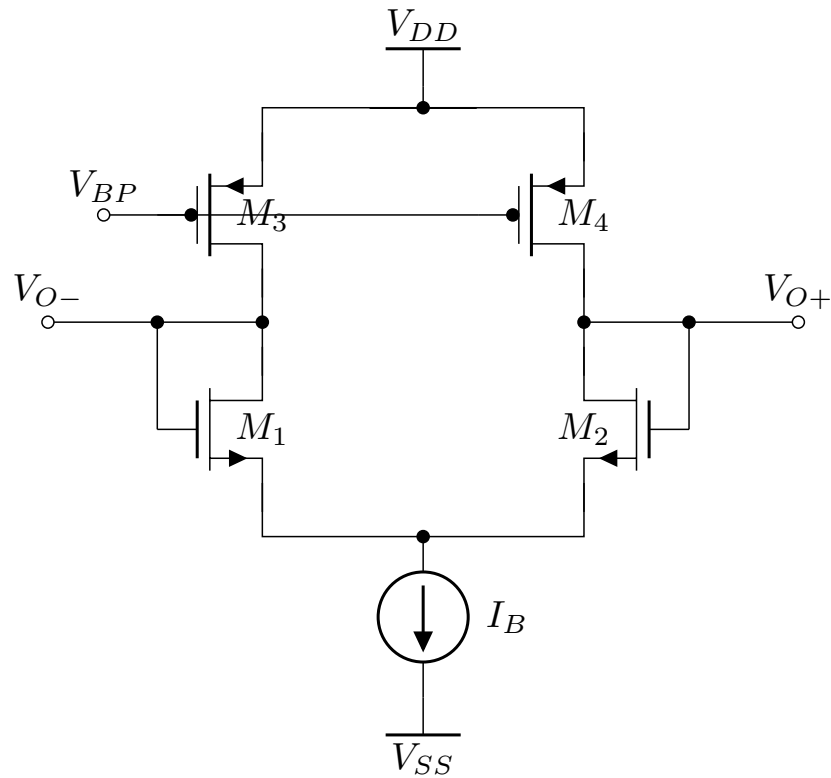


Fig. 14 – Amplificador totalmente diferencial em tecnologia cmos com saídas e entradas curto-circuitadas.

Este problema também pode ser visto através da Fig. 15, que mostra o modelo simplificado de um amplificador. Normalmente, se quer que fontes de corrente do tipo p e n sejam balanceadas entre si. Acontece que se estas fontes não estão balanceadas, para que se possa manter a lei das correntes de Kirchhoff deve haver uma queda de tensão $(I_P - I_N)(R_P || R_N)$ sob o ponto de desbalanço.

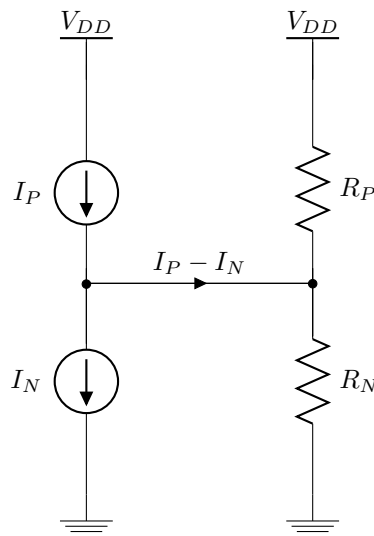


Fig. 15 – Modelo simplificado de um amplificador.

Uma vez que o desbalanço entre as correntes depende do descasamento entre os dispositivos que implementam as fontes de corrente e $(R_P || R_N)$ possui um valor alto, a queda de tensão pode ser grande, de forma a fazer com que a fonte de corrente do tipo p ou do tipo n entre na região linear, ou região de triodo (RAZAVI, 2002).

Conforme apresentado por (GRAY, 2009), a Fig. 16 mostra o diagrama de blocos conceitual do CMFB. Para que o nível de modo comum da saída, V_{oc} , seja controlado de modo a fixar um valor de tensão desejado, V_{CM} , que polarize o circuito a ser controlado de forma a se obter o output swing máximo, é necessário que um ponto do circuito seja escolhido para fazer este controle. A tarefa do CMFB pode ser dividida em etapas, sendo elas: medir a tensão de modo comum, comparar o valor da tensão de modo comum com o valor de referência requerido, e retornar o erro desta diferença para o amplificador de forma a se obter o ajuste.

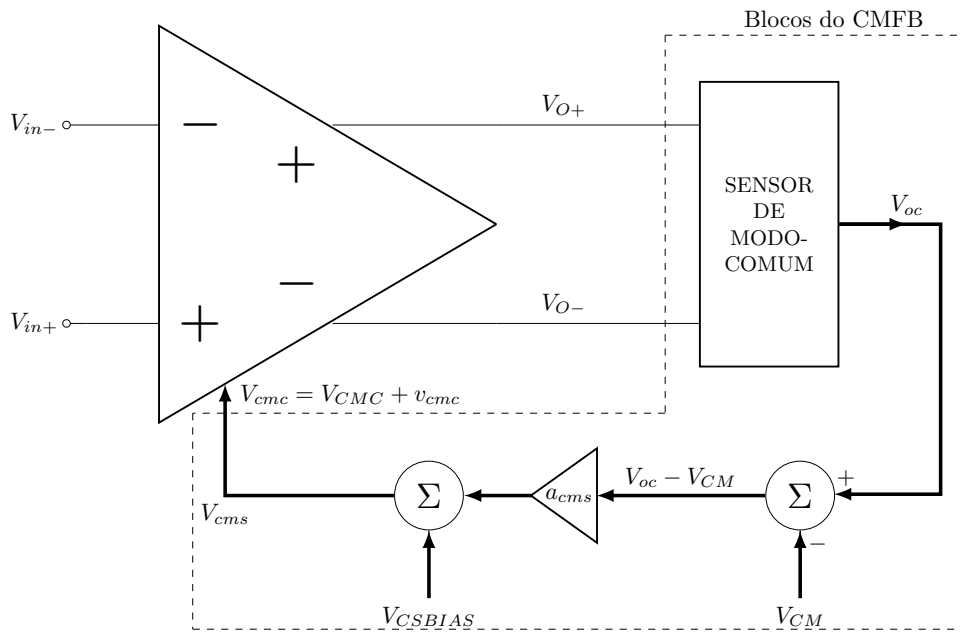


Fig. 16 – Diagrama de blocos conceitual do laço do circuito de realimentação de modo comum (CMFB).

O sensor de modo comum verifica o nível de modo comum. Este é definido como $V_{oc} = (V_{O+} + V_{O-})/2$. É feita então a diferença entre a tensão de modo comum medida e a tensão requerida V_{CM} . A diferença $V_{oc} - V_{CM}$ é multiplicada por um ganho a_{cms} , e uma tensão fixa V_{CSBIAS} é adicionada. Isso resulta em V_{cms} , onde

$$V_{cms} = a_{cms}(V_{oc} - V_{CM}) + V_{CSBIAS} \quad (1.16)$$

A tensão V_{cms} é a saída do circuito de realimentação de modo comum. A saída deste é direcionada para a entrada do amplificador que servirá como ponto de controle.

Assim, para o amplificador, esta será a tensão de controle de modo comum V_{cmc} . O ponto de controle de modo comum do circuito é escolhido de forma que uma variação em V_{cmc} provoca uma variação em V_{oc} mas não afeta a tensão diferencial do circuito V_{od} .

2 Ferramenta de Síntese Automática de Circuitos Integrados Analógicos

Este capítulo tem como objetivo apresentar a UCAF, uma ferramenta de dimensionamento automático na qual a metodologia de projeto de amplificadores operacionais totalmente diferenciais é implementada. A ferramenta descrita neste capítulo foi desenvolvida por (SEVERO, 2012). A estrutura da ferramenta é apresentada e a heurística de otimização utilizada para a exploração do espaço de projeto é discutida. São apresentados também o método de avaliação de cada de uma das soluções encontradas e os circuitos de caracterização dos amplificadores operacionais.

2.1 Estrutura da Ferramenta

A ferramenta UCAF utilizada para o dimensionamento dos circuitos analógicos é feita com base em um método de otimização e avaliação das soluções através de simulação elétrica. O fluxo da ferramenta é mostrado pela Fig. 17. No fluxo, o método de otimização utilizado tem como entradas: a solução inicial, a qual pode ser aleatória ou pode ser uma solução dada pelo próprio usuário; os requisitos de projeto, que irão definir as restrições para a avaliação das soluções e, conseqüentemente, influenciar na exploração do espaço de projeto; e a tecnologia de fabricação, que define os parâmetros sob os quais o circuito projetado será fabricado. Através destas entradas, o método de otimização inicia a exploração do espaço de projeto conforme este é configurado. Para cada solução encontrada devem ser levantadas as especificações do circuito. Isso é feito de forma a avaliar se esta satisfaz as restrições inicialmente impostas. Com o levantamento das especificações, a solução é avaliada através de uma função custo. Assim, este processo se repete até que o algoritmo utilizado encontre uma solução otimizada para as restrições definidas.

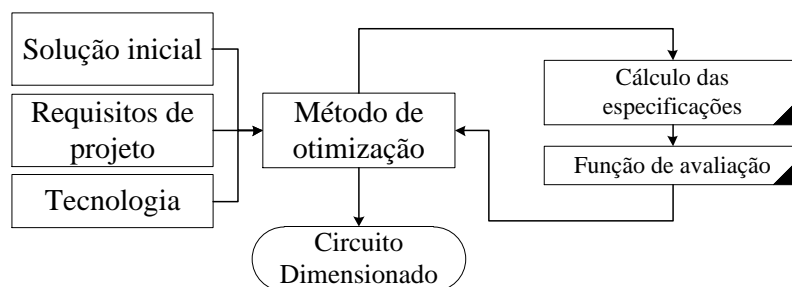


Fig. 17 – Fluxo de projeto da ferramenta UCAF (SEVERO, 2012).

Este trabalho utiliza a ferramenta descrita para a implementação da metodologia proposta. A metodologia é implementada dentro do fluxo da ferramenta.

2.2 Heurística de Otimização

Encontrar uma solução para um problema de otimização pode-se mostrar uma tarefa difícil. Uma das razões para tanto é o grande número de variáveis que leva a um grande número de possíveis soluções, o que torna a busca por uma solução muitas vezes inviável dentro um curto espaço de tempo. Assim, como uma solução ótima pode não ser encontrada, devem-se estabelecer parâmetros para que se possa encontrar uma solução mais próxima disso.

O projeto analógico pode ser modelado também como um problema de otimização. Para resolvê-lo, a ferramenta apresentada neste trabalho utiliza o Simulated Annealing como heurística de otimização, o qual foi inicialmente proposto por (KIRKPATRICK; GELATT; VECCHI, 1983). O Simulated Annealing é um algoritmo que foi inspirado no processo de recozimento, ou annealing, de metais. O Annealing envolve o aquecimento e o resfriamento de metais de forma a alterar as propriedades do metal. Conforme o metal esfria, sua estrutura adquire novas propriedades.

No algoritmo Simulated Annealing, a temperatura é tida como variável para que o processo de aquecimento possa ser simulado. A temperatura é definida como alta e decai lentamente simulando o resfriamento conforme o algoritmo é executado. Enquanto a temperatura ainda é considerada 'alta', o algoritmo aceita soluções que podem ser consideradas piores que a atual. Isso faz com o que o algoritmo possa sair dos ótimos locais encontrados em processos não-lineares. Com a temperatura reduzindo gradualmente, são excluídas soluções piores que a atual. Isso faz com que o algoritmo foque em um espaço de soluções que possui chances maiores de se encontrar uma solução ótima. O processo de resfriamento gradual do algoritmo faz com que ele seja bastante efetivo para problemas que possuam um grande número de soluções.

A Fig. 18 mostra o fluxograma do Simulated Annealing adequado ao projeto analógico apresentado por (SEVERO, 2012). O fluxograma recebe como entrada as configurações do algoritmo, as especificações do projeto que serão restrição de projeto e a tecnologia de fabricação na qual o circuito será projetado.

Através dos dados de entrada o algoritmo é iniciado. A solução inicial é criada aleatoriamente, mas esta pode ser também uma solução inicial indicada pelo usuário. A solução inicial é avaliada através de uma função custo, a qual é apresentada na seção seguinte, onde os parâmetros utilizados para o cálculo são as especificações definidas no início do processo. As especificações são estimadas através de um simulador elétrico do tipo SPICE (*Simulation Program with Integrated Circuit Emphasis*). Com a solução inicial

avaliada, o parâmetro de temperatura é iniciado.

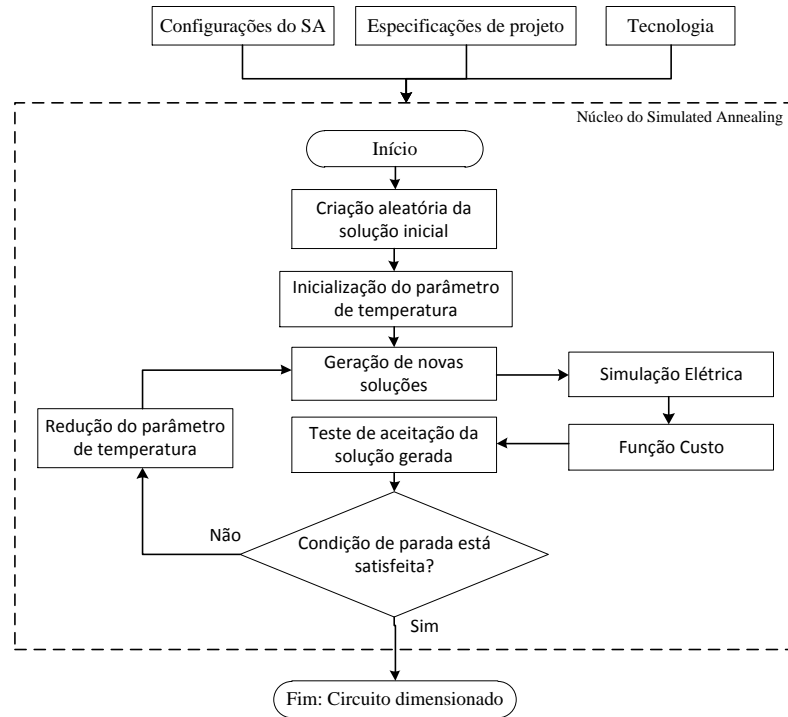


Fig. 18 – Projeto automático utilizando Simulated Annealing.

A geração de novas soluções é feita no próximo passo. Estas são geradas através de funções de geração de soluções, onde as soluções são geradas tendo como base a solução e o parâmetro de temperatura atual. As funções de geração de solução podem ser tanto *Fast* ou *Boltzmann* (SEVERO, 2012). A solução gerada é avaliada da mesma forma que a solução inicial.

Assim, é feito um teste para que se verifique a aceitação da solução gerada. O teste é feito de forma a verificar se a solução gerada é melhor que a solução atual. Caso sim, a solução gerada torna-se a solução atual. Caso contrário, a solução gerada é descartada e o processo segue normalmente.

O critério de parada do fluxo é definido através das restrições impostas pelo usuário no início do processo. Caso estas sejam satisfeitas após o teste de aceitação da solução, a solução testada é a solução final, a qual fornece o circuito dimensionado. Se a solução fornecida não atende às restrições, então a temperatura é reduzida e são geradas novas soluções. O processo é repetido até que se encontre uma solução adequada ao problema.

2.3 Avaliação das Soluções

Para a avaliação das soluções, a ferramenta usa uma função custo mostrada pela Eq. 2.1. E_i representa a i -ésima especificação a ser otimizada dentro de um espaço de n

especificações. R_j é a j -ésima especificação que é restrição e $f(R_j)$ é a função restrição utilizada como métrica de desempenho.

$$f_c = \sum_{i=1}^n P_{O_i} \cdot E_i + \sum_{j=1}^n P_{R_j} \cdot f(R_j) \quad (2.1)$$

A métrica de desempenho é diretamente dependente das especificações que possuem restrição de máximo ou mínimo. A representação gráfica da função restrição é mostrada pela Fig. 19. Conforme explicado, essa função é dependente do tipo de especificação (mínimo, como mostrado na Fig. 19(a), ou máximo, como mostrado na Fig. 19(b)) e dos limites de aceitação das soluções a e b , respectivamente.

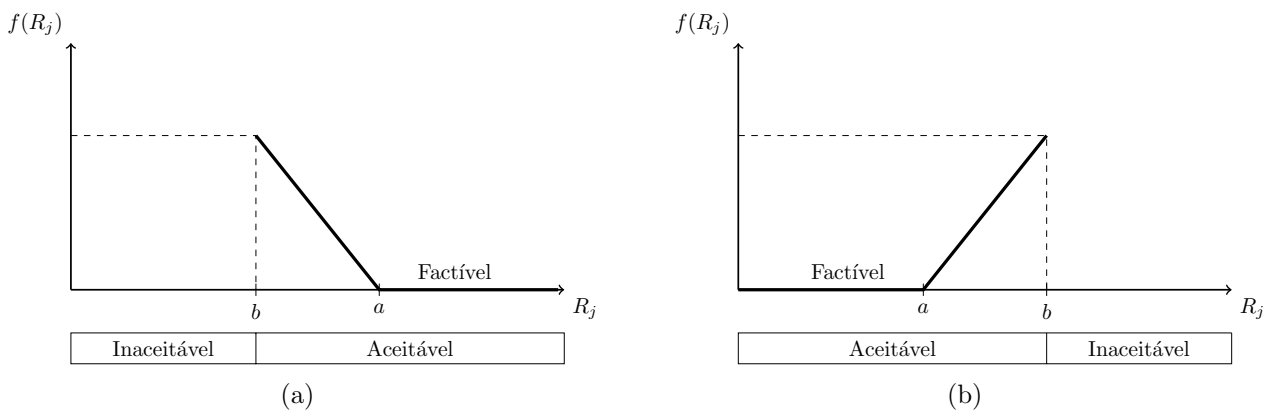


Figura 19 – Representação gráfica da função restrição $f(R_j)$.

Desta forma, caso a especificação obtida esteja dentro da faixa de aceitação, o valor da função restrição para esta especificação é proporcional à distância entre o valor obtido dentro da faixa e o valor requerido a . P_{O_i} e P_{R_j} são os parâmetros de peso para cada objetivo e restrição, respectivamente.

2.4 Caracterização de Amplificadores Operacionais

Para que as especificações sejam estimadas, é necessário que rotinas de teste, ou *testbenches*, sejam definidos. Conforme discutido anteriormente, o comportamento do circuito é estimado através de simulação elétrica fazendo uma interface entre um simulador elétrico do tipo SPICE com a ferramenta utilizada. Dessa forma, os testbenches são definidos e fixos para cada uma das especificações do amplificador.

A extração das especificações a partir da saída da simulação é feita automaticamente. A Fig. 20 mostra o resultado da saída da simulação AC na forma de um diagrama de Bode, no qual a função de extração para simulação AC pode obter os valores de ganho em baixas frequências (A_{v0}), a largura de banda (GBW) e a margem de fase. Assim, se

faz necessária a execução da simulação elétrica e da extração das especificações em cada iteração do processo de otimização para que a especificação requerida seja atingida.

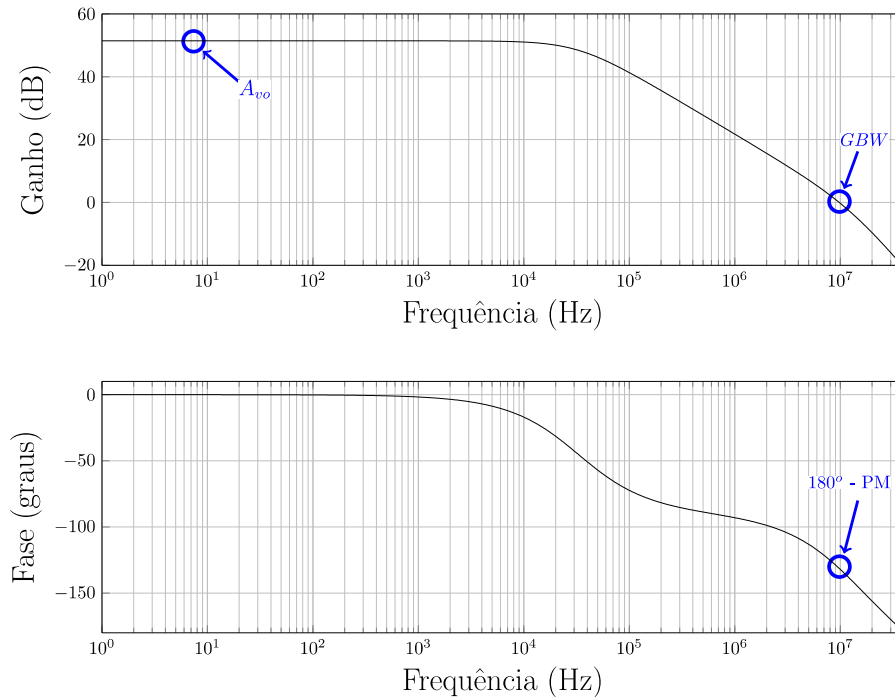


Fig. 20 – Diagrama de bode mostrando para extração dos parâmetros da análise em frequência.

Diversas configurações para medição das especificações podem ser utilizadas para a caracterização de amplificadores operacionais. Conforme exposto anteriormente, a ferramenta apresentada faz a estimativa das especificações através de um simulador elétrico, onde são feitas as análises do tipo AC, DC e transiente através de um interface entre Matlab e HSPICE. A Fig. 21 mostra os circuitos utilizados para a caracterização de amplificadores operacionais de uma saída usados pela ferramenta.

Para medir o ganho em baixas frequências (A_{v0}), a largura de banda (GBW) e a margem de fase (MF), a análise AC é feita. A configuração utilizada para medir estas especificações é mostrada pela Fig. 21(a). Os resultados da simulação podem ser traçados na forma de diagrama de Bode. Através da curva do ganho, as especificações A_{v0} e GBW são extraídas. Da mesma forma, a margem de fase é obtida da curva de fase.

Para obter a Faixa de Entrada de Modo Comum (ICMR), ou *Input Common-Mode Range*, utiliza-se o amplificador na configuração de ganho unitário, conforme mostrado pela Fig. 21(b). Nesta simulação, a tensão de entrada é variada de um nível mínimo a um nível máximo através da análise DC. Os valores positivo e negativo da entrada são obtidos através da saída de simulação na faixa onde o ganho do amplificador é linear.

A Fig. 21(c) mostra um amplificador em configuração com ganho de tensão igual a -10. Esse circuito é utilizado para medir a faixa da tensão de saída, ou Output Swing,

onde a especificação é estimada através de análise DC. De maneira simples, os níveis de máximo e mínimo da saída do amplificador definem a especificação de Output Swing.

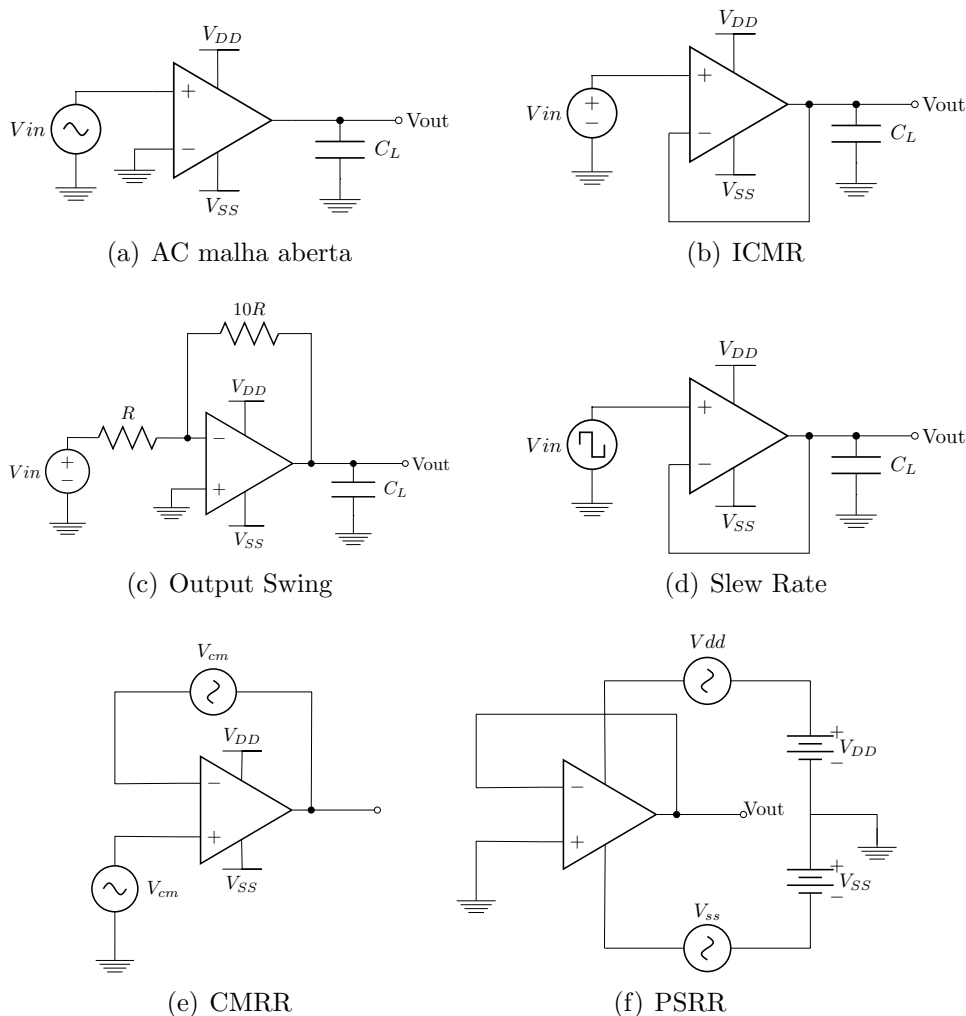


Figura 21 – Tesbenches para amplificadores de uma saída.

Para medir a rapidez de resposta do amplificador, ou o Slew Rate, a mesma configuração utilizada para medição do ICMR é utilizada. No entanto, o objetivo desta simulação é o de analisar a resposta da saída do amplificador para um pulso aplicado em sua entrada. Isso é feito através de uma análise transiente.

A Taxa de Rejeição de Modo Comum (CMRR), ou Common-Mode Rejection Ratio, é dada pela razão entre a tensão de modo comum (V_{cm}) e a tensão de saída gerada. Essa especificação representa a quantidade de tensão de modo comum de entrada devido a não-idealidades do amplificador. Para medir esta especificação, é feita uma análise AC utilizando a configuração mostrada pela Fig. 21(e). A análise é feita variando a frequência de operação da fonte de tensão V_{cm} .

Como no CMRR, a Taxa de Rejeição de Modo Comum (PSRR), ou *Power Supply Rejection Ratio*, indica a capacidade de rejeição do amplificador de ruídos provenientes da

fonte de alimentação. O circuito utilizado para esta medição é apresentado pela Fig. 21(f). O ruído vem de dois caminhos: da fontes de alimentação V_{DD} e V_{SS} , o que resulta em uma taxa de rejeição positiva (PSRR+) e negativa (PSRR-), respectivamente. A análise AC é executada para variar a frequência das fontes de tensão simulando o ruído vindo das fontes de alimentação. Para circuitos onde se utiliza só uma fonte de alimentação, é obtido apenas um valor de PSRR.

Uma vez que as funções de extração das especificações são válidas apenas para o tipo de circuito que estas foram implementadas, têm-se ainda a diferença entre os testbenches utilizados para a extração das especificações do amplificador totalmente diferencial. As rotinas e testbenches são bastante parecidos, diferindo apenas no que diz respeito à diferenciação dos sinais. A Fig. 22 mostra os circuitos utilizados para a caracterização do amplificador totalmente diferencial.

Da mesma forma que é feita para o amplificador de uma saída, uma análise AC em malha aberta é feita para extrair a resposta em frequência do amplificador, onde o circuito utilizado para isso é apresentado pela Fig. 22(a). Nesta, são obtidos os valores de ganho em baixas frequências (A_{v0}), largura de banda (GBW) e a margem de fase (MF).

Para a obtenção dos valores de ICMR e Slew Rate é necessário utilizar a configuração em ganho unitário. Os circuitos utilizados para a obtenção destas especificações são mostradas pelas Figuras 22(b) e 22(c). Nestes circuitos, o ganho de tensão é dado pela razão entre R_f e R_g (R_f/R_g). Assim, para ganho unitário $R_f/R_g = 1$, os valores dos resistores são definidos como $R_f = R_g$.

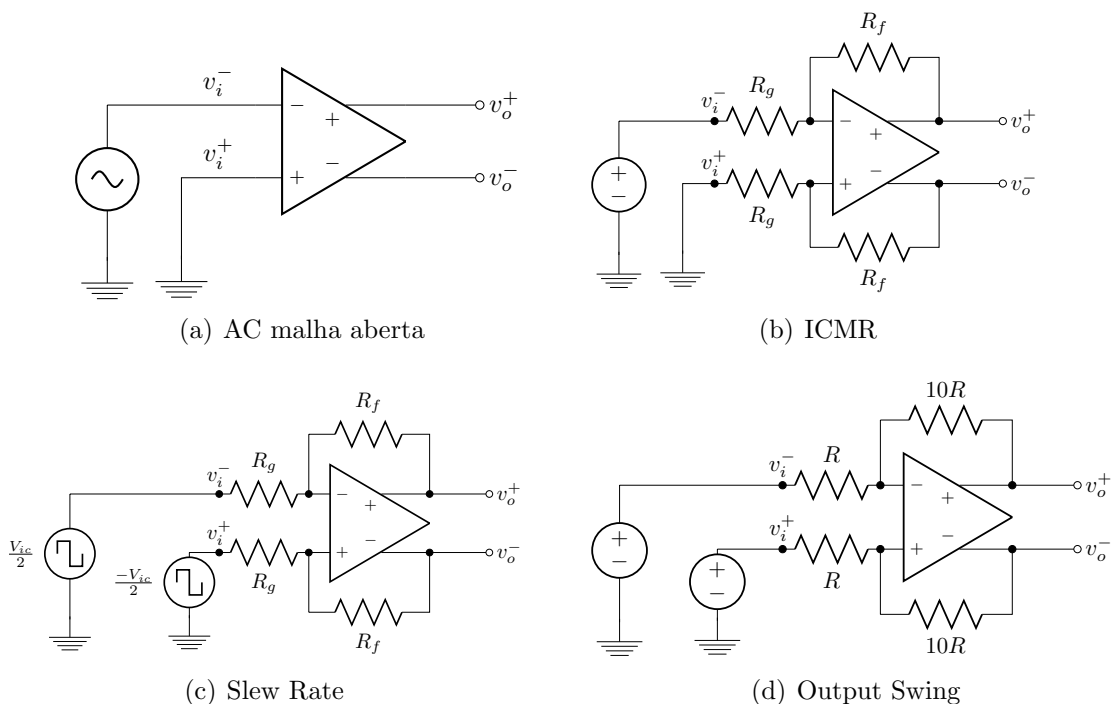


Figura 22 – Testbenches para amplificadores de saída diferencial.

Conforme exposto anteriormente, o procedimento para a extração das especificações através dos circuitos apresentados, bem como a especificação em si do amplificador totalmente diferencial, diferem muito pouco em relação ao amplificador operacional de uma saída. A principal diferença nos testbeches está no tratamento dos dados quanto à diferenciação que é feita dos sinais de saída para se obter a resposta do amplificador, e também da rede adicional de resistores que deve ser utilizada de forma a garantir que o amplificador opere nas condições desejadas, ou seja, configuração em ganho unitário para as medições de ICMR e slew rate, e configuração em ganho igual a -10 para medição do Output Swing.

3 Metodologia de Projeto Automático de Amplificadores Operacionais Totalmente Diferenciais

A metodologia proposta consiste no projeto de amplificadores operacionais totalmente diferenciais que possuam as saídas balanceadas, ou seja, considerando o circuito de realimentação de modo comum (CMFB) como parte do fluxo de projeto.

Conforme mostrado anteriormente, a ferramenta de síntese automática utilizada para a implementação da metodologia utiliza como variáveis livres a largura, W , e o comprimento, L , dos transistores que devem ser dimensionados. Com isso, um grande número de variáveis livres indica um grande espaço de projeto a ser explorado. Neste cenário, é possível que o algoritmo não encontre nenhuma solução que satisfaça todas as restrições impostas. Desta forma, o projeto do amplificador principal e do CMFB foram divididos de forma a reduzir o espaço de projeto, e assim explorá-lo de maneira mais eficiente.

Para que o projeto do amplificador seja particionado, deve-se ainda incorporar os efeitos do CMFB ao circuito. Um modelo ideal de CMFB é utilizado para que o amplificador seja dimensionado considerando estes efeitos. O modelo implementado é o apresentado por (ROSA; RIO, 2013) mostrado na Fig. 23. A efetividade do modelo foi demonstrada em (OLIVEIRA; SEVERO; GIRARDI, 2013a).

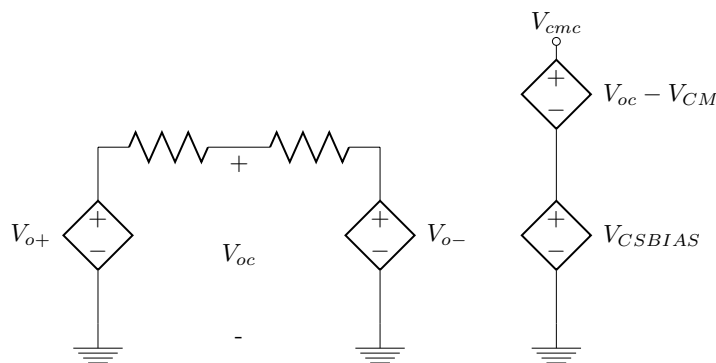


Fig. 23 – Modelo ideal do CMFB.

O modelo ideal apresentado segue o funcionamento conceitual do CMFB mostrado pela Fig. 16.

Definido o objetivo, a metodologia segue o fluxo de primeiro projetar o amplificador principal utilizando o modelo ideal apresentado, onde este projeto deve satisfazer as

especificações que são restrição de projeto e otimizar a potência, que é objetivo do processo de otimização. Com o circuito principal dimensionado, o CMFB é substituído pelo circuito real, e agora este é dimensionado de modo que a solução obtida no passo anterior ainda satisfaça as restrições impostas no início do processo. Este processo pode ser ilustrado através do fluxograma apresentado pela Fig. 24.

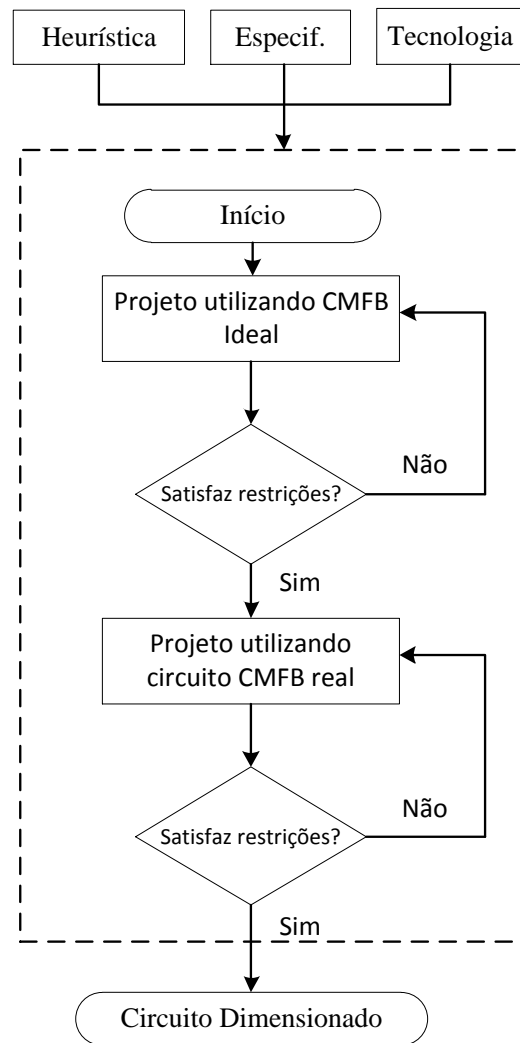


Fig. 24 – Metodologia de projeto automático de amplificadores totalmente diferenciais.

Assim, com a metodologia definida, são apresentados projetos que a utilizam. As seções a seguir apresentam os resultados para estes projetos.

3.1 Projeto de um Amplificador Totalmente Diferencial de Um Estágio

Essa seção tem como objetivo apresentar o projeto de um amplificador totalmente diferencial de um estágio de modo a validar a metodologia proposta.

3.1.1 Amplificador Totalmente Diferencial de Um Estágio

O amplificador projetado é mostrado pela Fig. 25. O projeto é feito utilizando uma tecnologia de $0.18 \mu\text{m}$ e como primeiro passo é utilizado o modelo ideal de CMFB implementado. As fontes de alimentação V_{DD} e V_{SS} são definidas como 0.9 V e -0.9 V respectivamente. As capacitâncias de carga, C_L , são fixadas em 10 pF . Neste amplificador o transistor que fornece a corrente de cauda ao circuito, é dividido em dois. Isso é feito para que o ganho do CMFB seja reduzido, já que $g_{m_{CMFB}}$ é reduzido, e a largura de banda do laço do CMFB seja reduzida, e conseqüentemente a margem de fase aumentada. Assim, à tensão de entrada de controle de modo comum, V_{cmc} , é o terminal de gate do transistor M_{5B} . A tensão V_{cmc} é aplicada para fornecer o controle do nível comum da saída e definida de forma que $I_{5A} = I_1 = |I_3|$ quando a tensão de modo comum da saída, V_{oc} , seja igual a tensão requerida V_{CM} . Isso implica que, para manter o circuito operando de maneira correta e fornecer o controle do nível comum da saída, a entrada de controle de modo comum deve ser $V_{cmc} = V_{bias} + \Delta V_{oc}$, com $V_{CM} = 0$. A tensão de referência V_{CM} é definida como zero pois é o ponto entre V_{DD} e V_{SS} que fornece o máximo output swing.

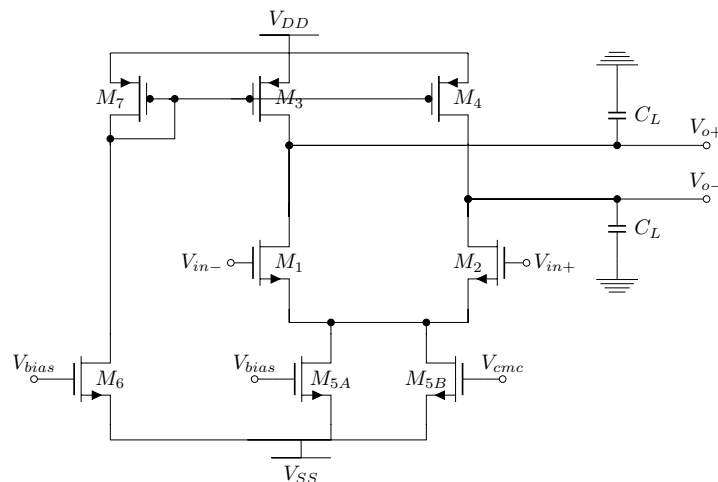


Fig. 25 – Esquemático do amplificador totalmente diferencial de um estágio.

As especificações requeridas para o amplificador são restrições de projeto para o método de otimização. Além das especificações, é inserida a tensão de modo comum requerida V_{CM} como restrição. As variáveis livres utilizadas para explorar o espaço de projeto são as larguras e comprimentos dos transistores, e a tensão de polarização. O

circuito possui 7 variáveis livres: $W_1, L_1, W_3, L_3, W_5, L_5$ e V_{bias} . A heurística de otimização utilizada para explorar o espaço de projeto é o Simulated Annealing. As especificações utilizadas como restrição de projeto são o ganho em malha aberta (A_{v0}), largura de banda (GBW), margem de fase (MF) e o slew rate (SR). A minimização da potência é o objetivo da heurística de otimização. A ferramenta é executada em um computador com processador Intel i7 com 8 núcleos e 8 GB de memória. Os resultados obtidos para as especificações e as dimensões dos transistores são mostrados pelas Tabelas 1 e 2 respectivamente.

Através do conjunto de restrições apresentado, a função custo pode ser calculada através da seguinte forma:

$$f_c = \frac{P_{diss}}{P_{diss_{ref}}} + R \quad (3.1)$$

Onde R representa o conjunto de restrições e é dado por:

$$R = R_{min}(A_{v0}, A_{v0_{ref}}) + R_{min}(GBW, GBW_{ref}) + R_{min}(MF, MF_{ref}) + R_{min}(SR, SR_{ref}) \quad (3.2)$$

Tabela 1 – Resultados obtidos para o amplificador totalmente diferencial de um estágio utilizando um CMFB ideal.

Especificações	Valor Requerido	Valor Obtido
A_{v0} (dB)	$\geq 30,00$	32,657
GBW (MHz)	$\geq 1,00$	1,096
MF ($^\circ$)	$\geq 50,00$	91,29
SR (V/ μ s)	$\geq 1,50$	3,8305
P_{diss} (μ W)	Minimizar	16,23
Tempo Exec. (min)	-	118

Tabela 2 – Dimensões obtidas para os transistores do amplificador de um estágio totalmente diferencial utilizando um CMFB ideal.

Parâmetro	Valor Obtido
W_1/L_1 (μ m/ μ m)	36,29/0,19
W_3/L_3 (μ m/ μ m)	27,41/6,83
W_5/L_5 (μ m/ μ m)	15,30/9,75
V_{bias} (mV)	-167.045

3.1.2 Projeto do Circuito de Realimentação de Modo Comum

Para que o modelo ideal do CMFB seja substituído, deve-se utilizar um circuito que tenha as funções apresentadas pelo modelo conceitual do CMFB apresentado pela Fig. 16. O circuito utilizado para este propósito é mostrado na Fig. 26 apresentado por (DEHGHANI, 2013). Este circuito é chamado de CMFB “diferença diferencial” pois utiliza de pares diferenciais na saída do amplificador principal para fazer a detecção do nível comum. Neste circuito, os transistores M_1 a M_4 são iguais, já que são pares diferenciais, e os transistores M_5 e M_6 que compõem o espelho de corrente também possuem as mesmas dimensões. No circuito, se $V_{oc} = V_{CM}$, ou seja, se o nível comum de saída está igual ao requerido, então $I_{D1-4} = I_0/2$. Assim, a tensão de saída diferencial, $V_{od} = V_{o+} - V_{o-}$, e a tensão de referência do nível comum requerido, V_{CM} , possuem efeito sobre o fluxo de correntes através dos pares diferenciais. Conforme apresentado por (DEHGHANI, 2013), a variação sobre as correntes nos pares diferenciais causadas pelas tensão diferencial e de nível comum são denominadas Δi_{dm} e Δi_{cm} , respectivamente. Assim, a variação das corrente é dada da seguinte forma

$$i_{D1} = \frac{I_0}{2} - \Delta i_{cm} - \Delta i_{dm} \quad (3.3)$$

$$i_{D2} = \frac{I_0}{2} - \Delta i_{cm} + \Delta i_{dm} \quad (3.4)$$

$$i_{D3} = \frac{I_0}{2} + \Delta i_{cm} + \Delta i_{dm} \quad (3.5)$$

$$i_{D4} = \frac{I_0}{2} + \Delta i_{cm} - \Delta i_{dm} \quad (3.6)$$

Pela Lei das correntes de Kirchhoff e utilizando as equações acima apresentadas, têm-se que

$$i_{D3} + i_{D4} = I_0 + 2\Delta i_{cm}$$

Logo,

$$i_{D5} = i_{D6} = I_0 - 2\Delta i_{cm}$$

Assim, é possível verificar que o circuito só tem controle sobre a variação correspondente ao modo comum.

Assim, com o circuito de CMFB definido, o modelo ideal utilizado anteriormente é substituído por este. O processo de otimização é feito novamente sendo que agora

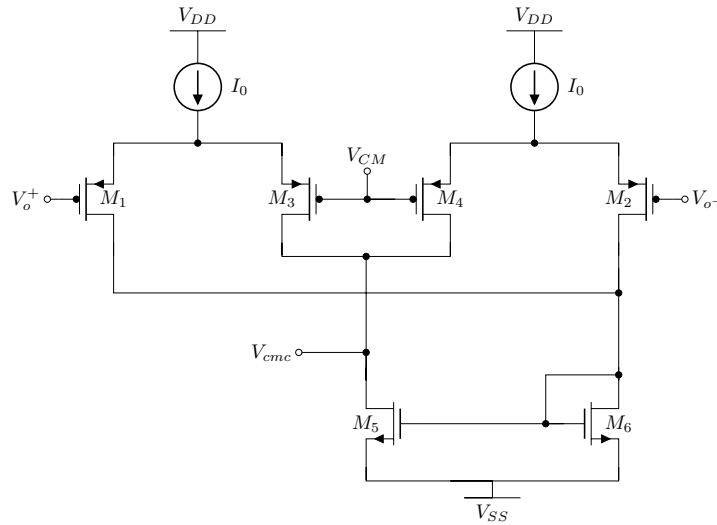


Fig. 26 – Circuito de realimentação do modo comum diferencial diferencial.

as variáveis livres são as dimensões dos transistores do CMFB, e os valores obtidos anteriormente para o amplificador principal são fixados. O projeto é feito de forma a manter as mesmas especificações obtidas com o modelo ideal do CMFB. O circuito tem 5 variáveis livres: W_1 , L_1 , W_5 , L_5 e I_0 . A Tabela 3 apresenta as dimensões obtidas para este projeto. A função custo é calculada da mesma forma que o projeto utilizando o modelo ideal de CMFB, sendo apenas adicionada a restrição da tensão de modo comum de saída ao conjunto de restrições R na Eq. 3.1.

Tabela 3 – Dimensões dos transistores para o circuito de realimentação de modo comum.

Parâmetro	Valor Obtido
W_1/L_1 ($\mu\text{m}/\mu\text{m}$)	35,91/0,89
W_5/L_5 ($\mu\text{m}/\mu\text{m}$)	7,19/0,46
I_0 (μA)	15,19

A Tabela 4 mostra a comparação dos resultados obtidos utilizando o CMFB ideal e os resultados depois da substituição do CMFB ideal pelo projetado.

Tabela 4 – Comparação entre os resultados obtidos para o amplificador totalmente diferencial de um estágio utilizando o CMFB ideal e o projetado.

Especificações	Valor Requerido	CMFB Ideal	CMFB Projetado
A_{v0} (dB)	$\geq 30,00$	32,657	32,656
GBW (MHz)	$\geq 1,00$	1,096	1,08
MF ($^\circ$)	$\geq 50,00$	91,29	88,63
SR (V/ μs)	$\geq 1,50$	3,8305	3,2
P_{diss} (μW)	Minimizar	16,23	70,23
Tempo Exec. (min)	-	118	238

Assim, é possível concluir que através deste projeto foi possível validar a metodologia de projeto de amplificadores totalmente diferenciais. Isso pode ser concluído através da Tabela 4, que mostra que mesmo após a substituição do circuito ideal pelo circuito projetado, não houve variação significativa que pudesse não satisfazer alguma restrição definida no início do projeto.

A maior variação que se tem é sobre o slew rate. Isso acontece devido às capacitâncias inseridas na saída do amplificador após a substituição do circuito ideal pelo real, sendo esta uma resposta esperada.

4 Projeto de um Amplificador Totalmente Diferencial de Dois Estágios

Este capítulo tem como objetivo apresentar o projeto de um amplificador totalmente diferencial de dois estágios. Este projeto é feito para que seja evidenciada a eficácia da metodologia para diferentes tipos de amplificadores, além de projetar um tipo de circuito mais complexo e que seja bastante utilizado. Para tanto, foi projetado um amplificador totalmente diferencial de dois estágios com compensação em avanço sem capacitores (NCF, *No Capacitor Feedforward compensation*). Este tipo de compensação é vantajosa, uma vez que dispensa a utilização de capacitores, os quais ocupam uma grande área, e também pela redução da largura de banda do amplificador devido à divisão de polos, conforme a compensação do tipo Miller (SEDRA; SMITH, 2004). O projeto do amplificador utiliza compensação em avanço para que sejam criados zeros no semi plano esquerdo do plano complexo.

O diagrama do amplificador projetado é mostrado pela Fig 27. O primeiro estágio, A_1 , é composto por um amplificador do tipo folded-cascode. O esquemático do bloco A_1 é mostrado pela Fig. 30. O segundo estágio, A_2 , é composto por um amplificador fonte comum, o qual fornece uma saída com output swing alto. O circuito de A_2 é mostrado na Fig. 32. O amplificador A_3 é o responsável pela compensação em avanço do circuito. Para este objetivo utiliza-se um amplificador de um estágio idêntico ao projetado na seção anterior. O esquemático de A_3 é mostrado pela Fig. 33.

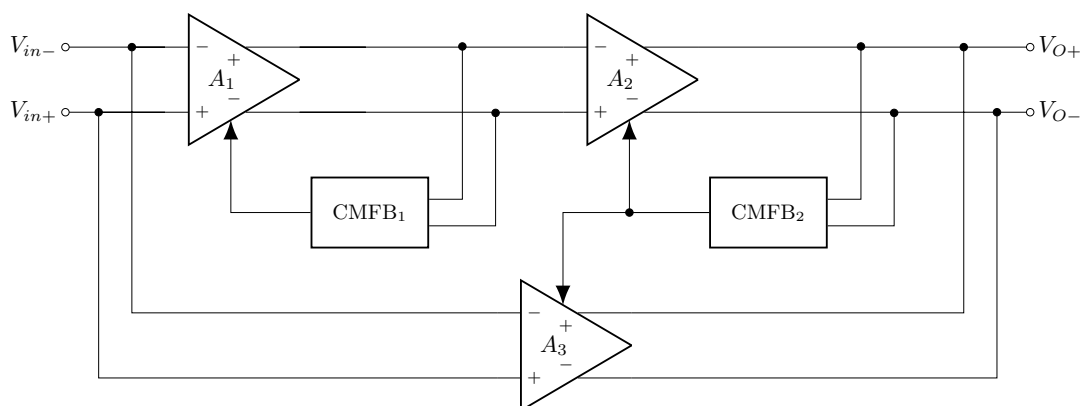


Fig. 27 – Diagrama do Amplificador totalmente diferencial de dois estágios com compensação NCF.

4.1 Compensação em Avanço sem Capacitores (NCFF)

Conforme o digrama mostrado pela Fig. 27, a compensação utilizada será a do tipo NCFF apresentada por (THANDRI; SILVA-MARTINEZ, 2003).

Em diversas aplicações, é requerido que o amplificador possua alto ganho em baixas frequências (A_{v0}) e que a banda operante deste (GBW) também seja larga. Essas características são difíceis de serem atingidas devido à relação contrária destas. Para obter um ganho alto são utilizados amplificadores de múltiplos estágios, enquanto que para se obter uma largura de banda grande se utilizam amplificadores de um estágio. Isso acontece pois para cada estágio é adicionado um polo em baixas frequências. Esses polos fazem com que a margem de fase do amplificador seja degradada, fazendo com que o amplificador se torne instável. Uma compensação bastante conhecida é a do tipo Miller (SEDRÁ; SMITH, 2004), que utiliza o efeito Miller para fazer a separação dos polos e assim compensar a degradação de fase causada pela topologia de múltiplos estágios. Mas esta compensação é feita ao custo da diminuição do GBW .

Uma solução para compensar a margem de fase sem diminuir o GBW do amplificador é inserir zeros no semi plano esquerdo, compensando assim a degradação negativa devido aos múltiplos estágios. Conforme apresentado por (THANDRI; SILVA-MARTINEZ, 2003), o conceito desta compensação pode ser explicado supondo que os blocos A_{v1} , A_{v2} e A_{v3} do digrama do amplificador a ser projetado tenham sua resposta em frequência definida apenas por um polo cada. A Fig. 28 mostra a resposta em frequência dos blocos do diagrama da Fig. 27, onde ω_{p1} , ω_{p2} e ω_{p3} são as localizações dos polos de A_{v1} , A_{v2} e A_{v3} , respectivamente.

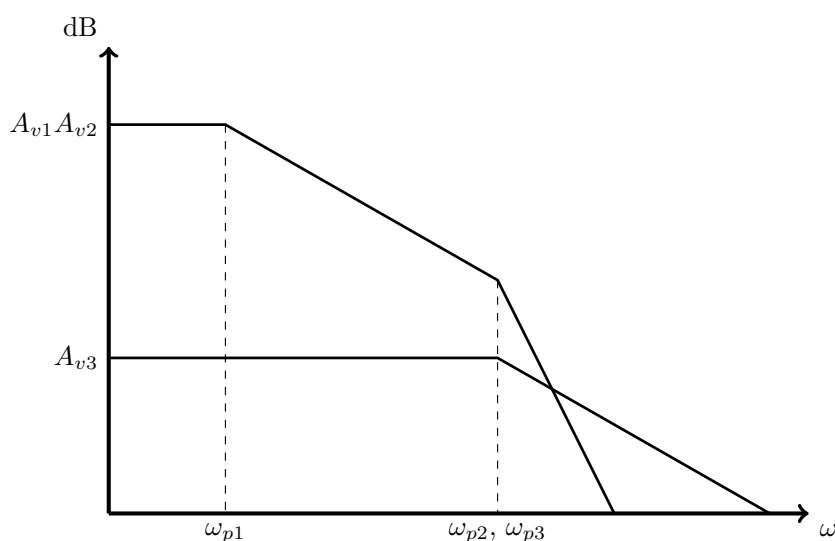


Fig. 28 – Resposta em frequência dos estágios amplificadores do diagrama da Fig. 27.

Como o estágio A_{v3} faz um caminho em avanço, ou seja, da entrada para a saída, isso faz com que o polo deste amplificador se torne um zero na resposta do sistema. A

resposta geral do sistema é mostrada pela Fig. 29.

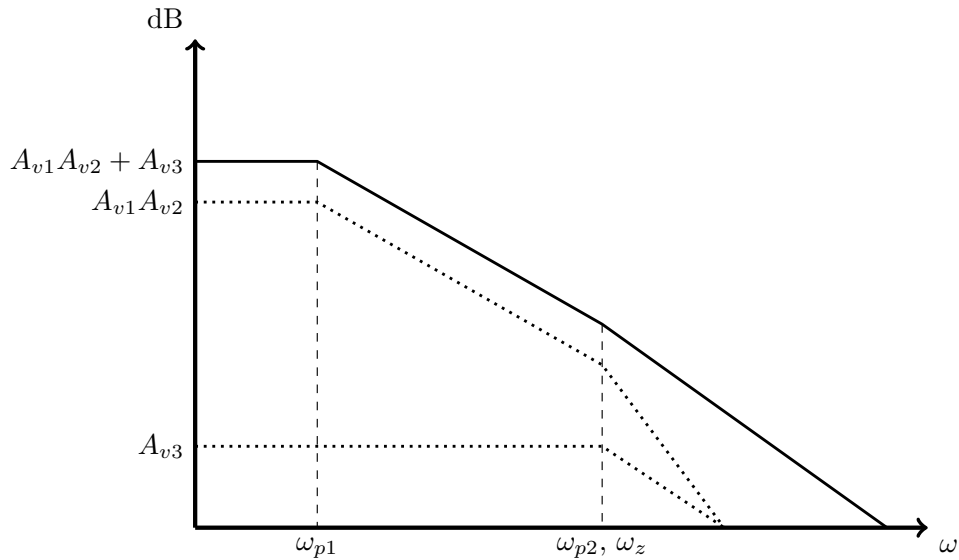


Fig. 29 – Resposta geral do sistema.

O ganho obtido através deste sistema é dado da seguinte forma

$$H(s) = - \frac{A_{v1}A_{v2} + A_{v3} \left(1 + \frac{A_{v3}s}{(A_{v1}A_{v2} + A_{v3})\omega_{p1}} \right)}{\left(1 + \frac{s}{\omega_{p1}} \right) \left(1 + \frac{s}{\omega_{p2}} \right)} \quad (4.1)$$

Através da Eq. 4.1 é possível obter a localização do zero inserido pelo bloco amplificador A_{v3} . A localização do zero, ω_z , inserido no semi plano esquerdo é dada pela Eq. 4.2

$$z = -\omega_{p1} \left(1 + \frac{A_{v1}A_{v2}}{A_{v3}} \right) \cong -\frac{g_{m1}}{C_{L1}} \left(\frac{g_{m2}}{g_{m3}} \right) \quad (4.2)$$

onde g_{m1} , g_{m2} e g_{m3} são as transcondutâncias dos estágios A_{v1} , A_{v2} e A_{v3} , respectivamente, e C_{L1} é a capacitância de saída do primeiro estágio.

Através das Figuras 28 e 29, fica claro que ao adicionar o estágio de compensação A_{v3} , sendo a localização do polo em baixa frequências deste, ω_{p3} , igual à localização do polo em baixa frequências do segundo estágio, ω_{p2} , a defasagem negativa de -90° causada pelo segundo polo é anulada pela defasagem positiva de 90° causada pelo zero inserido no semi plano esquerdo. Assim, a margem de fase da resposta geral do amplificador ficará em torno de 90° com a defasagem de -90° causada apenas pelo polo do primeiro estágio.

Comparando as respostas em frequência do amplificador sem e com a compensação, Figuras 28 e 29, fica claro o aumento do GBW que este tipo de compensação proporciona

comparado as metodologias mais tradicionais de compensação de fase. Existe ainda o efeito do descasamento entre o polo do segundo estágio, ω_{p1} , e o zero inserido através do estágio de compensação, ω_z . Este efeito é explicado nas seções seguintes.

Para que o projeto seja feito através da metodologia de particionamento desenvolvida, é necessário que se conheça o funcionamento do circuito dimensionado. Assim, pode-se definir como se dará o particionamento do circuito, de forma que a heurística de otimização possa explorar o espaço de projeto de maneira mais eficiente. Assim, são feitos dois projetos: o projeto manual, para que se compreenda o funcionamento do circuito, e o projeto automático utilizando a metodologia desenvolvida. As seções a seguir apresentam o desenvolvimento, bem como os resultados para estes projetos.

4.2 Projeto Manual do Amplificador Totalmente Diferencial

O projeto manual parte das especificações que serão restrição de projeto e as relaciona com as variáveis do circuito. As especificações do amplificador são definidas através do sistema ao qual amplificador será aplicado. O amplificador é projetado para ser aplicado no modulador $\Sigma\Delta$ em tempo contínuo projetado por (AGUIRRE, 2014). O modulador possui frequência de amostragem de 128 MHz. A tecnologia de 130nm é utilizada para o projeto do amplificador. A tecnologia possui fonte de alimentação de 1,2 V, logo a tensão de referência de modo comum, V_{CM} , é definida como 0,6 V.

Assim, as especificações para o amplificador são definidas: $A_{v0} \geq 50$ dB, $GBW \geq 2 \times 128$ MHz, $MF \geq 50^\circ$ e que o erro de tensão de modo comum na saída seja reduzido.

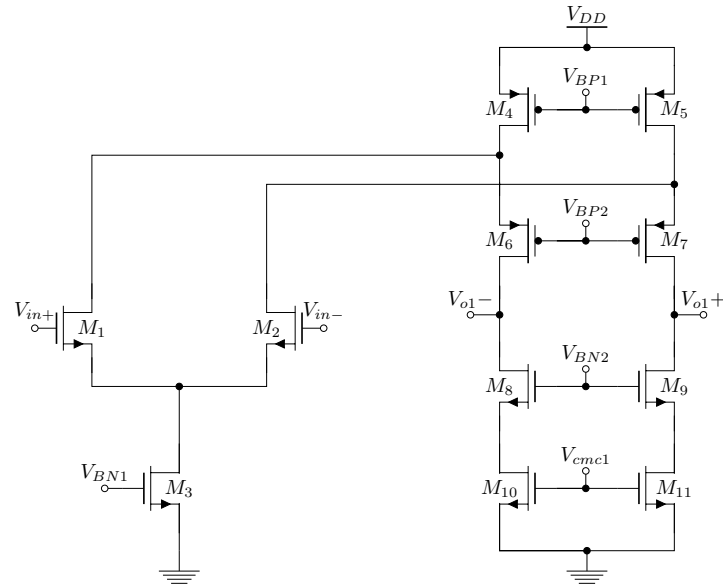
O primeiro estágio do amplificador é composto por uma estrutura folded-cascode proposta por (MALLYA; NEVIN, 1989), cujo esquemático da topologia é mostrado pela Fig. 30. Neste estágio, os transistores M_1 e M_2 formam o par de entrada, M_6 e M_7 são os transistores que agem como cascode, M_4 , M_5 e $M_8 - M_{11}$ são as fontes de corrente que polarizam o par diferencial e o par cascode. A tensão de gate dos transistores M_{10} e M_{11} é definida como o ponto de controle da tensão de modo comum do primeiro estágio V_{cmc1} .

O ganho do estágio folded-cascode é dado por

$$A_{v1} = -g_{m1}R_{out} \quad (4.3)$$

onde a resistência de saída R_{out} é dada por

$$R_{out} = \frac{1}{\frac{g_{ds8}g_{ds10}}{g_{m8}} + \frac{(g_{ds1} + g_{ds4})g_{ds6}}{g_{m6}}} \quad (4.4)$$

Fig. 30 – Esquemático do estágio Folded-Cascode A_1 .

e possui os polos dominantes localizados em

$$p_1 = -\frac{1}{R_{out}C_{L0}} \quad (4.5)$$

$$p_2 = -\frac{g_{m6}}{C_{out6}} \quad (4.6)$$

onde C_{L0} representa a capacitância vista na saída do amplificador e C_{out6} a capacitância de saída para o transistor M_6 .

Através das Equações 4.5 e 4.3 pode-se obter o GBW como

$$GBW = \frac{g_{m1}}{2\pi C_{L0}} \quad (4.7)$$

Assim, pode-se dimensionar o circuito relacionando as equações que descrevem seu comportamento com as especificações requeridas. Para reduzir a complexidade do projeto, o valor de L é fixado em $1\mu\text{m}$. Os transistores são dimensionados tendo como base as Equações 1.4 e 1.10 no modelo de pequenos sinais. Como a tecnologia utilizada não se comporta da maneira em que o modelo quadrático descreve o transistor MOS, o projeto torna-se mais intuitivo de forma que cálculos utilizando estas equações são pouco utilizados. Logo, o fluxo a metodologia de projeto é definida através do fluxograma mostrado na Fig. 1.

O circuito de realimentação de modo comum (CMFB) utilizado no primeiro estágio é mostrado pela Fig. 31. Este circuito é o mesmo utilizado para do projeto o amplificador de um estágio. Seu comportamento foi descrito na Seção 3.1.2. O CMFB₁ é dimensionado

definindo-se a tensão de polarização dos transistores M_{10} e M_{11} quando não há desbalanço entre as tensões de saída do amplificador, ou seja, o circuito opera sob as condições desejadas e $CMFB_1$ apenas polariza M_{10} e M_{11} .

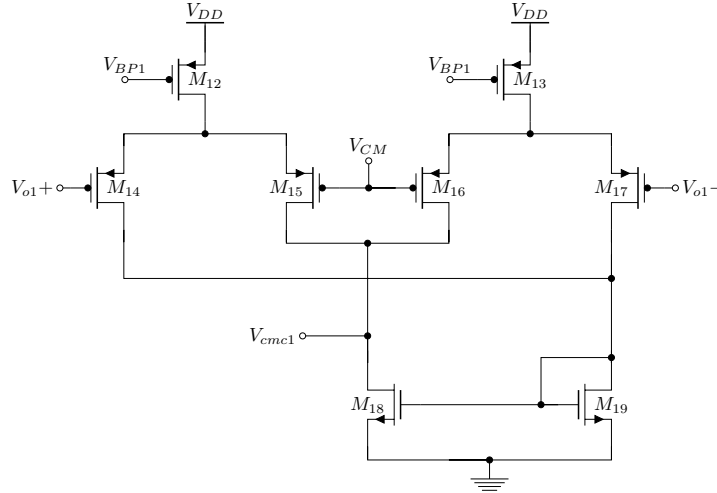


Fig. 31 – Circuito de realimentação do modo comum do estágio folded-cascode.

Os resultados obtidos para as dimensões do primeiro estágio e do seu respectivo $CMFB$ são apresentados pelas Tabelas 5 e 6.

Tabela 5 – Dimensões obtidas para os transistores do estágio folded-cascode através do projeto manual.

Parâmetro	Valor Obtido
W_1/L_1 ($\mu\text{m}/\mu\text{m}$)	100/1
W_3/L_3 ($\mu\text{m}/\mu\text{m}$)	15/1
W_4/L_4 ($\mu\text{m}/\mu\text{m}$)	40/1
W_6/L_6 ($\mu\text{m}/\mu\text{m}$)	20/1
W_8/L_8 ($\mu\text{m}/\mu\text{m}$)	80/1
W_{10}/L_{10} ($\mu\text{m}/\mu\text{m}$)	20/1
V_{BN1} (mV)	350
V_{BN2} (mV)	450
V_{BP1} (mV)	800
V_{BP2} (mV)	400

Tabela 6 – Dimensões obtidas para os transistores do circuito de realimentação de modo comum do estágio folded-cascode através do projeto manual.

Parâmetro	Valor Obtido
W_{12}/L_{12} ($\mu\text{m}/\mu\text{m}$)	30/1
W_{14}/L_{14} ($\mu\text{m}/\mu\text{m}$)	20/1
W_{18}/L_{18} ($\mu\text{m}/\mu\text{m}$)	10/1

O segundo estágio, A_2 , é composto por um estágio fonte comum ou CS (*common-source*) mostrado pela Fig. 32. Neste amplificador, o transistor que recebe o sinal de entrada através de seu gate e o amplifica na proporção de sua transcondutância g_m . Os transistores que são polarizados através do circuito CMFB₂ fazem o papel de fontes de corrente controladas pela tensão V_{cmc2} . Logo, apenas suas resistências de saída terão influência sobre o ganho em baixas frequências. Esta topologia é utilizada como estágio de saída devido à sua alta faixa de excursão de sinal, já que apenas dois transistores devem se manter polarizados. Neste trabalho, a faixa de excursão do sinal de saída, ou output swing, não é restrição de projeto, mas a sua utilização é justificada com o argumento acima.

O ganho do segundo estágio, A_2 , é dado por

$$A_{v2} = -\frac{g_{m20}}{g_{ds20} + g_{ds22}} \quad (4.8)$$

São utilizados dois estágios CS, um para cada saída, respeitando também a igualdade destes onde $M_{20} = M_{21}$ e $M_{22} = M_{23}$.

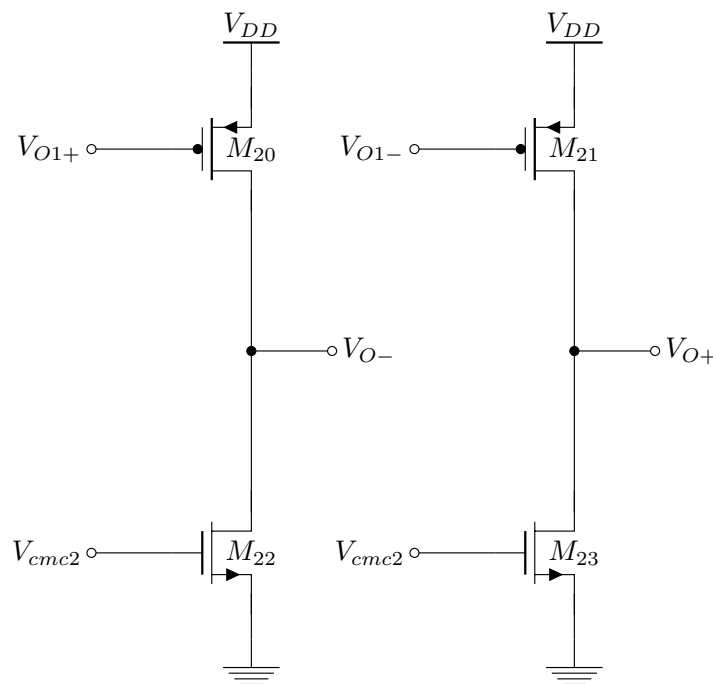


Fig. 32 – Esquemático do estágio Fonte Comum A_2 .

O amplificador diferencial é escolhido para ser utilizado na compensação em avanço. O esquemático do amplificador é mostrado pela Fig. 33. Este amplificador é o mesmo do projeto apresentado nas seções anteriores, sendo apenas sua cauda, o transistor M_{26} , não dividida. O circuito é formado pelo par diferencial $M_{24} - M_{25}$ e as fontes de corrente M_{26} , M_{27} e M_{28} . A definição do ganho desta topologia é bastante semelhante, pode-se também dizer o mesmo, que o do estágio CS já que ambos possuem apenas dois transistores que funcionam como carga, ou seja, que definem o ganho do circuito.

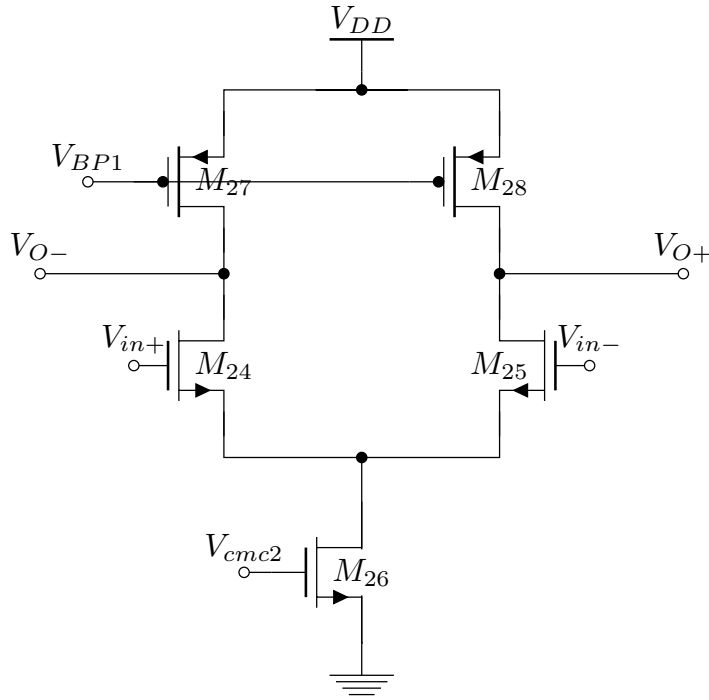


Fig. 33 – Esquemático do Estágio da compensação em avanço A_3 .

Assim, o ganho do amplificador utilizado como estágio de compensação é dado por

$$A_{v3} = -\frac{g_{m24}}{g_{ds25} + g_{ds28}} \quad (4.9)$$

onde são respeitadas as igualdades $M_{24} = M_{25}$ e $M_{27} = M_{28}$.

Da mesma forma que o circuito CMFB₁ foi dimensionado, é feito com o circuito CMFB₂. Como CMFB₂ é utilizado para controlar o nível comum das saídas do amplificador e o segundo estágio e o estágio de compensação compõem as saídas, o circuito CMFB₂ é utilizado para o controle de ambos circuitos. Desta forma, CMFB₂ é dimensionado de forma a polarizar os transistores M_{22} , M_{23} e M_{25} . Para simplificação do projeto, a mesma topologia de circuito utilizado como CMFB₁ é utilizada agora como CMFB₂ e são utilizadas também as mesmas dimensões. Assim, os amplificadores são projetados de forma a se adequar as tensões de polarização impostas, visto que estes compartilharam também as mesmas tensões V_{BN1} , V_{BN2} , V_{BP1} e V_{BP2} . As tensões de polarização são compartilhadas para que o projeto do circuito seja simplificado.

Conforme mostrado anteriormente, o amplificador da Fig. 27 utiliza compensação em avanço de fase sem a utilização de capacitores. Para o projeto manual, a alocação do zero que compensa o polo do segundo estágio é feita utilizando a Eq. 4.2. O projeto destes estágios é feito mantendo o primeiro estágio fixo e variando-se a relação g_{m2}/g_{m3} , onde das Equações 4.8 e 4.9 temos que $g_{m2} = g_{m20}$ e $g_{m3} = g_{m24}$. Através desta relação, é feito o casamento entre o par polo-zero proveniente do segundo estágio e do estágio de

compensação em avanço inserido.

A Tabela 7 mostra as dimensões obtidas para os transistores do segundo estágio e do estágio de compensação.

Tabela 7 – Dimensões obtidas para os transistores do segundo estágio e estágio de compensação em avanço para o projeto manual.

Parâmetro	Valor Obtido
W_{20}/L_{20} ($\mu\text{m}/\mu\text{m}$)	30/1
W_{22}/L_{22} ($\mu\text{m}/\mu\text{m}$)	10/1
W_{24}/L_{24} ($\mu\text{m}/\mu\text{m}$)	200/1
W_{26}/L_{26} ($\mu\text{m}/\mu\text{m}$)	50/1
W_{27}/L_{27} ($\mu\text{m}/\mu\text{m}$)	100/1

Primeiramente, as dimensões do circuito CMFB₂ são as mesmas que as obtidas para o circuito CMFB₁. Mas, conforme é analisada a resposta do amplificador para uma entrada do tipo pulso, é visto que o amplificador está instável. Isso se deve ao fato de o laço de um dos CMFBs estar instável. Como para o projeto deste amplificador não foram considerados tais fatores, a simulação transiente é feita para verificar se o amplificador está de fato estável. Isso é feito observando se sua saída oscila quando um sinal do tipo pulso é aplicado à sua entrada.

Referenciando a Fig. 26, conforme apresentado por (DEHGHANI, 2013), nesta topologia um polo é criado no dreno de M_5 , o que pode degradar a estabilidade do laço de realimentação. Uma solução para compensar essa degradação é adicionar uma rede RC entre a entrada de modo comum desejada, V_{CM} , e a saída, V_{cmc} , do CMFB.

A impedância de saída do circuito, supondo que este possui dois polos reais, é dada por

$$Z_o(s) = R_o \frac{1 + s/z_1}{(1 + s/p_1)(1 + s/p_2)} \quad (4.10)$$

Neste caso, $p_1 = z_1$ e $p_2 = 1/(RC_s)$ onde $R = R_o || R_c$, C_s é a capacitância de saída do CMFB e R_c é a resistência da rede RC utilizada para a compensação. O segundo polo, p_2 , o qual degrada a estabilidade do laço, pode ser movido para frequências mais altas. Isto faz com que a estabilidade do laço do CMFB seja melhorada.

O esquemático do circuito CMFB₂ é mostrado pela Fig.34. Este, em relação a CMFB₁, difere apenas na adição da rede RC .

Para a melhora da estabilidade do amplificador, também é levado em consideração que a transcondutância do CMFB₂ possa estar elevada, o que também pode degradar a estabilidade do laço. Isso pode ser resolvido diminuindo a transcondutância do CMFB₂,

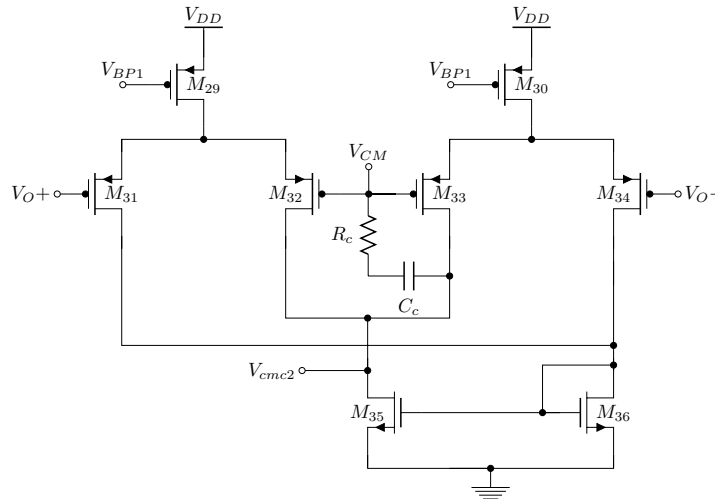


Fig. 34 – Circuito de realimentação do modo comum do segundo estágio e estágio de compensação em avanço.

diminuindo também seu GBW, e como consequência aumentando a margem de fase do laço (GRAY, 2009).

Como os laços não são analisados individualmente, o projeto da rede RC e a diminuição da transcondutância do CMFB são feitos de maneira iterativa até que a resposta transiente do amplificador se mostre estável.

A Tabela 8 mostra as dimensões obtidas para o circuito CMFB₂ com o amplificador operando de forma estável e para a rede RC com $R_c = 500 \Omega$ e $C_c = 1 \text{ pF}$.

Tabela 8 – Dimensões obtidas para os transistores do circuito de realimentação de modo comum do segundo estágio e estágio em avanço para o projeto manual.

Parâmetro	Valor Obtido
W_{29}/L_{29} ($\mu\text{m}/\mu\text{m}$)	30/1
W_{31}/L_{31} ($\mu\text{m}/\mu\text{m}$)	10/1
W_{35}/L_{35} ($\mu\text{m}/\mu\text{m}$)	5/1

A Fig. 35 mostra ainda a comparação do amplificador com e sem a compensação do laço de realimentação de CMFB₂.

Os resultados finais para o projeto do amplificador mostrado pela Fig. 27 são apresentados pela Tabela 9. A resposta em frequência do amplificador projetado é apresentada pela Fig. 36.

O projeto manual do amplificador de dois estágios foi feito de forma a se, além de obter experiência no projeto manual de circuitos integrados analógicos, observar o comportamento do circuito para que fossem definidas as restrições para o projeto automático do amplificador. A seção a seguir apresenta este projeto com todas as considerações que

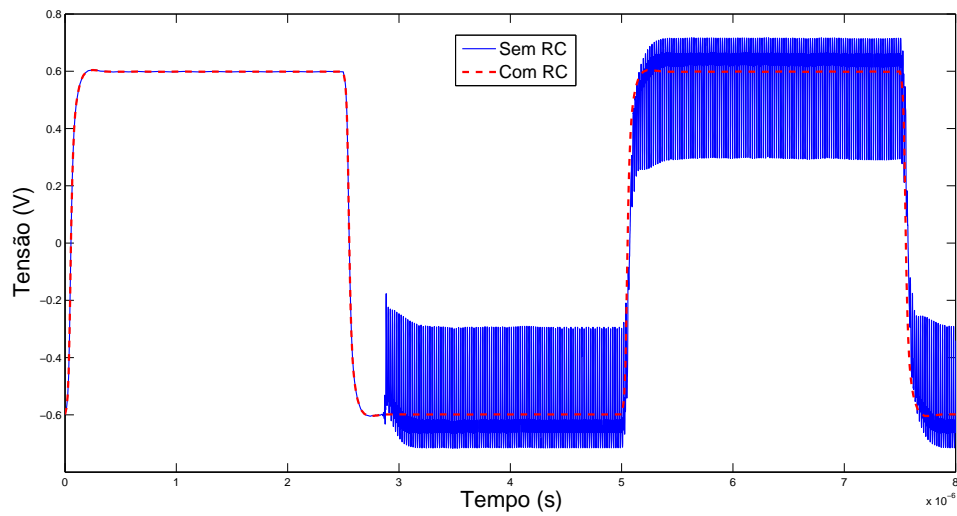


Fig. 35 – Comparação da resposta transiente do amplificador antes e depois da compensação do laço de $CMFB_2$.

Tabela 9 – Resultados para o projeto manual do amplificador totalmente diferencial de dois estágios.

Especificações	Valor Requerido	Valor Obtido
A_{v0} (dB)	≥ 50	66,6
GBW (MHz)	≥ 256	~ 1000
MF ($^\circ$)	≥ 45	~ 60
P_{diss} (mW)	-	1,2

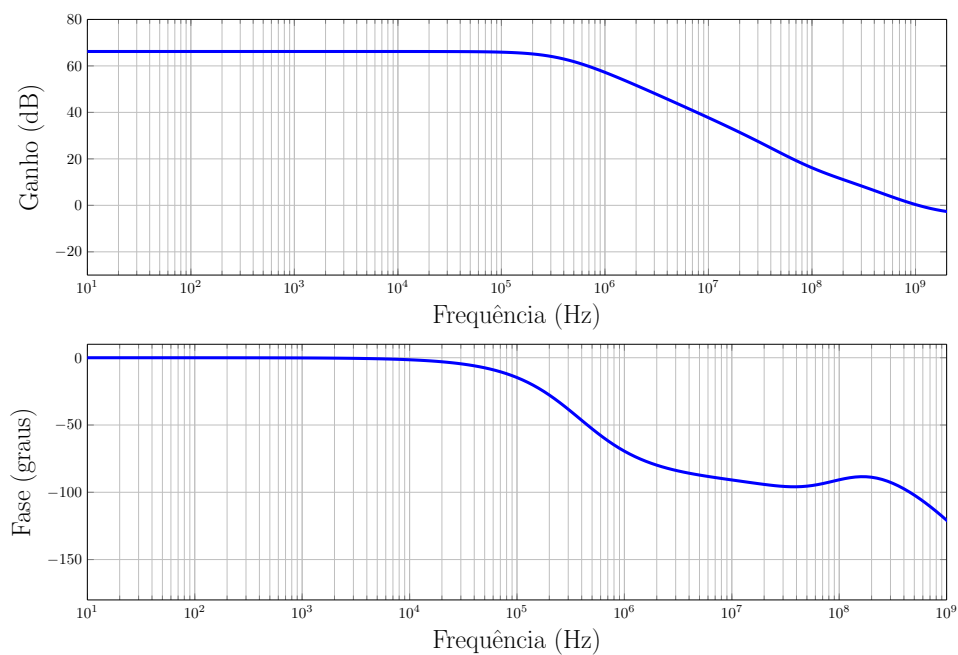


Fig. 36 – Resposta em frequência do amplificador de dois estágios projetado manualmente.

foram definidas através do projeto manual.

4.3 Projeto Automático do Amplificador Totalmente Diferencial

A metodologia de particionamento do amplificador totalmente diferencial e do circuito de realimentação de modo comum é validada através do projeto de um amplificador totalmente diferencial de um estágio, conforme apresentação na Seção 3.1. Ainda nesta seção, a Fig. 24 apresenta o fluxo do projeto automático para este tipo de amplificador utilizando a ferramenta UCAF. De maneira semelhante ao projeto do amplificador de um estágio, o amplificador de dois estágios tem seu circuito particionado.

A Fig. 37 apresenta o fluxo da metodologia para um amplificador de dois estágios qualquer. Conforme apresentado na seção do projeto manual, o primeiro estágio é projetado de forma independente dos estágios subsequentes, isto é, as restrições para o estágio são definidas com base na contribuição que estas terão no amplificador como um todo. Após o projeto do primeiro estágio, é feito o projeto do segundo estágio. Nesta etapa são definidas as restrições finais para o projeto, uma vez que o amplificador terá as contribuições de ambos estágios.

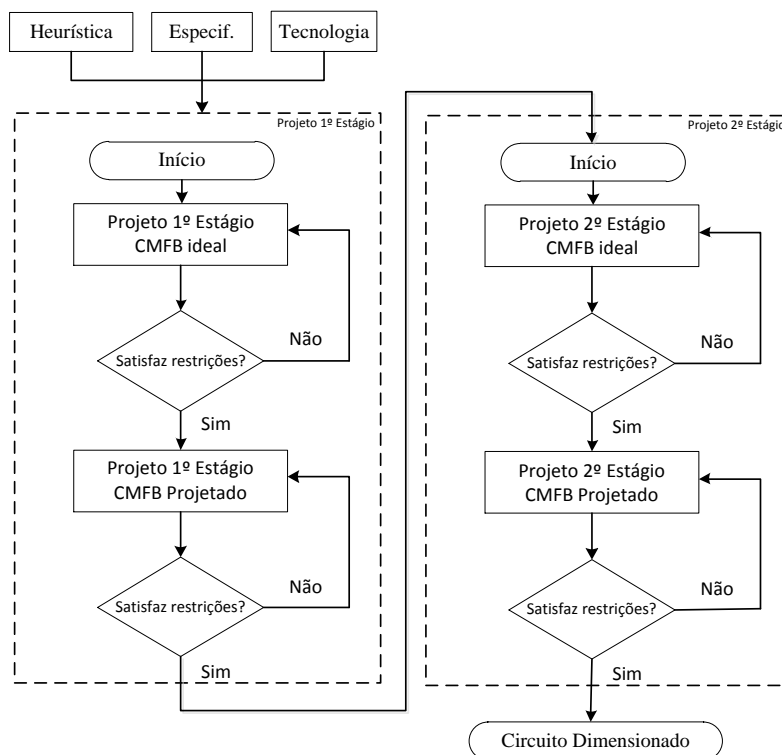


Fig. 37 – Metodologia de projeto de amplificadores operacionais totalmente diferenciais de dois estágios.

O fluxo de projeto automático de amplificadores totalmente diferenciais apresentado

é genérico, ou seja, é válido para qualquer topologia, contanto que o funcionamento do circuito seja levado em consideração para a definição das restrições de projeto. A metodologia também pode ser expandida para amplificadores com um número de estágios maior do que dois.

As seções a seguir apresentam os resultados para o projeto do amplificador da Fig. 27 utilizando a metodologia proposta. A metodologia leva em consideração as conclusões obtidas através do projeto manual do amplificador de dois estágios feitas na seção anterior. Nestas seções também será mostrada a evolução do projeto no que diz respeito a sua resposta em frequência.

4.3.1 Projeto do Primeiro Estágio

O amplificador mostrado pela Fig. 30 é utilizado como primeiro estágio. Assim como é feito no projeto manual, o projeto do primeiro estágio é superestimado e este é feito sem ter a margem de fase (MF) como restrição de projeto, já que esta será compensada com o projeto dos estágios subsequentes.

As restrições para este estágio são estabelecidas através da experiência obtida com o projeto manual do amplificador. Assim as especificações são: $A_{v0} \geq 40$ dB, $GBW \geq 100$ MHz, sem restrição de MF e a restrição de erro de tensão de modo comum na saída $CM_e \leq 5$ mV.

O amplificador possui 16 variáveis livres, sendo elas $W_1, L_1, W_3, L_3, W_4, L_4, W_6, L_6, W_8, L_8, W_{10}, L_{10}, V_{BN1}, V_{BN2}, V_{BP1}$ e V_{BP2} . Essas informações foram passadas à ferramenta UCAF, a qual foi configurada para utilizar o algoritmo de otimização Simulated Annealing e a tecnologia de fabricação 130 nm. Os resultados obtidos para as especificações e para as dimensões dos transistores são mostrados pelas Tabelas 10 e 11, respectivamente.

Tabela 10 – Resultados para o estágio folded-cascode utilizando CMFB ideal.

Especificações	Valor Requerido	Valor Obtido
A_{v0} (dB)	≥ 40	60,9
GBW (MHz)	≥ 100	117,8
MF ($^\circ$)	Sem restrição	281,8
CM_e (mV)	≤ 5	19
P_{diss} (μ W)	Minimizar	101
Tempo Exec. (min)	-	157

Após o projeto utilizando o modelo ideal de CMFB, o circuito de CMFB real é dimensionado. A Fig. 31 apresenta o circuito de CMFB do primeiro estágio projetado. Para o projeto, o circuito possui 6 variáveis livres: $W_{12}, L_{12}, W_{14}, L_{14}, W_{18}$ e L_{18} . Conforme feito no projeto manual, as fontes de corrente M_{12} e M_{13} são polarizadas com a mesma

Tabela 11 – Dimensões obtidas para os transistores para o estágio folded-cascode utilizando o CMFB ideal.

Parâmetro	Valor Obtido
W_1/L_1 ($\mu\text{m}/\mu\text{m}$)	27, 8/0, 9
W_3/L_3 ($\mu\text{m}/\mu\text{m}$)	19, 1/7, 9
W_4/L_4 ($\mu\text{m}/\mu\text{m}$)	85, 6/8
W_6/L_6 ($\mu\text{m}/\mu\text{m}$)	68/5, 3
W_8/L_8 ($\mu\text{m}/\mu\text{m}$)	33, 5/9, 5
W_{10}/L_{10} ($\mu\text{m}/\mu\text{m}$)	80, 7/9, 3
V_{BN1} (mV)	495
V_{BN2} (mV)	540
V_{BP1} (mV)	678
V_{BP2} (mV)	550

tensão V_{BP1} obtida para o estágio folded-cascode. As dimensões obtidas pela ferramenta para o projeto do CMFB são apresentadas pela Tabela 12.

Tabela 12 – Dimensões obtidas para os transistores do circuito de realimentação de modo comum do estágio folded-cascode.

Parâmetro	Valor Obtido
W_{12}/L_{12} ($\mu\text{m}/\mu\text{m}$)	3/10
W_{14}/L_{14} ($\mu\text{m}/\mu\text{m}$)	31, 2/0, 3
W_{18}/L_{18} ($\mu\text{m}/\mu\text{m}$)	36, 2/0, 2

Pode-se assim, comparar os resultados obtidos utilizando o modelo ideal de CMFB e os com o CMFB projetado. A Tabela 13 apresenta estes resultados, e a Fig. 38 apresenta o digrama de Bode do estágio folded-cascode depois que o modelo ideal é substituído pelo projetado.

Tabela 13 – Comparação entre os resultados obtidos para o folded-cascode utilizando o CMFB ideal e o projetado.

Especificações	Valor Requerido	CMFB ₁ Ideal	CMFB ₁ Projetado
A_{v0} (dB)	≥ 40	60, 9	61
GBW (MHz)	≥ 100	117, 8	112
MF ($^\circ$)	Sem restrição	281, 8	282, 7
SR (V/ μs)	≥ 20	32, 9	32, 17
P_{diss} (μW)	Minimizar	101	103, 9
CM_e (mV)	≤ 5	15	0.59

Pelos resultados obtidos, mostrados na Tabela 13 e pela Fig. 38, nota-se que após a substituição do CMFB ideal pelo projetado não houveram alterações significativas nas

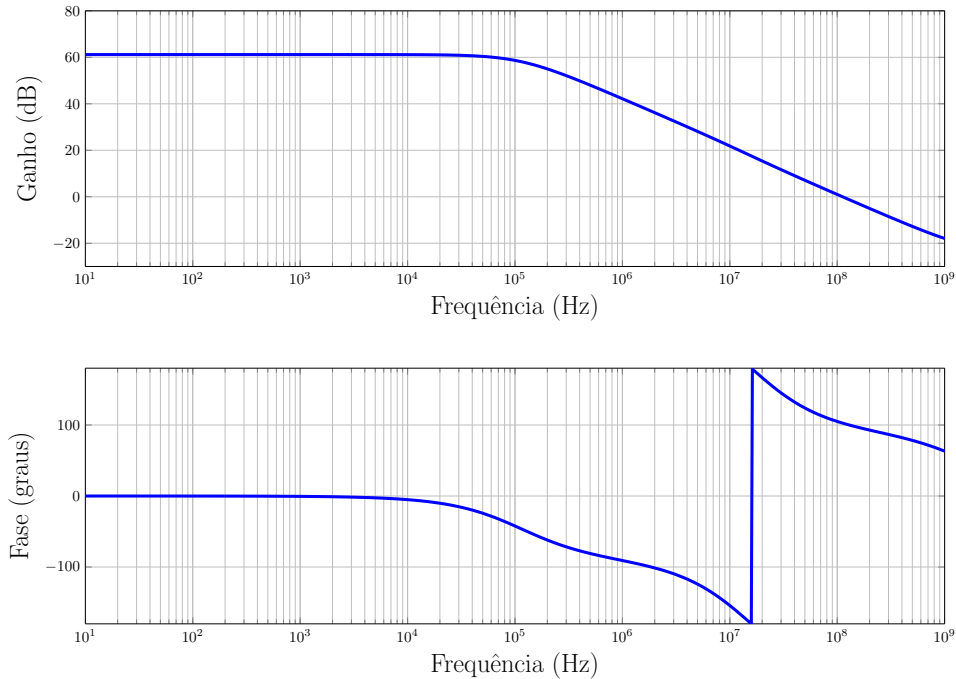


Fig. 38 – Resposta em frequência do estágio folded-cascode utilizando o CMFB projetado.

especificações. A restrição que houve variação mais significativa foi a de erro da tensão de modo comum da saída CM_e . Porém, por mais que esta tenha melhorado o erro em relação à utilização do modelo ideal de CMFB, ainda assim ficou fora do que foi definido como restrição. Uma das razões para isso poderia ser a dificuldade do método de otimização de encontrar uma solução satisfatória para o conjunto de restrições definidas.

4.3.2 Projeto do Segundo Estágio e do Estágio de Compensação

As especificações que são restrição de projeto são: $A_{v0} \geq 50$ dB, $GBW \geq 2 \times 128$ MHz, $MF \geq 50^\circ$ e a restrição de erro de tensão de modo comum na saída $CM_e \leq 5$ mV, que são as mesmas utilizadas para o projeto manual. Estas especificações valem para o amplificador completo mostrado na Fig. 27.

Assim, o projeto do segundo estágio e do estágio de compensação é feito com o primeiro estágio projetado anteriormente. Primeiramente, estes estágios são dimensionados com o circuito de realimentação de modo comum ideal e depois o modelo ideal é substituído pelo projetado, conforme o fluxo da metodologia mostrado pela Fig. 37.

Um estágio fonte comum, ou *common-source*, é utilizado como segundo estágio do amplificador. O esquemático do amplificador é mostrado pela Fig. 32. Para o estágio de compensação, é utilizado um amplificador diferencial simples idêntico ao projetado na Seção 3.1.

Os estágios fonte comum e de compensação são dimensionados juntos devido a relação entre suas transcondutâncias na localização do zero inserido no semi plano esquerdo.

Esta abordagem foi a que se mostrou mais eficiente no que diz respeito a procura de soluções satisfatórias dentro do espaço de projeto, ou seja, projetar estes dois circuitos juntos tornou a exploração do espaço de projeto mais eficiente.

O projeto possui 10 variáveis livres, sendo elas: W_{20} , L_{20} , W_{22} , L_{22} , W_{24} , L_{24} , W_{26} , L_{26} , W_{27} e L_{27} . Os resultados obtidos pela ferramenta para as especificações do projeto do amplificador totalmente diferencial completo são mostrados pela Fig. 27 utilizando CMFB₂ ideal e as dimensões dos transistores são mostradas pelas Tabelas 14 e 15, respectivamente.

Tabela 14 – Resultados para o amplificador totalmente diferencial de dois estágios utilizando CMFB ideal.

Especificações	Valor Requerido	Valor Obtido
A_{v0} (dB)	≥ 50	64,8
GBW (MHz)	≥ 256	485,2
MF ($^\circ$)	≥ 50	88,8
CM_e (mV)	≤ 5	7,8
P_{diss} (μ W)	Minimizar	325
Tempo Exec. (min)	-	39

Tabela 15 – Dimensões obtidas para os transistores do amplificador totalmente diferencial de dois estágios utilizando um CMFB ideal.

Parâmetro	Valor Obtido
W_{20}/L_{20} (μ m/ μ m)	49,3/9,1
W_{22}/L_{22} (μ m/ μ m)	12,2/6,1
W_{24}/L_{24} (μ m/ μ m)	85,5/0,18
W_{26}/L_{26} (μ m/ μ m)	136/4,8
W_{27}/L_{27} (μ m/ μ m)	137,4/9,9

Assim, após o projeto do segundo estágio e do estágio de compensação, é feito o projeto do circuito de realimentação de modo comum, CMFB₂, para estes estágios. Da mesma forma que foram feitos nos passos anteriores, o CMFB ideal é substituído pelo circuito, sem a rede RC , apresentado pela Fig. 34 e este é dimensionado de forma a manter as especificações obtidas utilizando o modelo ideal. Os resultados gerados pela ferramenta são mostrados pela Tabela 16.

A Tabela 17 apresenta a comparação entre os resultados obtidos utilizando o modelo ideal do CMFB e os resultados após a substituição do modelo ideal pelo CMFB projetado. A Fig. 39 apresenta a resposta em frequência do amplificador totalmente diferencial de dois estágios utilizando o CMFB projetado, ou seja, no qual todo o amplificador apresentado pela Fig. 27 já está dimensionado.

Através da Fig. 39 é possível verificar que existe uma deformação no digrama de bode do amplificador. Isso significa que existe um descasamento entre o polo proveniente

Tabela 16 – Dimensões obtidas para os transistores do circuito de realimentação de modo comum do segundo estágio e estágio em avanço.

Parâmetro	Valor Obtido
W_{29}/L_{29} ($\mu\text{m}/\mu\text{m}$)	46, 8/8, 1
W_{31}/L_{31} ($\mu\text{m}/\mu\text{m}$)	0, 6/7
W_{35}/L_{35} ($\mu\text{m}/\mu\text{m}$)	1/6, 6

Tabela 17 – Comparação entre os resultados obtidos para o amplificador totalmente diferencial de dois estágios utilizando o CMFB₂ ideal e o projetado.

Especificações	Valor Requerido	CMFB ₂ Ideal	CMFB ₂ Projetado
A_{v0} (dB)	≥ 50	64, 8	64, 8
GBW (MHz)	≥ 256	485, 2	461, 8
MF ($^\circ$)	≥ 50	88, 8	89
P_{diss} (μW)	Minimizar	325	327, 4
CM_e (mV)	≤ 5	7, 8	1, 5

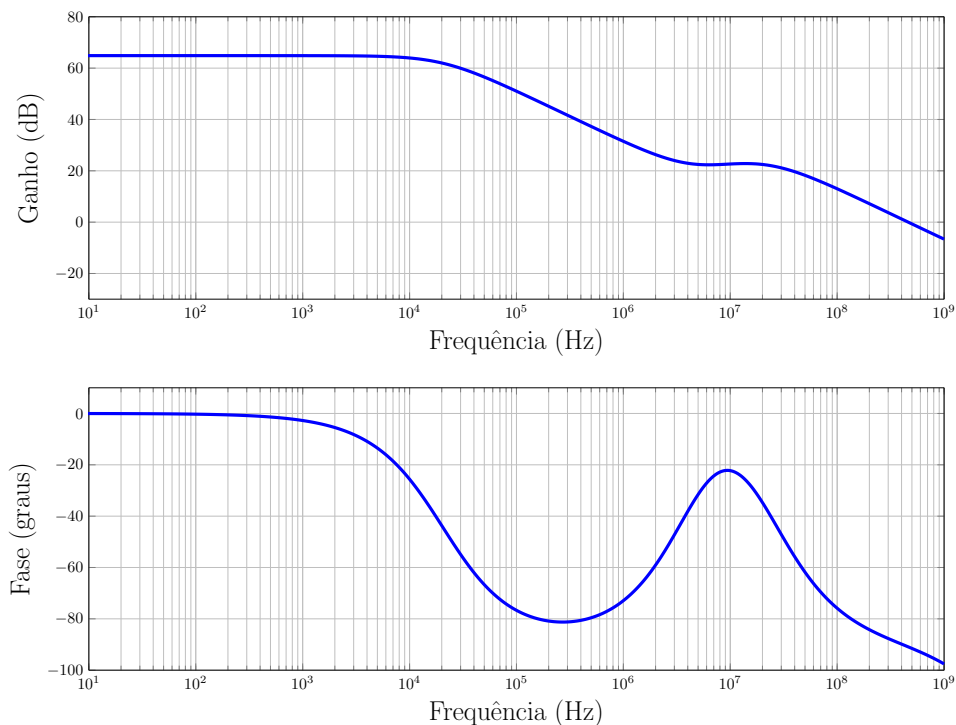


Fig. 39 – Resposta em frequência do amplificador totalmente diferencial de dois estágios.

do segundo estágio e o zero inserido através da compensação em avanço. Os problemas relacionados a este descasamento são discutidos na seção a seguir.

4.4 Efeito do Descasamento Entre o Par Polo-Zero

O problema do descasamento entre o par polo-zero da compensação utilizada pode ser discutido analisando um sistema simples.

Seja $G(s)$ a função transferência de um sistema genérico de dois polos e um zero, conforme a Eq. 4.11.

$$G(s) = \frac{(1 + s/\omega_z)}{(1 + s/\omega_{p1})(1 + s/\omega_{p2})} \quad (4.11)$$

O sistema possui os polos localizados em ω_{p1} e ω_{p2} , e o zero localizado em ω_z . A resposta da saída do sistema a um pulso aplicado na entrada é definida através da frequência em que os polos e zeros do sistema estão localizados. Para um amplificador operacional, sua localização também define especificações como ganho em baixas frequências, GBW e MF .

No que diz respeito ao projeto do amplificador de dois estágios utilizando a compensação em avanço, o descasamento entre o par polo-zero utilizado para a compensação afeta o settling-time. Um par polo-zero localizado em baixas frequências é evitado, pois ele resulta em componentes de assentamento lento na resposta transiente (WALDHAUER, 1963; GRAY; MEYER, 1974). Dependendo do grau de descasamento e das restrições de precisão, os componentes de assentamento lento podem ou não ser significativos (SCHLARMANN; GEIGER, 2000). Isto pode ser evitado localizando o par de compensação em altas frequências e garantindo que $\omega_z = \omega_{p2}$.

Como exemplo, é possível considerar a resposta da saída a um pulso aplicado na entrada de um sistema com função transferência $G(s)$ mostrada na Eq. 4.11. Seja a localização dos polos e do zero da seguinte forma: $\omega_{p1} \gg \omega_{p2}, \omega_z$. Se $\omega_z < \omega_{p2}$, então existe o descasamento, pois ω_{p2} e ω_z devem estar localizados na mesma frequência. Neste caso, com a localização do zero em uma frequência menor que a requerida, ocorre a aproximação do zero com o eixo imaginário, o que resulta na inserção de componentes de assentamento lento (SCHLARMANN; GEIGER, 2000). A Fig. 40 mostra a resposta de um sistema para este caso.

Este efeito pode ser visto também na resposta em frequência do amplificador, conforme mostra a Fig. 41. Este efeito também pode ser percebido nos resultados apresentados na Fig. 39.

Da mesma forma, a Fig. 42 mostra a resposta do sistema quando o polo e o zero estão casados de maneira correta em altas frequências.

Através dos dois casos apresentados, é possível notar o efeito do descasamento sobre o settling-time. Logo, para que o problema do descasamento do par polo-zero da compensação utilizada seja resolvido, é proposta uma restrição para a correção, ou

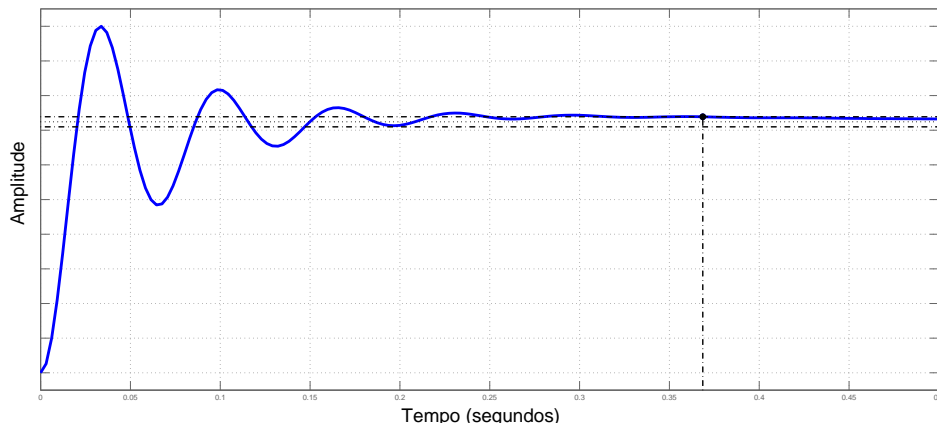


Fig. 40 – Resposta a um pulso de um sistema genérico com descasamento entre o par polo-zero.

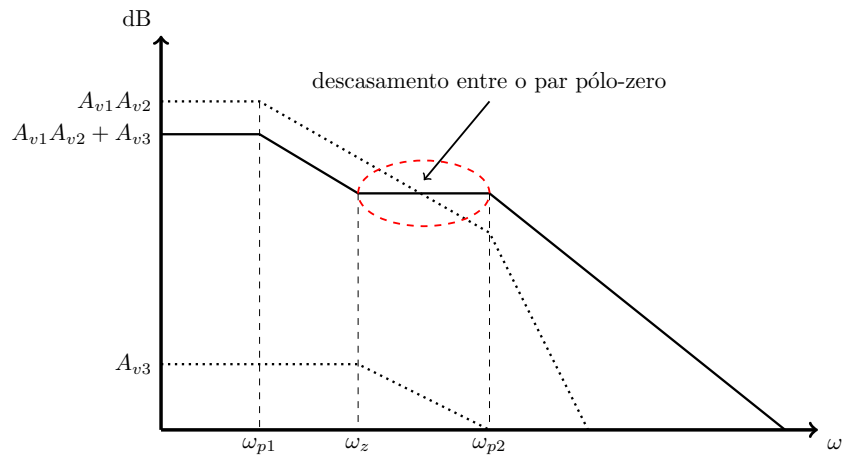


Fig. 41 – Efeito do descasamento entre o par polo-zero para o amplificador projetado na Fig. 27.

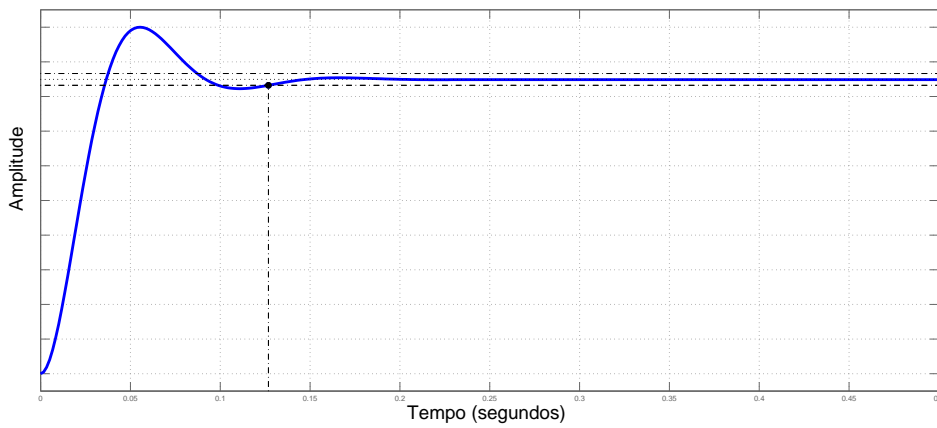


Fig. 42 – Resposta a um pulso de um sistema genérico sem descasamento entre o par polo-zero

minimização, do efeito do descasamento no amplificador projetado.

4.5 Erro de Casamento Entre o Par Polo-Zero

Para que o problema do descasamento entre o polo e o zero seja corrigido, ou ao menos minimizado, é definido um erro que garante que o par está casado de maneira correta. Este erro será uma restrição de projeto.

Assim, é definido um erro PZ_m , ou *pole-zero matching*. De maneira simples, o objetivo de PZ_m é observar se existe alguma deformação na resposta em frequência do amplificador, a qual indica o descasamento, e assim descartar a solução encontrada com o descasamento ou então procurar soluções vizinhas baseadas em um erro definido. O erro é definido como a taxa de decaimento da diferença do diagrama de Bode sob uma queda de -20 dB/dec, dado por

$$PZ_m = \left| \frac{\partial A_{v0}}{\partial f_{dec}} - (-20\text{dB/dec}) \right| \quad (4.12)$$

Como o descasamento caracteriza que teríamos $\frac{\partial A_{v0}}{\partial f_{dec}} > -20\text{dB/dec}$ ou $\frac{\partial A_{v0}}{\partial f_{dec}} > 0$, então o erro definido pela Eq. 4.12 define uma restrição, conforme desejado pelo usuário, do quão aceitável é o descasamento entre o par polo-zero, ou então uma restrição de perfeito casamento entre estes.

Para que o valor de $\frac{\partial A_{v0}}{\partial f_{dec}}$ seja obtido, é feita uma varredura no digrama de Bode resultante após a frequência do primeiro polo dominante. Desta forma, pode-se observar se há deformação no diagrama, o que indica o descasamento entre o par polo-zero, e conseqüentemente calcular o erro deste descasamento. Conforme mostrado pela Eq. 4.12, este erro é calculado considerando que, após a compensação, o amplificador teria sua resposta em frequência definida por um polo dominante, o que indica $\frac{\partial A_{v0}}{\partial f_{dec}} = -20$ dB/dec. Este erro foi definida através da observação dos diversos casos de descasamento entre o par polo-zero obtidos durante o projeto manual do amplificador.

4.6 Projeto do Segundo Estágio com Restrição de Casamento entre o Par Polo-Zero

Com o erro de restrição definida, o projeto feito na Seção 4.3.2 é refeito. Agora, tem-se como restrição o casamento entre o par polo-zero inserido pelo segundo estágio e o estágio em avanço para que sejam minimizados os efeitos deste descasamento.

O projeto do primeiro estágio, folded-cascode, não tem necessidade de ser refeito, pois o fluxo de projeto que foi definido anteriormente trata como variável para a alocação

do par polo-zero apenas os estágios de compensação e segundo estágio.

Novamente, os resultados obtidos pelo projeto do primeiro estágio apresentado na Seção 4.3.1 são utilizados de forma que as restrições aqui definidas são as gerais para o amplificador da Fig. 27. Como nos outros projetos, o amplificador é projetado primeiramente utilizando o modelo ideal de CMFB. As especificações que são restrição de projeto são: $A_{v0} \geq 50$ dB, $GBW \geq 2 \times 128$ MHz, $MF \geq 50^\circ$, restrição de erro de tensão de modo comum na saída $CM_e \leq 5$ mV e a restrição de casamento entre o par polo-zero com um erro $PZ_m, \leq 2.5$ dB/dec.

O projeto possui 10 variáveis livres, sendo elas: $W_{20}, L_{20}, W_{22}, L_{22}, W_{24}, L_{24}, W_{26}, L_{26}, W_{27}$ e L_{27} . Os resultados obtidos usando a ferramenta para as especificações do projeto do amplificador totalmente diferencial completo mostrado pela Fig. 27 utilizando CMFB₂ ideal, e as dimensões dos transistores são mostrados pelas Tabelas 18 e 19, respectivamente.

Tabela 18 – Resultados para o amplificador totalmente diferencial de dois estágios utilizando CMFB ideal com restrição de casamento entre o par polo-zero.

Especificações	Valor Requerido	Valor Obtido
A_{v0} (dB)	≥ 50	50, 5
GBW (MHz)	≥ 256	302, 1
MF ($^\circ$)	≥ 50	85, 5
CM_e (mV)	≤ 5	6, 5
PZ_m (dB/dec)	≤ 2.5	2
P_{diss} (μ W)	Minimizar	226, 9
Tempo Exec. (min)	-	39

Tabela 19 – Dimensões obtidas para os transistores do amplificador totalmente diferencial de dois estágios utilizando um CMFB ideal com restrição de casamento entre o par polo-zero.

Parâmetro	Valor Obtido
W_{20}/L_{20} (μ m/ μ m)	1, 3/3
W_{22}/L_{22} (μ m/ μ m)	33, 8/5, 5
W_{24}/L_{24} (μ m/ μ m)	47, 7/0, 6
W_{26}/L_{26} (μ m/ μ m)	477/2, 9
W_{27}/L_{27} (μ m/ μ m)	100, 8/8, 7

O projeto do CMFB₂ considerando como restrição o erro ZP_m segue a mesma ordem dos demais projetos. O modelo ideal é substituído pelo circuito de realimentação de modo comum apresentado, sem a rede RC, pela Fig. 34 e o projeto é feito novamente. A Tabela 20 mostra os valores obtidos usando a ferramenta para as dimensões dos transistores do circuito CMFB₂.

Tabela 20 – Dimensões obtidas para os transistores do circuito de realimentação de modo comum do segundo estágio e estágio em avanço com restrição de casamento entre o par polo-zero.

Parâmetro	Valor Obtido
W_{29}/L_{29} ($\mu\text{m}/\mu\text{m}$)	0,31/7,8
W_{31}/L_{31} ($\mu\text{m}/\mu\text{m}$)	8,2/4,8
W_{35}/L_{35} ($\mu\text{m}/\mu\text{m}$)	16,2/9

Assim, é possível comparar os resultados obtidos para ambos projetos, com e sem a restrição de casamento entre o par polo-zero proveniente da compensação em avanço utilizada. Essa comparação pode ser vista através da Fig. 43 e da Tabela 21, que mostram a comparação entre a resposta em frequência e as especificações considerando e desconsiderando o casamento entre o par polo-zero, respectivamente. Os resultados apresentados na Tabela 21 referem-se a todo o circuito dimensionado.

Tabela 21 – Comparação entre os resultados obtidos para o amplificador totalmente diferencial de dois estágios com e sem a restrição de casamento entre o par polo-zero.

Especificações	Valor Requerido	Sem PZ_m	Com PZ_m
A_{v0} (dB)	≥ 50	64,8	50,5
GBW (MHz)	≥ 256	461,8	256
MF ($^\circ$)	≥ 50	89	86,8
P_{diss} (μW)	Minimizar	327,4	227,1
CM_e (mV)	≤ 5	1,5	3,6

Através da análise feita na Seção 4.4, é possível ainda comparar o efeito causado no settling-time antes e depois da compensação do par polo-zero. Isso é feito aplicando um sinal do tipo pulso a sua entrada. Isso pode ser feito utilizando o mesmo testbench utilizado para a medição do slew rate. A Fig. 44 mostra esta comparação, onde o resultado que possui o descasamento entre o par polo-zero tem seu settling-time degradado em relação ao resultado sem este descasamento. Através desta, temos que t_{s1} representa o settling-time do projeto considerando o descasamento entre o par polo-zero, e $t_{s1} + t_{s2}$ representa o settling-time do projeto desconsiderando o descasamento. Assim, fica evidente o efeito de degradação do settling-time tido com o descasamento do par polo-zero.

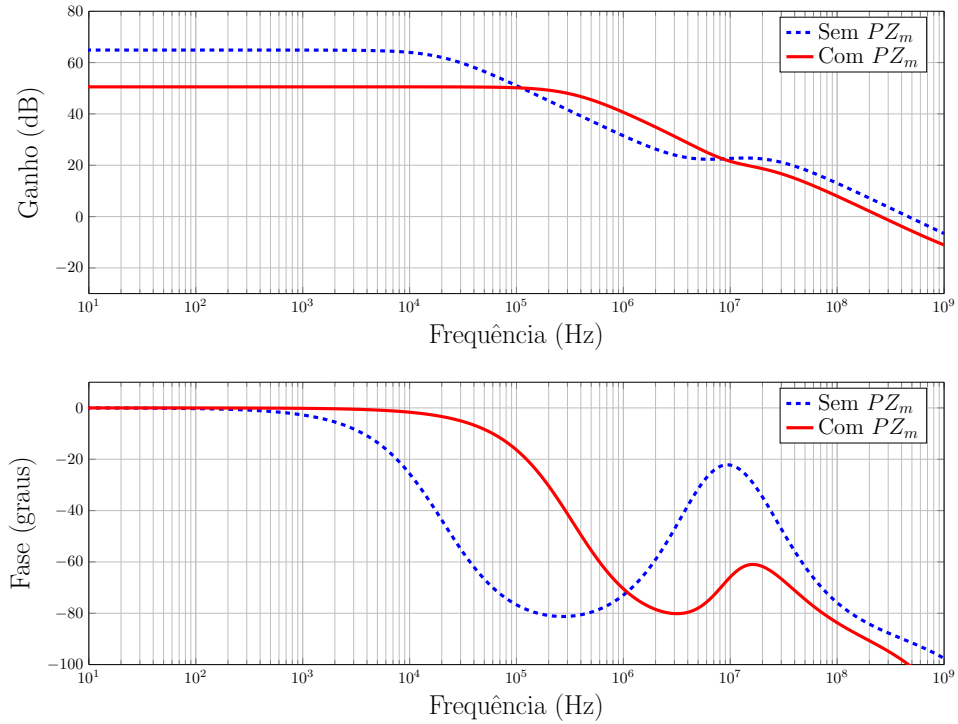


Fig. 43 – Comparação da resposta em frequência entre o projeto sem e com a restrição de casamento PZ_m entre o par polo-zero.

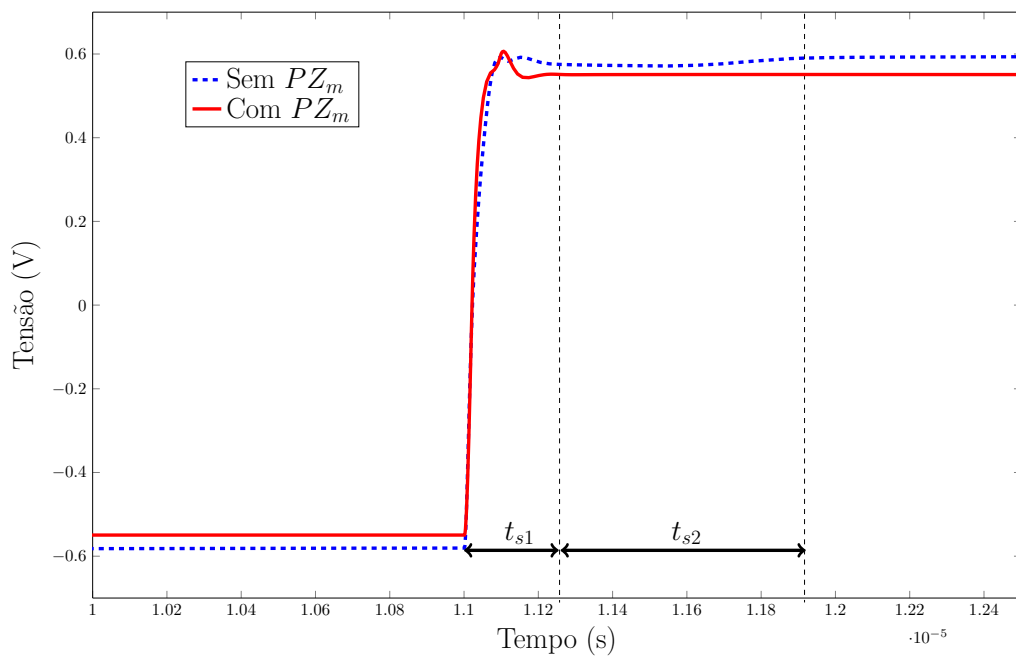


Fig. 44 – Comparação entre a resposta transiente ao degrau unitário entre o projeto sem e com a restrição de casamento PZ_m entre o par polo-zero.

Considerações Finais

Neste trabalho, foi proposta uma metodologia de projeto de amplificadores operacionais totalmente diferenciais em tecnologia CMOS a qual considera o circuito de realimentação de modo comum em seu fluxo. A metodologia foi implementada na UCAF, uma ferramenta de dimensionamento automático baseada em otimização.

O projeto de um amplificador totalmente diferencial de um estágio utilizando o circuito de realimentação de modo comum é apresentado com o objetivo de validar a metodologia proposta. O projeto de ambos circuitos é dividido de forma a se reduzir a complexidade do projeto e consequentemente o espaço de projeto a ser explorado pela heurística de otimização. Esta divisão dos circuitos permite que as restrições impostas ao amplificador sejam satisfeitas, uma vez que isso não foi possível utilizando ambos circuitos como variável para o projetos apresentados neste trabalho.

Para evidenciar a generalidade da metodologia no que diz respeito a diferentes topologias de amplificadores totalmente diferenciais, bem como a capacidade da metodologia de projetar circuitos mais complexos, foi apresentado o projeto de um amplificador totalmente diferencial de dois estágios com compensação em avanço sem capacitores (NCFE). Para este projeto, primeiramente foi feito o projeto manual do circuito de forma a entender o seu funcionamento para que sejam definidas as restrições e faixa de variação das variáveis, bem como evidenciar o alto desempenho da topologia projetada. Através do projeto manual, a separação dos estágios é definida de forma que o circuito tenha sua fase compensada através da relação entre o segundo estágio e o estágio de realimentação positiva. Através dessa abordagem a metodologia obteve resultados satisfatórios para o projeto do amplificador totalmente diferencial de dois estágios.

Posteriormente, verificou-se que os resultados obtidos não consideravam o casamento entre o par polo-zero para a compensação de fase. Desta forma, os resultados apresentaram o casamento entre o par, o que degrada o settling-time do amplificador. Assim, um erro de casamento entre o par polo-zero é definida de forma a reduzir os efeitos do casamento no amplificador.

A comparação entre os resultados obtidos para o projeto com e sem restrição de casamento entre o par polo-zero mostra que, apesar da redução do ganho do projeto com a restrição, o projeto utilizando a restrição de casamento atingiu as restrições impostas inicialmente reduzindo os efeitos negativos do casamento sobre o settling-time, e também obteve potência consumida cerca de $100 \mu W$ menor que o projeto sem a restrição de casamento.

Diferente da metodologia apresentada neste trabalho, outras metodologias não

consideraram o circuito de realimentação de modo comum no fluxo de projeto, ou até mesmo o próprio circuito de realimentação, ou propõem metodologias muito específicas para uma topologia de amplificador totalmente diferencial. A ferramenta apresentada utilizando a metodologia desenvolvida preenche esta lacuna, fazendo com que o projeto de amplificadores totalmente diferenciais usando o circuito de realimentação de modo comum se torne menos complexo mais genérico.

Referências

- AGUIRRE, P. C. C. de. *Projeto e Análise de Moduladores Sigma-Delta em Tempo Contínuo Aplicados a Conversão AD*. Dissertação (Mestrado) — Universidade Federal do Rio Grande do Sul, 2014.
- ALLEN, P.; HOLBERG, D. *CMOS Analog Circuit Design*. [S.l.]: Oxford University Press, 2002. (Oxford series in electrical and computer engineering). ISBN 9780195116441.
- ALZAHER, H.; ELWAN, H.; ISMAIL, M. Cmos fully balanced second-generation current conveyor. *IEEE Transactions On Circuits and Systems*, vol. 50, p. 278–287, 2003.
- BAKER, R. *CMOS: Circuit Design, Layout, and Simulation*. [S.l.]: Wiley, 2011. (IEEE Press Series on Microelectronic Systems). ISBN 9781118038239.
- CARUSONE, T. C.; JOHNS, D. A.; MARTIN, K. W. *Analog Integrated Circuit Design*. [S.l.]: Wiley, 2012.
- CHOI, T. C. et al. High-frequency cmos switched-capacitor filters for communications application. *IEEE Journal of Solid-State Circuits*, vol. SC-18, p. 652–663, 1983.
- CORTES, F. da R. P. *Analysis and design of amplifiers and comparators modules in cmos 0.35um technology*. Dissertação (Mestrado) — Universidade Federal do Rio Grande do Sul, 2003.
- DEHGHANI, R. *Design of CMOS Operational Amplifiers*. [S.l.]: Artech House, 2013. (Artech House microwave library). ISBN 9781608071531.
- GHANDHI, S. *VLSI Fabrication Principles: Silicon and Gallium Arsenide*. [S.l.]: Wiley, 1994. (A Wiley-Interscience publication). ISBN 9780471580058.
- GOPINATHAN, V. et al. Design considerations for high-frequency continuous-time filters and implementation of an antialiasing filter for digital video. *IEEE J. Solid-State Circuits*, vol. 25, p. 1368–1378, 1990.
- GRAY, P.; MEYER, R. Recent advances in monolithic operational amplifier design. *Circuits and Systems, IEEE Transactions on*, v. 21, n. 3, p. 317–327, May 1974. ISSN 0098-4094.
- GRAY, P. R. *Analysis and Design of Analog Integrated Circuits*. 5th. ed. [S.l.]: Wiley Publishing, 2009. ISBN 0470245999.
- HÄGGLUND, R. *An Optimization-Based Approach to Efficient Design of Analog Circuits*. Tese (Doutorado) — Linköping University, 2006.
- HASTINGS, R. *The Art of Analog Layout*. [S.l.]: Prentice Hall, 2001. ISBN 9780130870612.
- HÜFFMANN, R. *A Fully Differential Opamp*. [S.l.], 2000.
- KIRKPATRICK, S.; GELATT, C. D.; VECCHI, M. P. Optimization by simulated annealing. *Science*, v. 220, n. 4598, p. 671–680, Maio 1983.

LUH J. CHOMA, J. L.; DRAPER, J. A continuous-time common-mode feedback circuit (cmfb) for high-impedance current-mode applications. *IEEE Trans. Circuits Syst. II*, vol. 47, p. 363–369, 2000.

MAHMOUD, S. A.; AWAD, I. A. Fully differential cmos current feedback operational amplifier. *Analog Integrated Circuits and Signal Processing, Springer Science*, v. 43, p. 61–69, 2005.

MALLYA, S.; NEVIN, J. Design procedures for a fully differential folded-cascode cmos operational amplifier. *Solid-State Circuits, IEEE Journal of*, v. 24, n. 6, p. 1737–1740, Dec 1989. ISSN 0018-9200.

OLIVEIRA, A. et al. Design constraints correlation analysis for the automatic design of a miller ota. In: *Micro-Nanoelectronics, Technology and Applications (EAMTA), 2013 7th Argentine School of*. [S.l.: s.n.], 2013. p. 72–77.

OLIVEIRA, A. C. et al. Design of a two stage fully differential amplifier through an optimization-based methodology. *Proceedings of the 30th South Symposium on Microelectronics (SIM'15)*, 2015.

OLIVEIRA, A. C.; SEVERO, L. C.; GIRARDI, A. G. Characterization of cmos fully differential amplifiers for automatic design procedure. *Proceedings of the 13th Microelectronics Students Forum (SFORUM'13)*, 2013.

OLIVEIRA, A. C.; SEVERO, L. C.; GIRARDI, A. G. Parallel characterization of operational amplifiers for acceleration of design optimization. *Proceedings of the 28th South Symposium on Microelectronics (SIM'13)*, 2013.

OLIVEIRA, A. C.; SEVERO, L. C.; GIRARDI, A. G. Automatic design of fully differential amplifiers with common-mode feedback. *Proceedings of the 14th Microelectronics Students Forum (SFORUM'14)*, 2014.

OLIVEIRA, A. C.; SEVERO, L. C.; GIRARDI, A. G. A two-step methodology for automatic design of fully differential amplifiers with output balance. *Proceedings of the 29th South Symposium on Microelectronics (SIM'14)*, 2014.

RAZAVI, B. *Design of Analog CMOS Integrated Circuits*. [S.l.]: Tata McGraw-Hill, 2002. (McGraw-Hill higher education). ISBN 9780070529038.

ROOCH, K. H.; SOBE, M. P. U. Circuit design-for-yield (dfy) for a 110db op-amp for automotive and sensor applications. In: *ANALOG '06 - 9. ITG/GMM-Fachtagung*. [S.l.: s.n.], 2006.

ROSA, J. M. de la; RIO, R. del. *CMOS Sigma-Delta Converters: Practical Design Guide*. [S.l.]: Wiley-IEEE Press, 2013.

SAH, C. Characteristics of the metal-oxide-semiconductor transistors. *Electron Devices, IEEE Transactions on*, v. 11, n. 7, p. 324–345, Jul 1964. ISSN 0018-9383.

SCHLARMANN, M.; GEIGER, R. Relationship between amplifier settling time and pole-zero placements for second-order systems. In: *Circuits and Systems, 2000. Proceedings of the 43rd IEEE Midwest Symposium on*. [S.l.: s.n.], 2000. v. 1, p. 54–59 vol.1.

- SEDRA, A. S.; SMITH, K. C. *Microelectronic Circuits*. fifth. [S.l.]: Oxford University Press, 2004.
- SEVERO, L. C. *Uma Ferramenta para o Dimensionamento Automático de Circuitos Integrados Analógicos Considerando Análise de Produtividade*. Dissertação (Mestrado) — Universidade Federal do Pampa, 2012.
- SILVA-MARTINEZ, J.; STEAYERT, M.; SANSEN, W. Design techniques for high-performance full-cmos ota-rc continuous-time filters. *IEEE J. Solid-State Circuits*, vol. 27, p. 993–1001, 1992.
- SZE, S. *Semiconductor Devices: Physics and Technology*. [S.l.]: John Wiley & Sons, Limited, 2013. ISBN 9780470873670.
- THANDRI, B.; SILVA-MARTINEZ, J. A robust feedforward compensation scheme for multistage operational transconductance amplifiers with no miller capacitors. *Solid-State Circuits, IEEE Journal of*, v. 38, n. 2, p. 237–243, Feb 2003. ISSN 0018-9200.
- TOOSI, T. et al. Isecad: an iterative simulation-equation-based opamp-design cad tool. In: *Circuits and Systems, 2006. ISCAS 2006. Proceedings. 2006 IEEE International Symposium on*. [S.l.: s.n.], 2006. p. 4 pp.–.
- TSIVIDIS, Y.; MCANDREW, C. *Operation and Modeling of the MOS Transistor*. [S.l.]: Oxford University Press, 2011. (Oxford Series in Electrical and Computer Engineering). ISBN 9780195170153.
- WALDHAUER, F. Analog integrated circuits of large bandwidth. *Proceedings of the IEEE*, v. 51, n. 3, p. 536–536, March 1963. ISSN 0018-9219.
- YUAN, J.; FARHAT, N. H.; SPIEGEL, J. V. der. Gbopcad: A synthesis tool for high-performance gain-boosted opamp design. *IEEE Transactions On Circuits and Systems I*, vol. 52, p. 1535–1544, 2005.