

LUIZ ROBERTO PAVANATO

**PROJETO DE CIRCUITOS INTEGRADOS ANALÓGICOS COM
CNTFETS USANDO ASSOCIAÇÕES TRAPEZOIDAIS DE
TRANSISTORES**

Trabalho de conclusão de curso apresentado
como parte das atividades para obtenção do
título de Engenheiro Eletricista, do curso de
Engenharia Elétrica da Universidade Federal
do Pampa, Campus Alegrete

Orientador: Alessandro Girardi


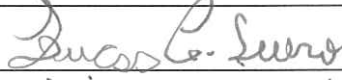
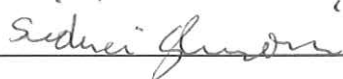
**ALEGRETE
2013**

Autoria: Luiz Roberto Pavanato

Título: Projeto de Circuitos Integrados Analógicos com CNTFETs Usando Associações Trapezoidais de Transistores

Trabalho de Conclusão de Curso apresentado como parte das atividades para a obtenção do título de Bacharel em Engenharia Elétrica do Curso de Engenharia Elétrica da Universidade Federal do Pampa.

Os componentes da banca, abaixo listados, consideram este trabalho aprovado

	Nome	Titulação	Assinatura	Instituição
1	Alessandro Gonçalves Girardi	Prof. Dr.		unipampa
2	Lucas Compassi Severo	Prof. Me.		unipampa
3	Sidinei Ghissoni	Prof. Dr.		unipampa

Data da aprovação: 11 de outubro de 2013.

“Dedico este trabalho à minha família, e a minha namorada Fernanda que sempre me apoiaram em busca deste sonho. De uma forma muito especial a minha avó Aurélia que partiu antes de me ver formado.”

AGRADECIMENTOS

Agradeço em primeiro lugar a Deus que sempre me guiou pelo melhor caminho e me deu forças de lutar pelos meus sonhos.

Agradeço a meus pais, Ivo e Elisane, e as minhas irmãs Giliane e Joceara por todo amor, dedicação e carinho, me ajudando a seguir em frente na busca por os meus objetivos. Sou muito grato por ter vocês na minha vida.

De uma maneira especial agradeço a minha outra família Alegretense, Rubens e Elaine, por sempre estarem ao meu lado nos desafios da graduação. E a uma pessoa muito importante que sempre me acolheu aos seus braços quando tive vontade de desistir, a minha namorada Fernanda.

Agradeço também aos meus colegas do grupo de pesquisa GAMA, principalmente ao Luiz Antônio por toda a ajuda na parte de programação e a Tanísia Severo por todo o apoio na parte escrita.

Aos demais amigos, pelas palavras de motivação e pelos momentos magníficos que passamos juntos.

Finalmente agradeço ao meu orientador Alessandro Girardi, que durante 3 anos de projeto de iniciação a pesquisa sempre conseguiu sanar as minhas dúvidas me dando auxílio em minhas dificuldades.

“Quando uma criatura humana desperta para um grande sonho e sobre ele lança toda a força de sua alma, todo o universo conspira a seu favor.”

Johann Goethe

RESUMO

Este trabalho apresenta a ferramenta FATAT, que tem como objetivo auxiliar o projeto de circuitos integrados analógicos com associações trapezoidais de transistores (TATs) compostas por nanotubos de carbono. Tem como principal característica a transformação de um transistor simples da tecnologia planar CMOS em uma associação trapezoidal de transistores de CNTFETs equivalentes em níveis de corrente. A implementação de circuitos com TATs possui vantagens em termos de regularidade do layout. As associações trapezoidais apresentam bons resultados em termos de condutância de saída, o que pode ser explorado para aumentar o ganho de tensão em amplificadores operacionais. Para fins de validação da ferramenta, são mostrados projetos de um amplificador diferencial e de um amplificador OTA Miller, ambos versão TATs com CNTFETs. Com os circuitos projetados, pode-se perceber a viabilidade de construção de blocos analógicos com TATs em tecnologias sub-micrométricas.

Palavras-chave: Circuitos Integrados Analógicos, Associação Trapezoidal de Transistores, Tecnologia Planar CMOS, Transistores de Nanotubos de Carbono.

ABSTRACT

This work presents the FATAT tool, which aims to assist the design of analog integrated circuits with trapezoidal association of transistors (TATs) composed by carbon nanotubes. Its main feature is the transformation of a single CMOS planar transistor in a current equivalent CNTFET trapezoidal association of transistors. The implementation of circuits with TATs has advantages in terms of layout regularity. The trapezoidal association shows good results in terms of output conductance, which can be exploited to increase the voltage gain of operational amplifiers. Two designs are presented for validating the proposed methodology: a differential amplifier and a Miller OTA amplifier. With this, it is possible to show the feasibility of analog building blocks composed by TATs in sub-micrometer technologies.

Keywords: Analog Integrated Circuits, Trapezoidal Association of Transistors, Technology Planar CMOS, Carbon Nanotube of Transistors.

LISTA DE ILUSTRAÇÕES

Figura 2.1 – Dimensões representativas de algumas espécies típicas, em várias escalas.	17
Figura 2.2 – Reator usado no processo de descarga por arco para formação dos nanotubos de carbono.	18
Figura 2.3 – Ilustração da técnica de ablação por laser, A:laser, B:espelhos, C:lente, D:amostra (OLIVEIRA, 2013)	18
Figura 2.4 – Ilustração esquemática do método DQV.....	19
Figura 2.5 – Diagrama ilustrando como são formados os nanotubos de carbono partindo de uma folha de grafeno.	20
Figura 2.6 – Estrutura do nanotubo de carbono antes de enrolar (TONETTO, 2011).	20
Figura 2.7 – a) Modelo de SWNT armchair, b) modelo de SWNT zigzag e c) modelos de SWNT quiral (TERRAZOS, 2011).	22
Figura 2.8 – Estrutura de um transistor de nanotubo de carbono	25
Figura 2.9 - curva $I_D \times V_{GS}$ para diferentes valores de n_I	26
Figura 2.10 – Modelo do circuito compacto CNTFET	30
Figura 2.11 – Modelos elétricos de Stanford. a)modelo nível 1, b)modelo nível 2, c)modelo nível 3 (DENG e WONG, 2007).	32
Figura 2.12 – Associação em paralelo de nanotubos de carbono para encontrar o W desejado dos CNTFETs	33
Figura 2.13 – Gráfico da curva $I_D \times V_{DS}$ transistor simples para CNTFET(verde) e CMOS planar(vermelho)	34
Figura 2.14 – Gráfico da curva $I_D \times V_{GS}$ transistor simples para CNTFET(verde) e CMOS planar(vermelho)	35
Figura 3.1 - Associação trapezoidal de transistores	36
Figura 3.2 – Curva comportamental da corrente de dreno em função de ND e NS.....	39
Figura 3.3 – Curva comportamental da transcondutância em função de ND e NS.....	39
Figura 3.4 – Curva comportamental da condutância de saída em função de ND e NS.....	40
Figura 4.1– Fluxograma de projeto.	41
Figura 4.2 – Simulação elétrica curva $I_D \times V_{DS}$ de um transistor simples tecnologia planar e uma TAT equivalente CNTFET para diversos valores de V_{DS} . $W = 300\text{nm}$ $L = 100\text{nm}$, $W_{un} = 3,01\text{nm}$ $L_{un} = 32\text{nm}$ - $ND = 21$ $NS = 12$, $V_{GS} = 0,4\text{V}$	43

Figura 4.3 - Simulação elétrica curva $g_{ds} \times V_{DS}$ de um transistor simples tecnologia planar e uma TAT equivalente CNTFET para diversos valores de V_{DS} . $W=300\text{nm}$, $L=100\text{nm}$, $W_{un}=3,01\text{nm}$, $L_{un}=32\text{nm}$ - $ND=21$, $NS=12$, $V_{GS}=0,4\text{V}$	44
Figura 4.4 - Simulação elétrica curva $g_{m} \times V_{GS}$ de um transistor simples tecnologia planar e uma TAT equivalente CNTFET para diversos valores de V_{GS} . $W=300\text{nm}$, $L=100\text{nm}$, $W_{un}=3,01\text{nm}$, $L_{un}=32\text{nm}$ - $ND=21$, $NS=12$, $V_{DS}=0,4\text{V}$	45
Figura 4.5 – Exemplo do método da bisseção utilizada na FATAT para NS.....	47
Figura 4.6 – Esquemático de um amplificador diferencial.....	48
Figura 4.7 – Ponto de operação dos transistores simples do circuito amplificador diferencial.	50
Figura 4.8 – Diagrama de Bode do circuito amplificador diferencial versão TATs CNTFET.	51
Figura 4.9 – Gráfico slew-rate amplificador diferencial versão TATs CNTFET.	52
Figura 4.10 – Esquemático de um amplificador do tipo Miller.	53
Figura 4.11 – Ponto de operação dos transistores simples para o circuito amplificador OTA Miller.	55
Figura 4.12 – Diagrama de Bode do circuito amplificador OTA Miller versão TATs CNTFET.	57
Figura 4.13 – Gráfico slew-rate amplificador OTA Miller versão TATs CNTFET.	58

LISTA DE TABELAS

Tabela 1. Características de um transistor simples tecnologia planar, tipo N.....	42
Tabela 2. Possíveis associações trapezoidais de transistores CNTFET para um transistor simples tecnologia planar.	43
Tabela 3. Tempo de execução da ferramenta para busca exaustiva de TAT equivalente (processador Intel®Core™2 Quad 2,50GHz, RAM 8GHz, Sistema Operacional 64bits).	46
Tabela 4. Tempo de execução da ferramenta de busca utilizando o método da bisseção para TAT equivalente (processador Intel®Core™2 Quad 2,50GHz, RAM 8GHz, Sistema Operacional 64bits).....	48
Tabela 5. Valores do dimensionamento dos transistores do amplificador diferencial projetado pela UCAF, projeto transistores simples utilizando tecnologia planar 32nm, $I_{ref}=102,3067\mu A$	49
Tabela 6. Valores das especificações do amplificador diferencial UCAF (transistores simples), utilizando $V_{DD}=0,45V, V_{SS}=-0,45V$ e $C_L=10pF$	49
Tabela 7. Resultados das TATs para um desvio máximo de corrente de 0.6%, $W_{un}=3,01nm$ $L_{un}=32nm$	51
Tabela 8. Valores obtidos através da simulação elétrica para o amplificador diferencial versão TATs CNTFET.....	52
Tabela 9. Valores do dimensionamento dos transistores do amplificador OTA Miller projetado pela UCAF, projeto transistores simples utilizando tecnologia planar 90nm, $I_{ref}= 110,2\mu A$	54
Tabela 10. Valores das especificações do amplificador OTA Miller projeto UCAF, utilizando $V_{DD}=0,6 V_{SS}=-0,6V$ e $C_f=6,05pF C_{out}=1pF$	54
Tabela 11. Resultados das TATs para um desvio máximo de corrente de 5%, $W_{un}=3,01nm$ $L_{un}=32nm$	56
Tabela 12. Valores obtidos através da simulação elétrica para o amplificador OTA Miller versão TATs CNTFET.	57

SUMÁRIO

ERRATA.....	2
AGRADECIMENTOS	4
RESUMO.....	6
ABSTRACT	7
LISTA DE ILUSTRAÇÕES	8
LISTA DE TABELAS.....	10
SUMÁRIO.....	11
1 INTRODUÇÃO	13
<i>1.1 Motivação.....</i>	<i>14</i>
<i>1.2 Organização do texto.....</i>	<i>14</i>
2 NANOTUBOS DE CARBONO.....	16
<i>2.1 Introdução.....</i>	<i>16</i>
<i>2.2 Síntese de nanotubos de carbono</i>	<i>17</i>
<i>2.3 Características físicas</i>	<i>19</i>
<i>2.4 Métodos de separação dos nanotubos de carbono.....</i>	<i>22</i>
<i>2.5 Aplicações.....</i>	<i>23</i>
<i>2.6 Transistores de nanotubos de carbono</i>	<i>24</i>
2.6.1 Mobilidade dos CNTFET's	26
2.6.2 Contatos ôhmicos	27
2.6.3 Contatos Schottky.....	28
<i>2.7 Modelo Elétrico de Stanford.....</i>	<i>30</i>
<i>2.8 Comparação entre as tecnologias CMOS e CNTFET.....</i>	<i>32</i>
3 ASSOCIAÇÃO TRAPEZOIDAL DE TRANSISTORES	36
4 METODOLOGIA DE PROJETO.....	41
4.1 Introdução.....	41
4.1.1 Estimativa de corrente	42
4.2 FATAT- Ferramenta de otimização	45
4.3 Projeto de um amplificador diferencial.....	48
4.4 Projeto de um amplificador OTA Miller.....	53
CONSIDERAÇÕES FINAIS.....	59
REFERÊNCIAS BIBLIOGRÁFICAS	60

APÊNDICE A – FATAT – MÉTODO DA BISSEÇÃO.....	62
APÊNDICE B – FATAT – CÁLCULO DA CORRENTE DE DRENO	66
APÊNDICE C – FATAT – CÁLCULO DE gm e gds.....	68

1 INTRODUÇÃO

Para ter componentes eletrônicos que se tornem cada vez mais rápidos, é preciso projetar transistores com uma maior capacidade de passagem de corrente e de tamanho reduzido.

Na atualidade a tecnologia planar (CMOS - do inglês, Complementary Metal-Oxide-Semiconductor) é a que mais se destaca, sendo que já está chegando a um ponto onde as suas limitações físicas será algo limitante para a fabricação dos CIs. A espessura típica da camada de oxido de silício (T_{ox}), encontra-se na ordem de alguns nanômetros, causando variabilidade nos processos de produção.

Desta forma, é impensável buscar novas tecnologias que tenham um menor consumo de energia, uma grande velocidade e um menor tamanho. Possíveis sucessores são os CNTFETs (do inglês, Carbon Nanotube Field-Effect Transistors) que vêm demonstrando um bom desempenho para a substituição da tecnologia CMOS convencional.

Os circuitos integrados analógicos são formados por uma pequena quantidade de transistores quando comparados a circuitos digitais. Mesmo sendo uma pequena quantidade de transistores a complexidade de projeto não é diminuída. Cada dispositivo precisa ser dimensionado individualmente, em geral todo o projeto é feito manualmente. Esta metodologia baseia-se em uma série de passos onde os valores iniciais, para se dimensionar os transistores, são estimados através de equações de projetos simplificadas. Normalmente, a metodologia de projeto varia de acordo com a experiência do projetista.

Buscando alternativas voltadas para a automatização do processo de projeto de circuitos integrados analógicos têm sido desenvolvidos trabalhos onde as associações trapezoidais de transistores (TATs) são utilizadas para emular o comportamento de transistores grandes através

de transistores retangulares (GALUP-MONTORO, 1994). As associações série paralelo tem um formato trapezoidal, de modo a formar transistores equivalentes de dimensões variadas.

Por ser uma tecnologia nova as metodologias de projetos de circuitos analógicos para os CNTFETs ainda não estão bem definidas, fazendo com que sejam necessárias inúmeras pesquisas nessa área a fim de solucionar este grande problema.

A idéia deste trabalho é criar uma ferramenta de projeto que através de um circuito projetado e validado para a tecnologia planar com transistores simples, possa se transformar em associações trapezoidais de transistores de nanotubos de carbono, tendo equivalência em corrente.

1.1 Motivação

O processo de automatização dos projetos de circuitos integrados analógicos é de extrema importância, porém devido a sua complexidade esse processo pode levar muito tempo. Hoje em dia ferramentas de síntese de projetos de circuitos integrados analógicos estão sendo desenvolvidas, como o LIT (GIRARDI 2003) e a UCAF (SEVERO, 2011)

Buscando facilitar os procedimentos de projeto, uma das soluções seriam transistores com as mesmas dimensões, o que facilitaria a automatização. Visando esta idéia a associação série-paralela de transistores é uma técnica utilizada. Trabalhos vem demonstrando um bom desempenho desta técnica em circuitos integrados analógicos (CHOI, 2000; GIRARDI, 2007).

As associações trapezoidais de transistores possui uma regularidade nas dimensões dos transistores, o que auxilia na fabricação dos circuitos. Já que os transistores de nanotubos de carbono não se encontram no mercado comercial, pois seus métodos de produção ainda são lentos e tem um alto custo, e métodos para fabricar nanotubos com quiralidades semelhantes ainda se encontram em fase de testes (KRUPKE, 2003), este método seria bastante interessante.

1.2 Organização do texto

O segundo capítulo apresenta uma breve revisão bibliográfica sobre os nanotubos de carbono, sua síntese, características físicas, aplicações, métodos de separação de nanotubos e transistores de nanotubos de carbono. O terceiro capítulo aborda uma modelagem das associações trapezoidais de transistores. O quarto capítulo descreve a metodologia proposta

neste trabalho, a ferramenta FATAT e o projeto de um amplificador diferencial e um amplificador OTA Miller. E o quinto capítulo apresenta as considerações finais do trabalho.

2 NANOTUBOS DE CARBONO

2.1 Introdução

O carbono é um elemento com características únicas, sobretudo em suas ligações químicas. O carbono apresenta diversas formas alotrópicas, como é o caso do grafite e do diamante. Esses materiais são estratégicos nas tecnologias atuais e das próximas décadas.

O grafite é uma das formas alotrópicas mais estáveis do carbono. Os nanotubos de carbono (CNTs) foram vistos pela primeira vez, como se fosse uma fibra que tem um enorme potencial econômico, com ligações semelhantes ao do grafite.

Entretanto, por estarem ainda na sua fase inicial de pesquisa, é difícil encontrar todas as respostas para as questões relacionadas aos métodos de fabricação e purificação. Por outro lado, conforme pesquisa da Web Of Science (FERREIRA, 2013), mesmo frente a essa dificuldade, os interesses pelos CNT's vêm aumentando com o passar dos anos em função das inúmeras propriedades especiais que possuem.

A história da descoberta dos nanotubos de carbono começou em 1985, quando Harry Kroto e Richard Smalley iniciaram os seus estudos para conseguir explicar a vaporização do grafite, processos que ocorrem na superfície de estrelas. Com essa finalidade foram utilizados reatores de arco elétrico, objetivando que uma descarga elétrica acontecesse entre dois eletrodos de grafite bem próximos um do outro. Dessa forma, descobriram que a maior parte dos elementos que se formavam pela evaporação do grafite era constituída por uma esfera oca composta por 60 átomos de carbono interligados entre si (C₆₀).

Já em 1991, Sumio Iijima, acabou por encontrar nanotubos de carbono quando tentava fabricar fulerenos (IJIMA, 1991). Seu trabalho demonstrava a formação de cilindros concêntricos (dois ou mais), com espaçamento de 0,34 nm, diâmetro externo da ordem de 4-30 nm, diâmetro do cilindro mais interno de 2,2 nm e comprimento de até 1µm. Estes foram os primeiros nanotubos de carbono com paredes múltiplas (do inglês: “*Multi-Walled Carbon*

Nanotubes” – MWNT) (IIJIMA, 1991). Dois anos depois, Iijima e Ichihashi demonstraram em seu trabalho a síntese de nanotubos de carbono de parede simples (do inglês: “*Single-Walled Carbon Nanotubes*” – SWNT) (IIJIMA, 1993). A Figura 2.1 mostra uma comparação entre a dimensão de um nanotubo de carbono e outras espécies.

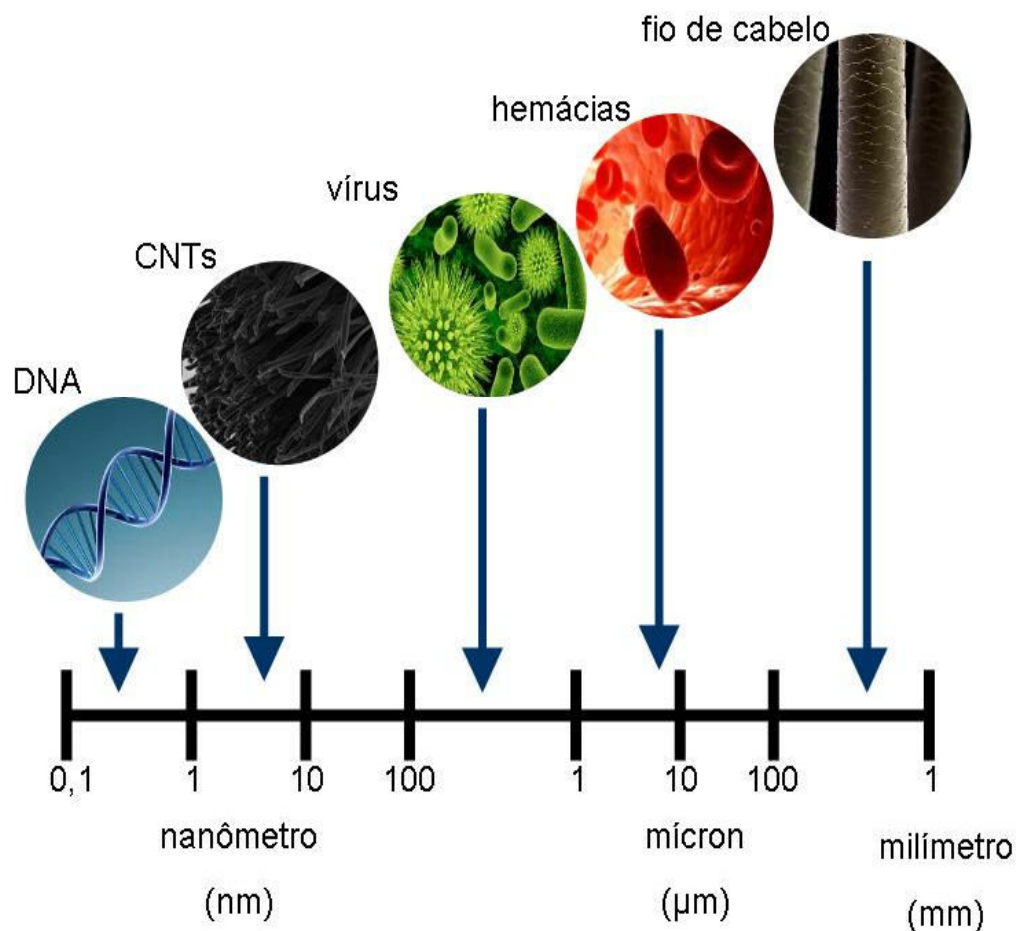


Figura 2.1 – Dimensões representativas de algumas espécies típicas, em várias escalas.

2.2 Síntese de nanotubos de carbono

Com o passar dos anos, várias técnicas de síntese de nanotubos de carbono têm sido desenvolvidas. As principais são a descarga por arco, ablação por laser e disposição química de vapor. Cada uma delas possui peculiaridades diferentes com vantagens e desvantagens.

A técnica de descarga por arco fundamenta-se na geração de um arco elétrico entre dois eletrodos de grafite com uma atmosfera de hélio ou argônio, com pressão reduzida. Em altas temperaturas consegue-se a vaporização do carbono do ânodo, que irá depositar sobre o catodo, originando assim os nanotubos de carbono e outros subprodutos do carbono

(fulerenos, carbono amorfo, fuligem). Uma representação do reator usado para esta técnica é mostrado na Figura 2.2.

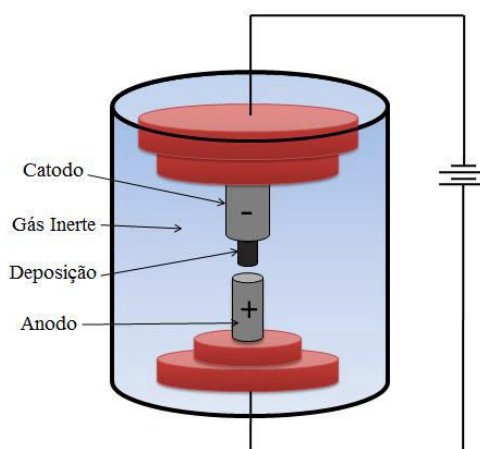


Figura 2.2 – Reator usado no processo de descarga por arco para formação dos nanotubos de carbono.

O método da ablação por laser foi colocado em prática pela primeira vez por (GUO et. al., 1995). Esta técnica utiliza laser a fim de vaporizar um alvo de grafite dentro de um forno a uma temperatura de 1200° C na presença de um gás inerte. A vaporização irá produzir tipos de carbono que serão arrastados pelo gás inerte na zona de alta temperatura. Ao final, serão depositados em um coletor cônico de cobre resfriado por água. O processo é demonstrado na Figura 2.3.

Utilizando este método pode-se obter tanto MWCNT (produzido com grafite puro submetido à ablação) quanto SWCNT (produzido com o alvo do grafite dopado com catalisadores).

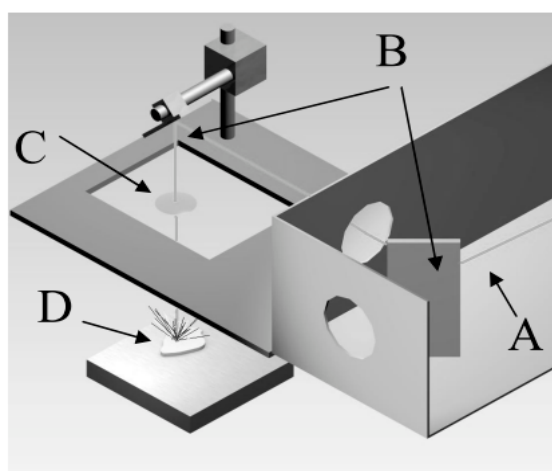


Figura 2.3 – Ilustração da técnica de ablação por laser, A:laser, B:espelhos, C:lente, D:amostra (OLIVEIRA, 2013)

Todavia, devido às limitações dessas técnicas, foi necessário desenvolver o método de deposição química de vapor (DQV), o qual acontece com a decomposição de um gás (fonte de carbono) na presença de um catalisador à pressão atmosférica. Esta técnica, comparada com as demais, requer temperaturas baixas (entre 500° a 1000° C) e demanda menos custos. Ademais, sua grande vantagem relaciona-se ao fato de possuir produção em larga escala, pois pode ser operada continuamente, já que a pureza no produto final é maior, o que diminui as etapas de purificação. A Figura 2.4 abaixo ilustra este processo.

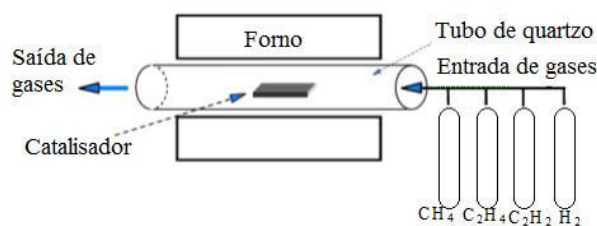


Figura 2.4 – Ilustração esquemática do método DQV.

Os nanotubos de carbonos obtidos pelas técnicas de ablação por laser e descarga por arco tem vantagem de possuir uma alta qualidade estrutural em comparação com os obtidos através do método de deposição química de vapor. A desvantagem das técnicas que utilizam purificação é que elas normalmente geram defeitos nos nanotubos.

Por isso, o processo de fabricação de nanotubos de carbono para escala comercial gera um alto custo. Todas as sínteses de nanotubos de carbono acabam gerando nanotubos com características metálicas e de semicondutores misturados.

2.3 Características físicas

Os CNTs são alótropos do carbono que apresentam propriedades mecânicas, físicas e elétricas notáveis. Devem ser usados conforme a aplicação desejada, podendo ser metais ou semicondutores, dependendo apenas do diâmetro ou da quiralidade do tubo.

O nanotubo de carbono é basicamente uma folha de grafeno enrolada de uma forma cilíndrica, podendo ser visualizado como sólido unidimensional como se fosse um tubo sem costura, sendo um cilindro perfeito (DE SOUZA FILHO, 2007), como mostra a Figura 2.5.

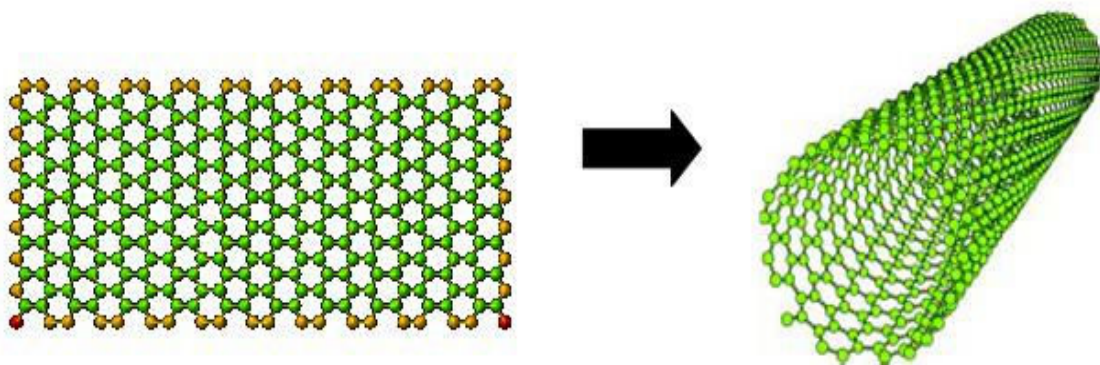


Figura 2.5 – Diagrama ilustrando como são formados os nanotubos de carbono partindo de uma folha de grafeno.

É importante ressaltar que, dependendo da maneira como a folha de grafeno for enrolada, serão obtidas diferentes propriedades físicas. Os dois parâmetros estruturais mais relevantes são: o ângulo quiral(Θ) (também conhecido como quiralidade ou helicidade), como mostra a Figura 2.6, e o diâmetro(d_t) (IJIMA, 1991; BETHUNE, 1993).

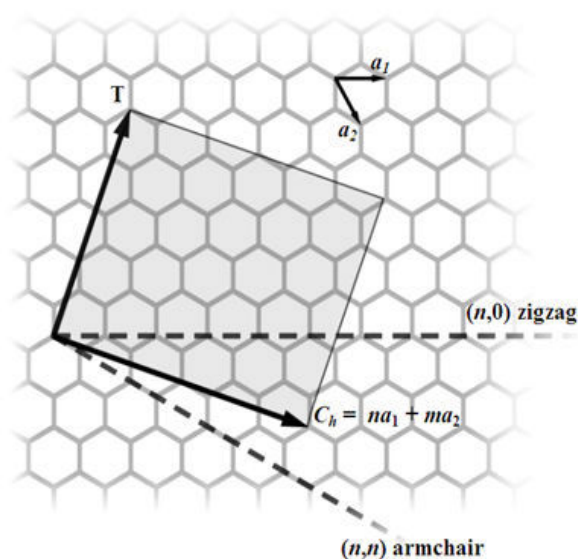


Figura 2.6 – Estrutura do nanotubo de carbono antes de enrolar (TONETTO, 2011).

O vetor quiral \vec{C}_h é a combinação dos vetores de base (\vec{a}_1 e \vec{a}_2) da rede do grafeno. Esse vetor quiral conecta-se a dois pontos cristalograficamente equivalentes definindo a equação a seguir:

$$\vec{C}_h = n_1\vec{a}_1 + n_2\vec{a}_2 \quad (1)$$

Onde: \vec{a}_1 e \vec{a}_2 são vetores unitários e n_1 e n_2 são números inteiros. Desprezando os efeitos das curvaturas nos comprimentos das ligações, o diâmetro do nanotubo de carbono pode ser

calculado a partir do módulo do vetor quiral \vec{C}_h . Já a circunferência do nanotubo é $|\vec{C}_h| = \pi d_t$.

O módulo de \vec{C}_h é facilmente encontrado com os índices de n_1 e n_2 :

$$d_t = a \frac{\sqrt{n_1^2 + n_1 n_2 + n_2^2}}{\pi} \quad (2)$$

O ângulo quiral(θ) é também obtido com os índices n_1 e n_2 , através da fórmula:

$$\theta = \cos^{-1} \left(\frac{n_1 + \frac{n_2}{2}}{\sqrt{n_1^2 + n_1 n_2 + n_2^2}} \right) \quad (3)$$

Conforme os valores dados para as variáveis (n_1, n_2) os nanotubos de carbono recebem diferentes denominações. Se $n_1 = n_2$ são chamados nanotubos *armchair*, com características metálicas. Para $n_2 = 0$ são denominados *zigzag* com características semicondutoras. Para n_1 diferente de n_2 são definidos como *quirais*, uma vez que possuem características tanto metálicas quanto semicondutoras dependendo da diferença de seus índices. A Figura 2.7 apresenta a geometria dos CNT's de uma única parede.

Uma grande diversidade de combinações nas configurações (n_1, n_2) e θ , é encontrada na prática e nenhum tipo particular de tubo é formado. Para nanotubos de paredes múltiplas, os cilindros podem possuir natureza distinta, conforme sua geometria.

As suas propriedades estão diretamente ligadas às bandas de valência, por isso é tão importante a forma que a camada for enrolada. Todos os nanotubos *armchair* são metálicos. Naqueles em que: $n_1 - n_2 = 3k$, sendo k um número inteiro diferente de zero são semicondutores (por possuírem um *band gap* muito pequeno, alguns pesquisadores consideram metálicos). Todos os outros nanotubos são semicondutores (BAUGHMAN, 2002).

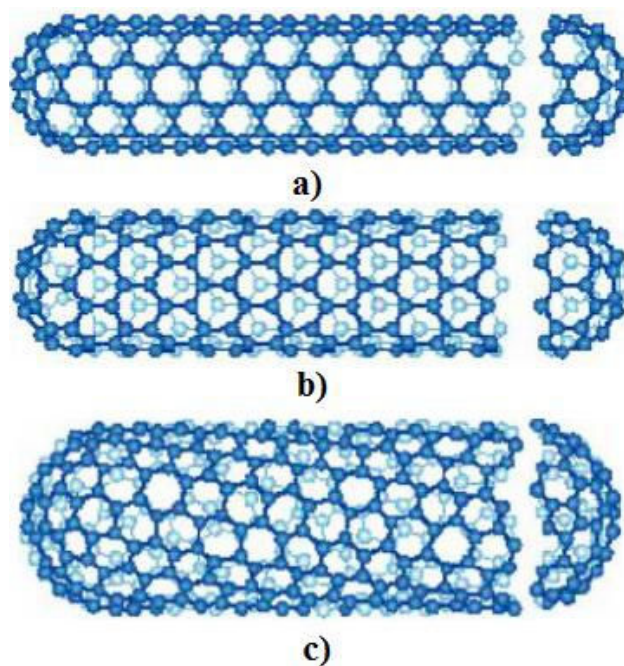


Figura 2.7 – a) Modelo de SWNT armchair, b) modelo de SWNT zigzag e c) modelos de SWNT quiral (TERRAZOS, 2011).

Este trabalho estará restrito aos nanotubos com características semicondutoras do tipo *zigzag*.

2.4 Métodos de separação dos nanotubos de carbono

Uma grande dificuldade na maneira de fabricação dos nanotubos de carbono está no método de separar os nanotubos metálicos e semicondutores. Muitas vezes, amostras sintetizadas pelo mesmo método e sob mesmas condições apresentam diferenças na composição química devido a aspectos ainda não controlados. Este fato dificulta a obtenção de uma maneira que atenda aos requisitos do tipo de nanotubo desejado.

Dessa forma, o conhecimento prévio das impurezas permite um planejamento para que se possa pensar em estratégias a serem utilizadas para purificação dos nanotubos de carbono. De uma maneira geral as impurezas encontradas são (TAE-JIN et al, 2005):

- Nanopartículas metálicas;
- Carbono amorfo;
- Fullerenos;
- Nanohorns;
- Nanopartículas grafiticas;

A primeira tentativa nesse sentido foi feita por (AVOURIS et. al, 2001), tendo o método baseado na aplicação de uma corrente elétrica alta induzindo a “quebra” dos nanotubos de carbono metálicos, ou seja, são eliminados os nanotubos metálicos. A equipe de Avouris, em primeiro lugar, usou um eletrodo na porta dos nanotubos para destruir os portadores de corrente elétrica dos tubos semicondutores dos SWNTs. Os tubos metálicos eram destruídos usando a oxidação induzida pela corrente, o que acarretava esgotamentos dos portadores de corrente elétrica. Após eliminar os tubos metálicos, a equipe foi capaz de construir transistores de nanotubos de carbono, com base nessa técnica.

Uma técnica alternativa para a eliminação de nanotubos de carbono metálicos foi proposta por (ZHANG, 2006), o qual acreditava que os nanotubos de carbono metálicos possuíam uma reatividade química superior ao nanotubos de carbono semicondutores. Dessa forma, os tubos eram tratados como metanos a 400°C. Outra técnica era utilizada para fazer o tratamento dos CNTs a 600°C, removendo os nanotubos indesejados dos semicondutores. Assim, através dessas práticas, o grupo foi capaz de produzir um grande número de dispositivos, cada um com poucos nanotubos.

A dielectroforese utilizada por (KRUPKE et. al, 2003) foi usada para alinhar e posicionar os nanotubos e também para separação de nanotubos metálicos e semicondutores. Basicamente a técnica se resume na ideia de que os nanotubos têm polaridades diferentes, de modo que Krupke e seus colegas conseguiram calcular a constante dielétrica dos semicondutores, a qual fica na ordem de 1000, e dos metálicos, aproximadamente 5. Nesse sentido, colocando-os em uma solução aquosa (constante dielétrica da água aproximadamente 80) seria possível separá-los. A dielectroforese foi utilizada por (PENG, 2006), objetivando classificar por tamanho os nanotubos semicondutores, o que era possível, uma vez que o diâmetro dos nanotubos semicondutores tem um *gap* maior, o que afeta diretamente a sua corrente elétrica.

Desse modo, para que possam ser explorados, é imprescindível dominar as habilidades de controlar as funcionalidades presentes nos nanotubos de carbono. Entretanto, existem ainda inúmeras incertezas acerca dos métodos corretos (aqueles com poucas perdas) de separação de nanotubos de carbono, o que torna difícil se chegar a uma conclusão.

2.5 Aplicações

Pelo fato de os CNTs terem características únicas em escalas nanométricas, o interesse pelas pesquisas desse tipo de material vem crescendo de maneira imensurável. Recentemente,

os nanotubos, têm sido usados como fonte de elétrons para displays de tela plana, pontas (tips) para microscópio de sonda, suporte de catalisadores, estocagem de gás, capacitores de alta potência, resistores quânticos e condutores. Dessa forma, para os próximos anos é esperado grande uso na área da eletrônica, mais especificamente nos transistores. Com tantas propriedades notáveis, os nanotubos de carbono acabam abrindo caminho para novas aplicações, chamando a atenção de pesquisadores e cientistas.

As suas propriedades se sobressaem de acordo com sua aplicação. Por exemplo, quando comparado ao aço, a tensão de ruptura fica na faixa de 100 vezes maior para os nanotubos. Outro aspecto interessante é sua rigidez e o módulo de elasticidade que é maior que a do diamante. Este módulo de elasticidade, ou módulo de Young, é um parâmetro capaz de obter uma medida de rigidez de qualquer material sólido (o módulo de Young decresce com o aumento do diâmetro) (TOMANEK e ENBODY, 2002).

A capacidade elástica é outro aspecto positivo dos nanotubos de carbono. Eles são extremamente flexíveis na direção normal à superfície, obtendo assim resposta elástica às suas deformações, o que caracteriza uma elevada resistência. (MEYYAPPAN, 2005; SAITO, DRESSELHAUS e DRESSELHAUS, 1998).

Com tantas características diferentes, torna-se claro o interesse para desenvolvimento de várias tecnologias envolvendo os nanotubos de carbono. A grande dificuldade, entretanto, está na produção de nanotubos em escala comercial, uma vez que estes interagem entre si formando aglomerados, o que acaba tornando muito difícil manusear este material de forma a se obter nanotubos com características semelhantes.

2.6 Transistores de nanotubos de carbono

Pesquisas relacionadas aos transistores de nanotubos de carbono (do inglês: “*Carbon Nanotube Field Effect Transistors*” – CNTFET) vêm mostrando um ótimo desempenho do dispositivo, pelo fato de possuir elétrons de alta mobilidade (BURKE, 2002).

A estrutura de um CNTFET é composta por 4 terminais: *Bulk*, *Gate*, *Source* e *Dreno*. Esses terminais possuem uma nomenclatura idêntica a da tecnologia CMOS planar, que domina o mercado. O que faz a diferença na construção é que no CNTFET a região do canal do transistor é substituída por um nanotubo de carbono, como pode ser visualizado na Figura 2.8.

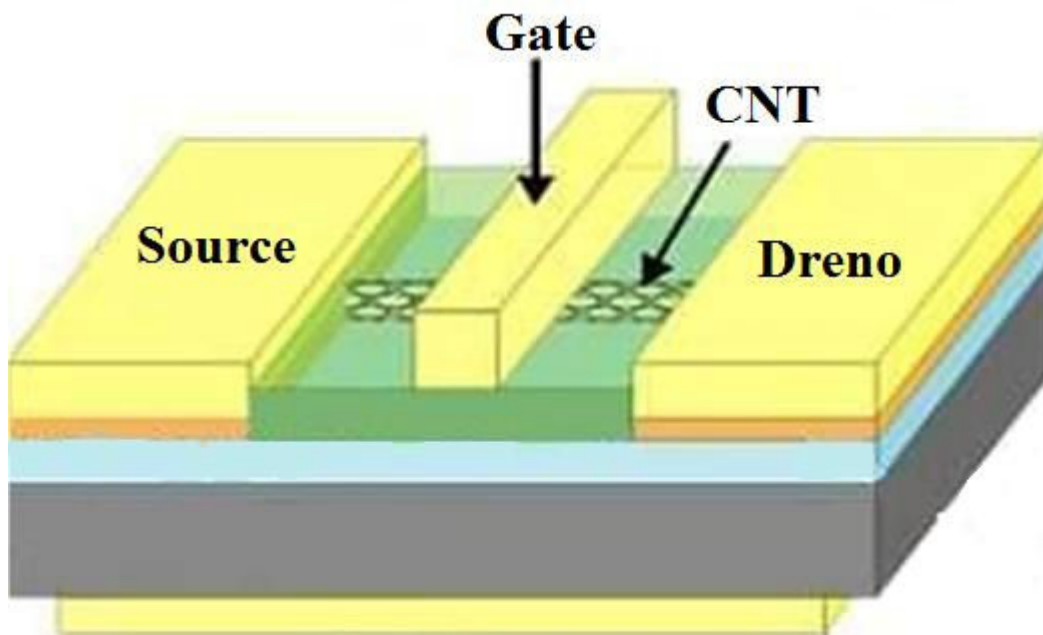


Figura 2.8 – Estrutura de um transistor de nanotubo de carbono

Há uma diferença de velocidade da tecnologia CMOS planar para a tecnologia CNTFET. No caso dos CNTFETs, ocorre o transporte balístico dos portadores, tendo assim uma maior capacidade de corrente elétrica (TEO, 2004).

A sua tensão de limiar V_{TH} (do inglês: “*threshold voltage*”), tem um comportamento bem diferente da tecnologia planar. Está diretamente relacionada com o diâmetro do nanotubo e é expressa pela seguinte fórmula:

$$V_{TH} = \frac{0,42}{d(nm)} eV \quad (4)$$

Ou seja, conforme for escolhido o valor de n_1 e n_2 , mudando os valores na Equação 2, mudará o diâmetro do nanotubo de carbono, e como consequência muda a tensão de limiar.

A Figura 2.9 mostra a simulação para diferentes valores de n_1 , o valor de n_2 foi fixado em 0 para se obter nanotubos do tipo *zigzag*. Para a simulação da curva em vermelho foi usado $n_1=19$, o que resulta em um diâmetro de 1,505nm. Na curva em verde foi usado um $n_1=29$, o que resulta em um diâmetro de 2,298nm, e para a curva em azul foi utilizado $n_1=38$, resultando em um diâmetro de 3,012nm. Nesse sentido, fica evidente que quanto maior o diâmetro do nanotubo menor será a tensão onde o dispositivo começa a conduzir.

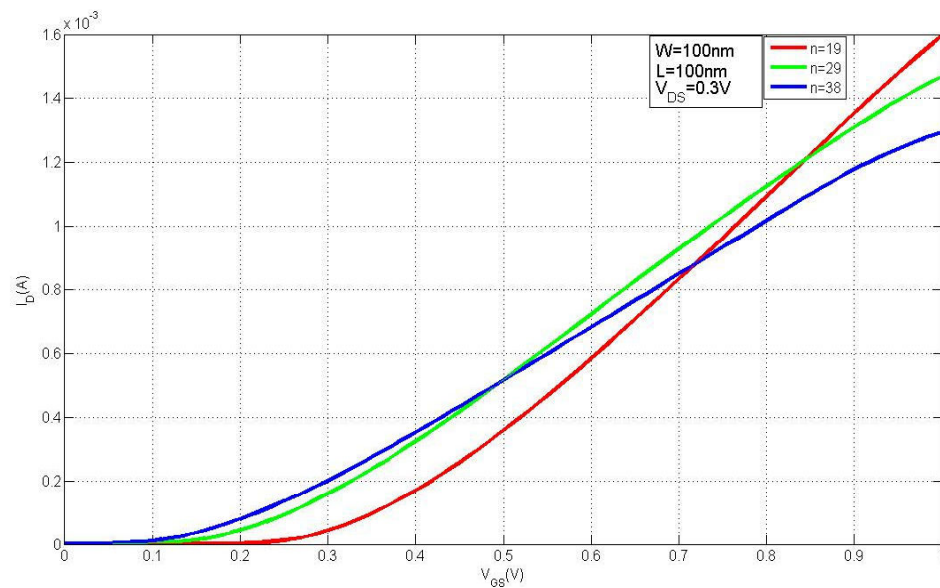


Figura 2.9 - curva $I_D \times V_{GS}$ para diferentes valores de n_i .

2.6.1 Mobilidade dos CNTFET's

É conhecida como mobilidade, a razão entre o transporte do portador e o campo elétrico aplicado. Nos transistores de tecnologia CMOS planar, o transporte dos portadores ocorre na superfície do semicondutor (FARAMARZPOUR, 2007), já nos CNTFETs ocorre no nanotubo de carbono.

Todavia, o estudo da mobilidade dos transistores de nanotubos de carbono é ainda pouco compreendido pelos pesquisadores. Até o momento foram feitas estimativas, as quais apontam que a mobilidade varia de $20\text{cm}^2/\text{Vs}$ ao infinito (SCHRODER et al, 2002). Em CNTFET's, a mobilidade de efeito de campo pode ser tão elevada quanto $79.000\text{cm}^2/\text{Vs}$ à uma temperatura ambiente, valor este que excede bastante o de outros semicondutores usuais.

A mobilidade é descrita por $\mu = \sigma/q$ para os dispositivos. Em uma primeira aproximação, $\sigma = GL$, onde G é a condutância e o L o comprimento do canal. A densidade da carga é chamada de q descrito por $q = C_g(V_{th} - V_{GS})$, onde C_g é a capacitância por unidade de comprimento (DÜRKOP et al, 2004). Então a mobilidade dos transistores de nanotubos de carbono pode ser expressa por:

$$\mu = \frac{L}{C_g} \frac{G}{(V_{th} - V_{GS})} \quad (5)$$

Esta definição é análoga a “mobilidade efetiva” para os FET’s convencionais, os quais utilizam a chamada mobilidade do efeito de campo (μ_{FE}) que, por sua vez, é usada para comparar as propriedades dos dispositivos. A fórmula da mobilidade de efeito de campo para os nanotubos de carbono é:

$$\mu_{FE} = \frac{L}{C_g} \frac{\partial G}{\partial V_{GS}} \quad (6)$$

A corrente I_D de saturação nos FET’s convencionais fica evidente quando $V_{DS} \approx V_{GS} - V_{th}$. Já para os nanotubos de carbono, a corrente se dá a partir de cruzamentos entre baixas regiões ôhmicas e altas regiões de saturação. Em nanotubos de carbono, o efeito chamado de saturação de mobilidade, é dado pela fórmula a seguir:

$$\mu_{sat} = \frac{2L}{B C_g} \frac{|I_{d,sat}|}{(V_{th} - V_g)^2} \quad (7)$$

Nesta fórmula $I_{d,sat}$ é a corrente de saturação, B é chamado de fator de corpo, sendo ainda seus efeitos não muito bem conhecidos nem em dispositivos MOSFET’s convencionais. Normalmente a mobilidade de saturação é estimada na ordem de grandeza unitária (DÜRKOP et al, 2004).

2.6.2 Contatos ôhmicos

Quando o transistor estiver no seu modo ON (ligado), a condutância será bem elevada, pois nesse regime as bandas são consideradas planas, de modo que há pouca dispersão de elétrons no nível de Fermi. Muito embora o transporte seja quase balístico, possui potenciais diferentes, causando, para tanto, dispersão dos elétrons. À medida que aumentar a tensão no dreno, a condutância diminuirá bastante, e o transistor entrará no seu modo OFF (desligado). Neste regime aparece uma barreira no meio do nanotubo, a qual bloqueará os elétrons. À medida que a corrente aumentar ainda mais, o canal do transistor é conduzido à inversão (JAVEY et al, 2003).

Atualmente, os contatos ôhmicos dos nanotubos de carbono são feitos usando paládio como metal de contato. A temperatura no seu estado ON está fortemente ligada com a presença dos contatos ôhmicos para a condutância. A equação a seguir mostra esta relação:

$$G = \frac{4e^2}{h} \frac{e^{\Delta/kT}}{1 + e^{\Delta/kT}} \quad (8)$$

Onde $\Delta = E_v - E_F$ que representa a posição do nível de Fermi da banda de valência. Então podemos dizer que o comportamento dos contatos ôhmicos nos transistores de nanotubos de carbono é determinado por alterações na banda de dispersão da região do canal (LEONARD e STEWART, 2006). A seguir serão abordados os efeitos de contatos Schottky, que se comportam de maneira bem diferente.

2.6.3 Contatos Schottky

Contatos Schottky, também chamados de barreira Schottky (SB), aparecem frequentemente nos nanotubos de carbono. Normalmente, a corrente desses contatos é denominada de emissão termiônica (do inglês *thermionic emission*). Nela os elétrons são excitados termicamente com o objetivo de passar por cima da barreira Schottky. No entanto, se a banda-curva (do inglês *band-bending*) estiver próxima, o contato será forte, o que significa um aumento de corrente. Este efeito é que precisamente comanda o funcionamento da barreira Schottky (ANANTRAM e LEONARD, 2006).

Quando o transistor estiver em modo OFF, a band-bending causa um efeito de barreira Schottky pequeno na região de gate. Como o comprimento do tubo do nanotubo é longo, resulta em uma corrente de “tunelamento” bem pequena. Conforme for aumentando a tensão de gate, os efeitos de band-bending vão ficando cada vez mais nítidos aumentando, por sua vez, o nível de corrente. Nesse sentido, pode-se dizer basicamente que o funcionamento do dispositivo é controlado pela modulação de tunelamento nos contatos (HEINZE et al, 2002).

Esta barreira aparece devido à incompatibilidade entre o nível de Fermi do metal e da banda de valência do semiconductor. A altura da barreira Schottky é dada por:

$$\Phi_{SBe} = \phi_m - \chi \quad (9)$$

Onde ϕ_m é a função de trabalho que o metal necessita para remover um elétron no nível de Fermi, e χ é a afinidade eletrônica do semiconductor. No caso dos CNTs considera-se que ele é um cilindro ideal e a sua configuração atômica é ignorada.

O modelo que foi usado neste trabalho trata a barreira Schottky da seguinte maneira:

- A região do CNT é longa o suficiente para que haja uma modificação potencial de superfície devido ao confinamento quântico;
- Efeitos de dipolos são ignorados;

- Não há efeito de pinagem;
- A região de escotamento é acentuada.

Os potenciais vistos do lado de metal e contato (Φ_1), e do lado dopado do CNT (Φ_2), são descritos por:

$$\Phi_1 = \Phi_m - \Phi_c + E_{1,0} \quad (10)$$

$$\Phi_2 = \begin{cases} \Phi_1 + |V_{sb,s}| + \Delta\Phi_s \\ \Phi_1 - |V_{sb,d}| - V_c + \Delta\Phi_s \end{cases} \quad (11)$$

Onde $V_{sb,s}$ e $V_{sb,d}$ são os potenciais sobre a resistência SB equivalente ao lado de source e de dreno. Todavia, os detalhes de como estes efeitos afetam os CNTs ainda não são bem conhecidos.

Para uma variação de potenciais ao longo do comprimento do nanotubo de carbono, a probabilidade de transmissão é dada por:

$$T(E) = \exp\left(-2 \int_{z_1}^{z_2} k(E, z) dz\right) \quad (12)$$

Onde $k(E, z)$ é a parte imaginária do vetor de onda como função ao longo do nanotubo e z_1 e z_2 são os pontos de virada. A parte imaginária do vetor depende da distância ao longo do nanotubo em função da banda-curva. A estrutura da banda no nível de Fermi é dada por:

$$E = \frac{3a\gamma}{2} \sqrt{\left(\frac{E_g}{3a\gamma}\right)^2 + k^2} \quad (13)$$

k pode ser expresso em função de E , que resulta em:

$$k(E) = \frac{2}{3a\gamma} \sqrt{E^2 - (E_g/2)^2} \quad (14)$$

A barreira para os elétrons acontece tanto para valores de tensão positiva no gate, como para tensão negativa. A condutância tem um comportamento assimétrico em relação à tensão de gate, com uma corrente relativamente maior para o lado da barreira (ODINTSOV, 2000).

Onde C_i é a capacitância de acoplamento físico entre o gate e o canal do CNT e C_{sub} é a capacitância de acoplamento físico entre o canal do CNT e o substrato.

O modelo da Universidade de Stanford tem como características um circuito que inclui os efeitos de carga, os efeitos de barreira Schottky em seus contatos, regiões de extensões (gate-dreno) dopadas, entre outros. O modelo também inclui uma rede de transcapacitâncias completo para simulações mais precisas com um desempenho dinâmico.

O referido modelo é organizado hierarquicamente em três níveis, de modo que cada nível lida de uma maneira diferente com os problemas relacionados com a modelagem. O primeiro nível leva em consideração o transporte quase balístico e capacitâncias parasitas. Já o segundo nível é mais complexo, pois constrói em cima da primeira região de extensão de drenagem do source. Tais regiões também possuem resistências parasitas que podem afetar significativamente a magnitude do CNTFET. O último e terceiro nível é o mais completo de todos, e permite a modelagem de vários nanotubos de carbono sob o mesmo gate. A Figura 2.11 mostra o modelo elétrico de cada nível.

Nesse sentido, este trabalho está restrito ao modelo completo que trata o rastreamento de carga como uniforme.

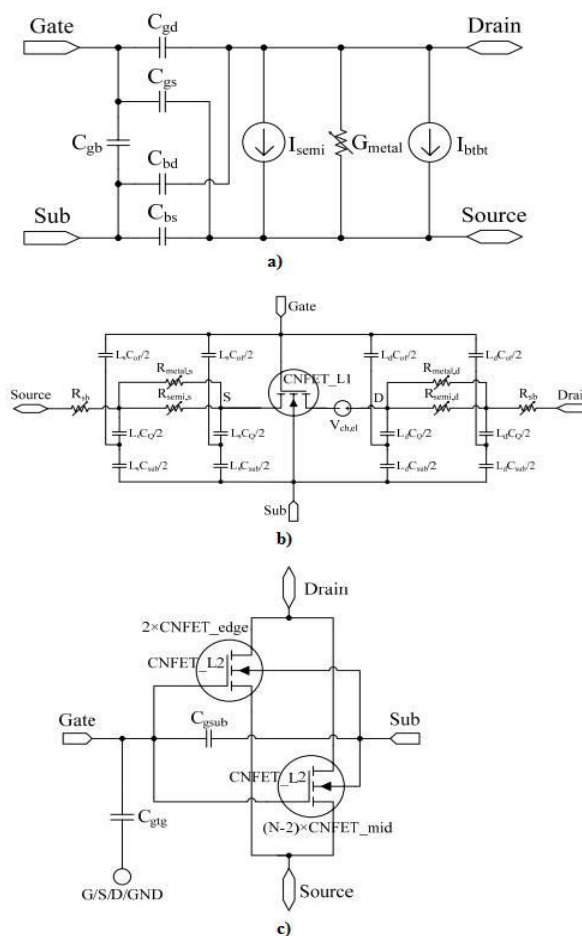


Figura 2.11 – Modelos elétricos de Stanford. a) modelo nível 1, b) modelo nível 2, c) modelo nível 3 (DENG e WONG, 2007).

2.8 Comparação entre as tecnologias CMOS e CNTFET

A tecnologia CMOS permite ao projetista variar o tamanho da largura do canal dos transistores (W). Já os CNTFETs possuem uma largura de canal fixa (diâmetro do nanotubo), sendo necessária a associação de vários nanotubos em paralelo para se ter uma maior intensidade de corrente elétrica. Para o comprimento de canal (L) nenhuma restrição é feita. A Figura 2.12 mostra como deve ser feito a associação em paralelo dos nanotubos para encontrar a largura do canal desejada para o transistor.

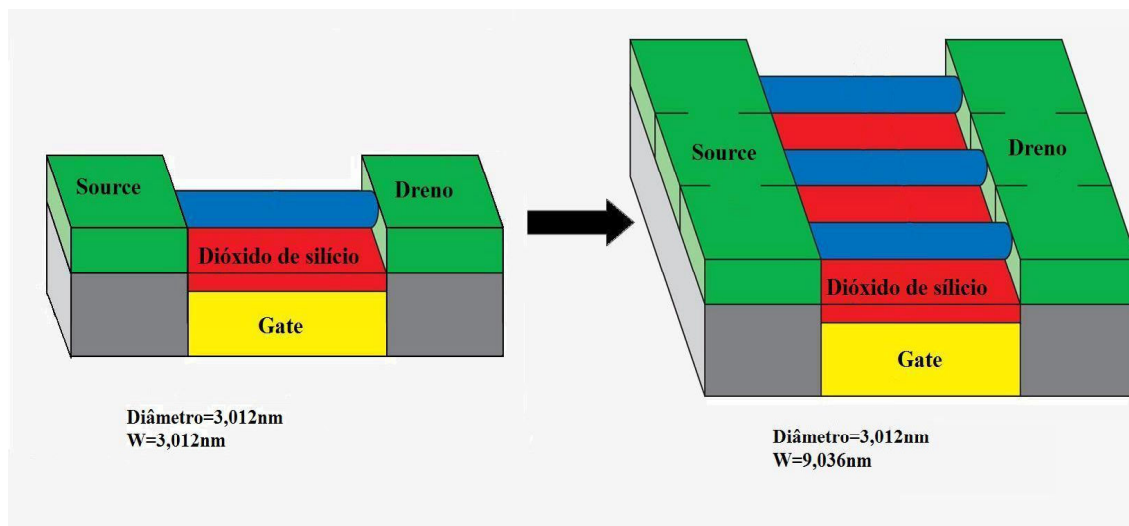


Figura 2.12 – Associação em paralelo de nanotubos de carbono para encontrar o W desejado dos CNTFETs

Para encontrar o diâmetro do nanotubo utilizado neste trabalho, substituem-se os valores na equação Equação 2, (onde $a=0,249\text{nm}$ - constante da estrutura do grafite, $n_1=38$ e $n_2=0$ – esses dois parâmetros escolhidos de forma a obter nanotubos do tipo zigzag) neste caso, o diâmetro do nanotubo de carbono é de 3,012nm.

Para analisar o comportamento de ambas as tecnologias foram realizadas algumas simulações elétricas para se extrair as principais características dos dispositivos. Foram utilizados modelos elétricos de parâmetros preditivos e simulados no software HSPICE®. As curvas, por sua vez, foram geradas no software MATLAB®. O transistor usado é do tipo N.

Para gerar as curvas $I_{DS} \times V_{DS}$ e $I_{DS} \times V_{GS}$, foi necessário utilizar 99 nanotubos em paralelo para encontrar um W de 300nm, já que os CNTFETs não permitem ao projetista variar a largura do canal (W). Para a tecnologia CMOS o W é uma variável livre e pode ser definida pelo projetista, então esta foi fixada em 300nm. O comprimento do canal (L) para ambas as tecnologias foi fixada em 32nm.

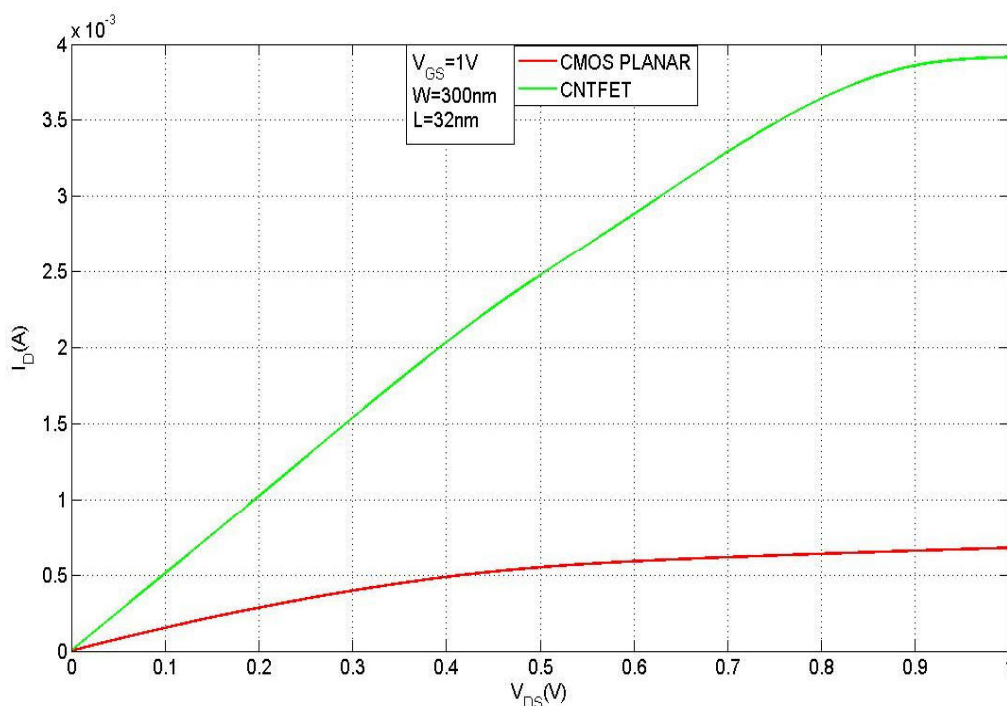


Figura 2.13 – Gráfico da curva $I_D \times V_{DS}$ transistor simples para CNTFET(verde) e CMOS planar(vermelho)

Para gerar a curva da Figura 2.13 foi necessário variar a tensão de dreno, mantendo constante a tensão de gate para diferentes valores de V_{DS} . Conforme mostram as curvas, pode-se perceber que a tecnologia CNTFET tem uma melhor performance, de modo que sua corrente foi cerca de 10,4 vezes maior. Na Figura 2.13, ao passo que for aumentando o valor de V_{DS} a corrente I_D aumenta de maneira linear, essa região é chamada de ôhmica, pois a curva tem um comportamento de uma resistência. À medida que a tensão V_{DS} se aproxima da tensão de pinçamento (do inglês – *pinch-off*) a curva começa a ter uma inclinação, e logo após a corrente I_D entra em saturação (podemos aumentar a tensão V_{DS} que I_D permanece aproximadamente constante)(TSIVIDIS, 2012).

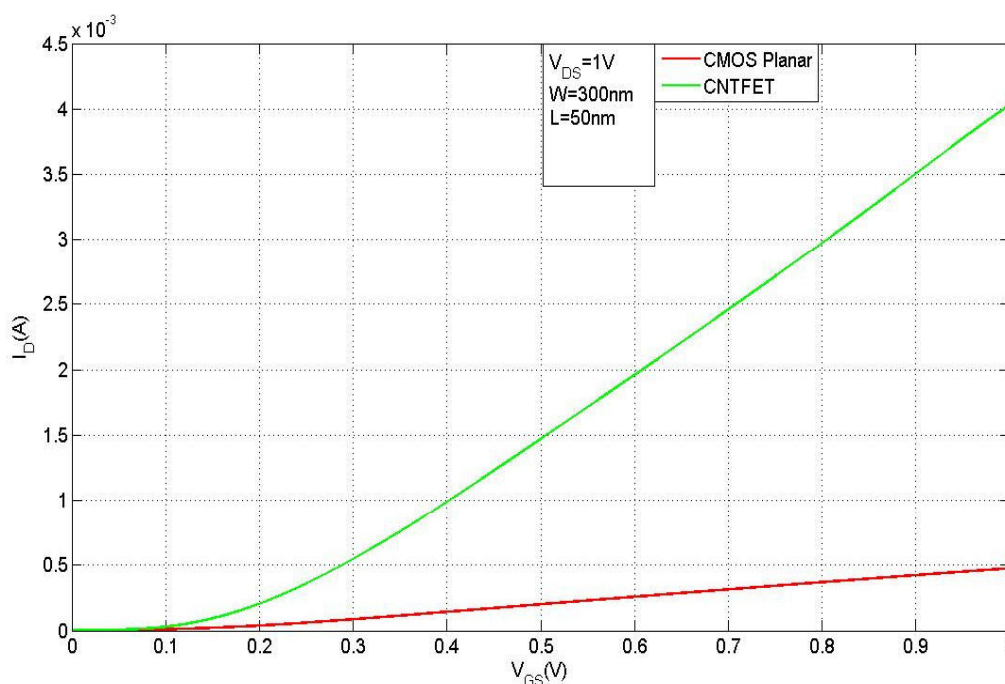


Figura 2.14 – Gráfico da curva I_D x V_{GS} transistor simples para CNTFET(verde) e CMOS planar(vermelho)

Para gerar a curva da Figura 2.14 foram utilizados os mesmos parâmetros da curva anterior, porém agora é mantida constante a tensão de dreno e variados os valores da tensão de gate. Nesse sentido, foi possível observar que a tensão de threshold (onde o dispositivo começa a conduzir) no CNTFET é cerca de 0,1V e já no CMOS é de 0,13V, o que deve-se a diferença na dopagem do substrato. Continuando a análise do gráfico é possível notar a diferença na corrente máxima, que para o CMOS é de cerca de 10 vezes menor que para o CNTFET.

Com o aumento da tensão aplicada ao gate do transistor, surge primeiramente uma depleção na região do canal, aumentando conforme a densidade de V_{GS} . Para um V_{GS} muito grande ocorrerá um canal de inversão. Esta região de inversão ocorre quando $V_{GS} > V_{GS(TH)}$, onde $V_{GS(TH)}$ é a tensão limiar de condução do dispositivo (chamada de tensão de threshold, ou seja, nessa hora fica permitido a passagem de corrente I_D). Quanto maior for a tensão do gate, maior será a capacidade de conduzir corrente.

Na maioria das aplicações digitais, a corrente de sublimiar é desagradável, pois diminui o comportamento de “interruptor” da tecnologia CMOS planar. O que realmente se quer é que a corrente esteja o mais perto de zero possível, o que é profundamente importante em circuitos dinâmicos (TSIVIDIS, 2012).

3 ASSOCIAÇÃO TRAPEZOIDAL DE TRANSISTORES

As associações trapezoidais de transistores (TAT – *Trapezoidal Association of Transistors*), proposta por GALUP-MONTORO 1994. Consiste basicamente em dois transistores em série, sendo que o transistor conectado ao terminal de dreno, chamado MD, possui largura do canal (W) maior que o transistor conectado ao terminal da fonte, chamado MS. O comprimento do canal (L) pode ser o mesmo para ambos. Os gates de MD e MS são conectados entre si, originando um dispositivo com as mesmas características de um único transistor comum. A Figura 3.1 mostra um esquema de associação trapezoidal de transistores.

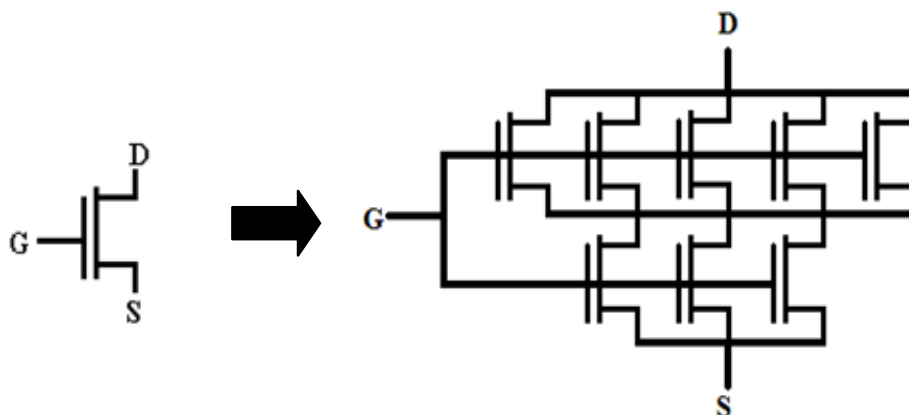


Figura 3.1 - Associação trapezoidal de transistores

A associação trapezoidal se torna algo interessante, porque possui como principal característica uma condutância de saída mais baixa com a aplicação de potencial de fonte no extremo do canal. Mantendo o transistor do terminal do dreno maior que o do terminal da fonte, consegue-se adquirir conseqüentemente, uma diminuição da condutância de saída (g_{ds}) comparada a um transistor retangular simples equivalente (RICCO 1984).

Nesse sentido, para que se possa obedecer ao formato trapezoidal da associação, é preciso ter a garantia de que o número de transistores conectados ao dreno (ND) seja sempre maior

que o número de transistores conectados a fonte (NS). O uso de dois transistores em série é apenas uma definição adotada.

Sendo assim, utilizando-se as TATs é possível reproduzir o comportamento em nível de corrente de transistores simples de dimensões maiores que a dos transistores unitários. Para circuitos analógicos essa é uma característica muito importante, uma vez que com a associação de dois transistores é possível emular o comportamento de um transistor simples de tamanho relativamente maior.

Ademais, em transistores unitários com canal longo, a relação de um transistor simples e seu TAT pode ser obtida com uma aproximação em que cada transistor unitário é visto como um resistor linear. Para transistores de canal longo, a largura e o comprimento do canal equivalentes dos transistores MD e MS são representados pelas fórmulas a seguir:

$$W_{MD} = ND \cdot W_{UN} \quad (17)$$

$$L_{MD} = L_{UN} \quad (18)$$

$$W_{MS} = NS \cdot W_{UN} \quad (19)$$

$$L_{MS} = L_{UN} \quad (20)$$

O comprimento e a largura de canal equivalente da associação são dados por (GALLUP 1994):

$$W_{eq} = W_{MD} \quad (21)$$

$$L_{eq} = L_{MD} + mL_{MS} \quad (22)$$

Onde

$$m = \frac{\left(\frac{W}{L}\right)_{MD}}{\left(\frac{W}{L}\right)_{MS}} \quad (23)$$

Sendo todos os transistores unitários iguais, m se reduz a:

$$m = \frac{ND}{NS} \quad (24)$$

Então, as equações para W_{eq} e L_{eq} tornam-se

$$W_{eq} = ND \cdot W_{UN} \quad (25)$$

$$L_{eq} = L_{UN} \cdot \left(\frac{ND}{NS} + 1 \right) \quad (26)$$

A relação de aspecto se resume a:

$$\left(\frac{W}{L} \right)_{eq} = \frac{ND}{\left(\frac{ND}{NS} + 1 \right)} \cdot \frac{W_{UN}}{L_{UN}} \quad (27)$$

Porém, para transistores de canal curto, outros efeitos se tornam relevantes, como modulação do comprimento de canal, DIBL, saturação de velocidade, entre outros.

Conforme (RICCO, 1984), quanto mais trapezoidal for o formato da associação de transistores, menor será a condutância de saída comparada a de um transistor simples.

De acordo com (GIRARDI, 2007), a condutância de saída da TAT pode ser diminuída com o incremento de ND, ou com o decremento de NS. Portanto, a condutância de saída de uma TAT é diretamente proporcional a relação entre ND e NS. Já a transcondutância de gate de uma TAT é menor que para um transistor simples equivalente na região de operação de inversão forte, podendo ser descrita como:

$$gm_{TAT} \cong gm_{MS} \quad (28)$$

Ou seja, o transistor MS é quem estabelece a transcondutância de gate da TAT. O valor de gm, é aumentado com o incremento de NS, e fica constante com o incremento de ND.

Para analisar o comportamento das TATs utilizadas neste trabalho, foram realizadas algumas simulações junto ao software Hspice, para todas as possíveis associações trapezoidais de transistores para um $ND_{m\acute{a}x}$ de 25. Os transistores utilizados para essa simulações foram os CNTFETs, com as dimensões mínimas da tecnologia, ou seja, $W_{un}=3,012nm$, $L_{un}=32nm$, as tensões de polarização foram fixadas em: $V_{DS}=0,4V$ e $V_{GS}=0,4V$. Os resultados foram ilustrados em gráficos em três dimensões que relaciona ND e NS.

A Figura 3.2, Figura 3.3 e a Figura 3.4 mostram que a corrente de dreno a transcondutância de gate e a condutância de saída das TATs possuem um comportamento semelhante.

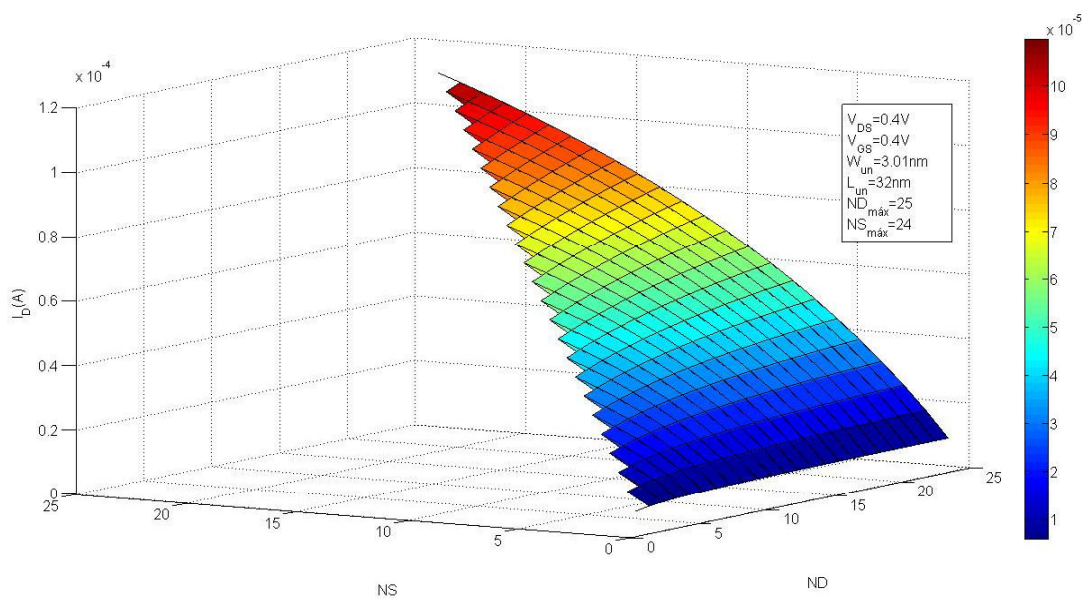


Figura 3.2 – Curva comportamental da corrente de dreno em função de ND e NS .

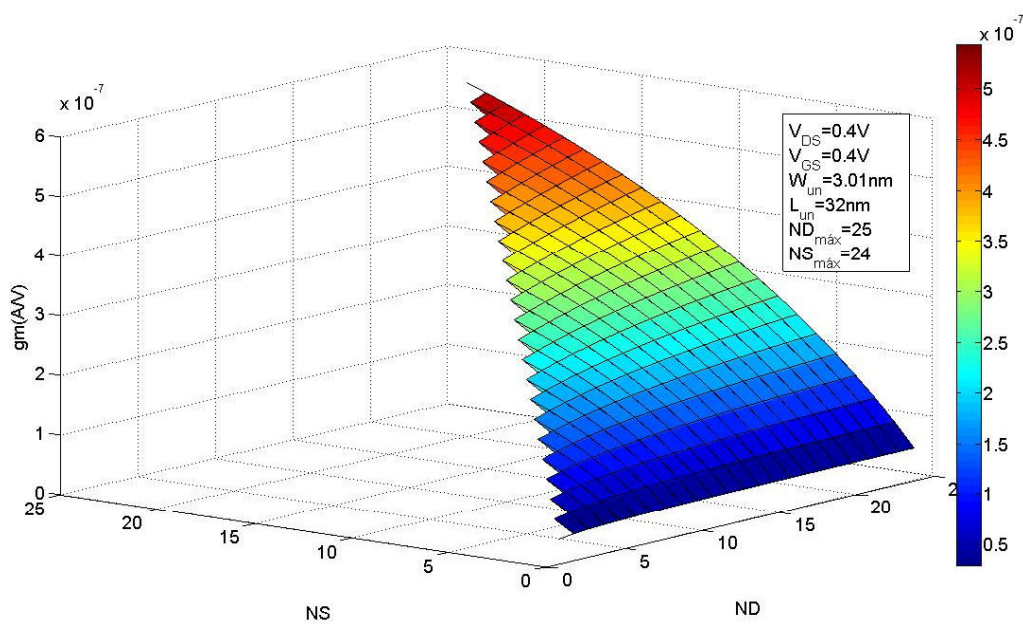


Figura 3.3 – Curva comportamental da transcondutância em função de ND e NS .

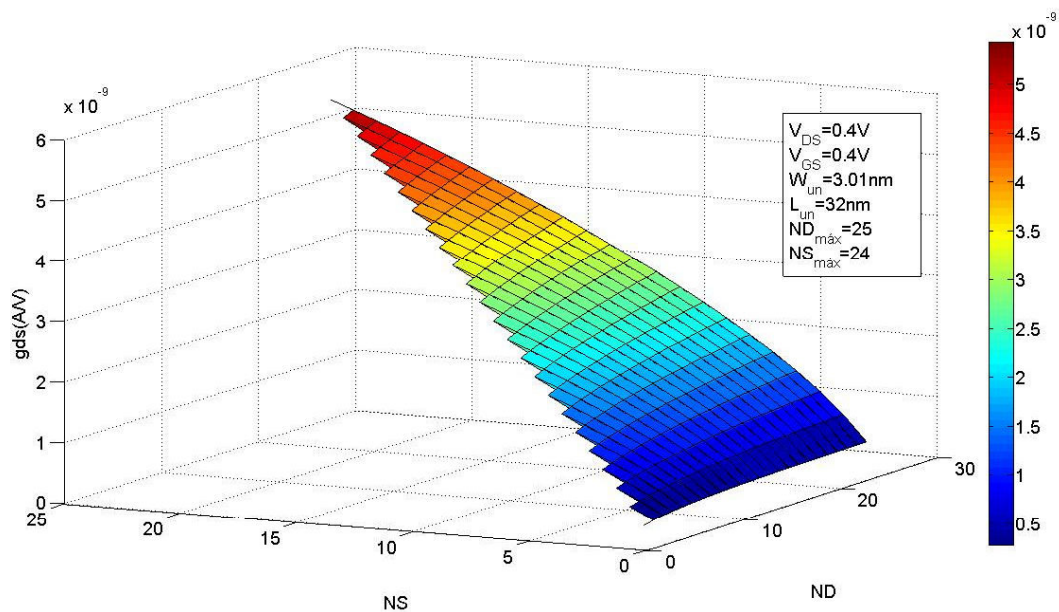


Figura 3.4 – Curva comportamental da condutância de saída em função de ND e NS

Dessa forma, através da análise dos gráficos é possível afirmar que as curvas possuem um formato monotônico, pois não foram observados picos ou vales em sua superfície. Este fato torna a metodologia deste trabalho um pouco mais simples, já que a finalidade é a escolha correta de ND e NS.

4 METODOLOGIA DE PROJETO

4.1 Introdução

Para projetos analógicos necessita-se primeiramente de uma metodologia referida ao dimensionamento dos transistores. Tal metodologia normalmente relaciona equações com as especificações do projeto, que tem como variável de saída o tamanho dos transistores.

A metodologia proposta neste projeto envolve o estudo de circuitos integrados analógicos. Para tanto, serão utilizadas as associações trapezoidais de transistores baseando-se na premissa de que o circuito analógico com transistores simples já foi projetado e também validado. A transformação para um projeto com a utilização das TATs segue como mostra o fluxograma abaixo:

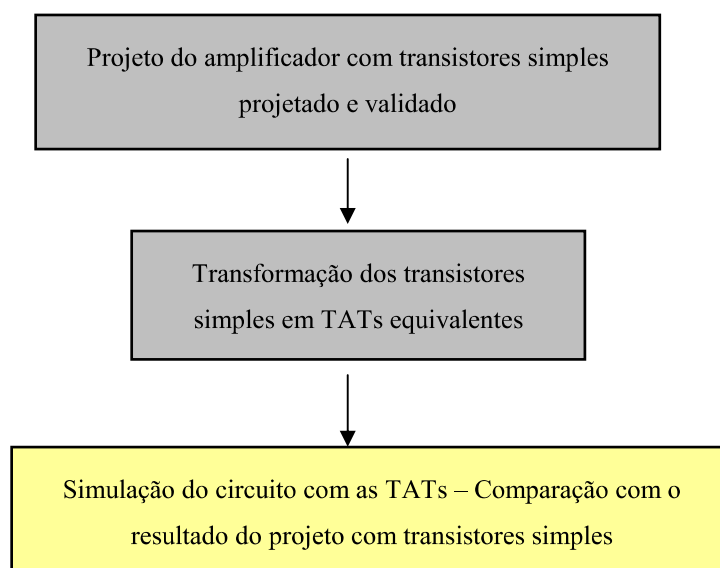


Figura 4.1– Fluxograma de projeto.

O resultado esperado na saída é um circuito formado por TATs que consiga manter as mesmas especificações do circuito original, por exemplo, ganho de corrente ou de tensão, potência, slew-rate, etc, embora se saiba que algumas especificações não serão idênticas, mas sim próximas. Com o auxílio do software MATLAB foi implementada uma ferramenta de otimização que tem o objetivo de encontrar as melhores possibilidades de TATs equivalentes a um determinado transistor simples.

Este capítulo mostra qual é o critério utilizado para a determinação de associações equivalentes a um transistor simples e os resultados para a implementação de dois circuitos amplificadores: um amplificador diferencial e um amplificador do tipo OTA Miller, ambos para a versão TATs com CNTFETs.

4.1.1 Estimativa de corrente

Encontrar uma associação trapezoidal de transistores com características semelhantes às de um transistor simples é uma tarefa que não acontece de uma forma muito direta. Muitas vezes podemos fazer escolhas que não satisfazem as especificações do circuito. O projeto baseia-se no fato de que temos o transistor simples e através dele queremos encontrar uma TAT equivalente ao valor de corrente DC, ou que seja o mais próximo deste valor. O problema é que pode haver várias combinações diferentes de ND e NS que satisfazem essa exigência. Então é tarefa do projetista escolher a solução mais adequada.

Para a escolha das TATs equivalentes ao transistor simples é requerido que seja conhecido o ponto de operação do transistor simples, pois as curvas características dos transistores simples e das associações trapezoidais diferem em diferentes regiões de operação do dispositivo (podendo ser região de inversão fraca, inversão moderada e inversão forte). Portanto, não existe uma associação trapezoidal equivalente em corrente a um transistor simples em todos os pontos de operação.

Para exemplo, foi escolhido um transistor simples para a tecnologia planar com as dimensões descritas na Tabela 1.

Tabela 1. Características de um transistor simples tecnologia planar, tipo N.

$W(nm)$	$L(nm)$	$Gm(A/V)$	$gds(A/V)$	$I_D(A)$	$V_{DS}(V)$	$V_{GS}(V)$
300	100	3,710e-4	1,058e-5	6,764e-5	0,4	0,4

A curva de um transistor simples foi plotada junto à curva de uma TAT equivalente na Figura 4.2. Neste caso, a curva característica $I_D \times V_{DS}$ possui o valor igual de corrente para uma

tensão $V_{DS}=0,4V$. Para os demais valores de V_{DS} existe uma variação de corrente, perdendo a equivalência.

A escolha da TAT equivalente se deu conforme análise da Tabela 2, que mostra as possíveis associações trapezoidais para um desvio de corrente máxima de 4% ($W_{un}=3,01nm$, $L_{un}=32nm$). A escolha da TAT foi a que possuía um desvio menor, ou seja, $ND=21$ e $NS=12$.

Tabela 2. Possíveis associações trapezoidais de transistores CNTFET para um transistor simples tecnologia planar.

ND	NS	$I_D(A)$	$I_{Ddesvio}(\%)$	$g_{ds}(A/V)$	$g_m(A/V)$
16	14	6,669E-05	1,401	3,266E-06	3,302E-04
16	15	6,923E-05	2,349	3,419E-06	3,429E-04
17	13	6,567E-05	2,917	3,179E-06	3,247E-04
17	14	6,851E-05	1,288	3,347E-06	3,390E-04
18	13	6,724E-05	0,597	3,245E-06	3,323E-04
18	14	7,022E-05	3,808	3,412E-06	3,473E-04
19	12	6,541E-05	3,298	3,128E-06	3,227E-04
19	13	6,871E-05	1,578	3,303E-06	3,393E-04
20	12	6,667E-05	1,439	3,179E-06	3,287E-04
20	13	7,009E-05	3,624	3,354E-06	3,460E-04
21	12	6,785E-05	0,309	3,230E-06	3,343E-04
22	11	6,510E-05	3,760	3,085E-06	3,201E-04
22	12	6,897E-05	1,958	3,274E-06	3,396E-04
23	11	6,604E-05	2,366	3,128E-06	3,245E-04
23	12	7,002E-05	3,516	3,322E-06	3,446E-04

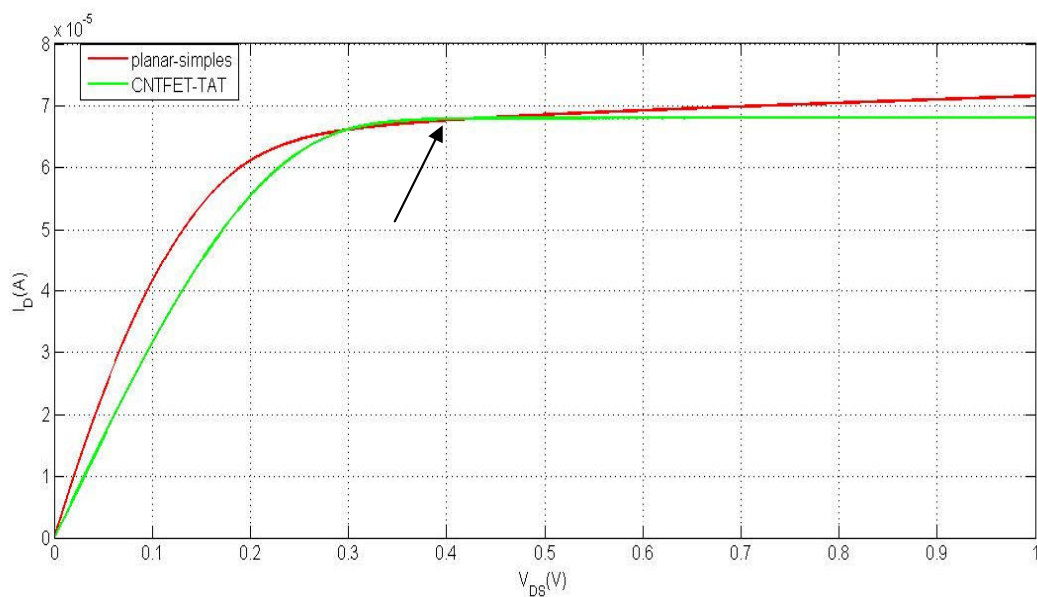


Figura 4.2 – Simulação elétrica curva $I_D \times V_{DS}$ de um transistor simples tecnologia planar e uma TAT equivalente CNTFET para diversos valores de V_{DS} . $W=300nm$ $L=100nm$, $W_{un}=3,01nm$ $L_{un}=32nm$ - $ND=21$ $NS=12$, $V_{GS}=0,4V$.

Por esses motivos, para o cálculo da associação trapezoidal equivalente devem ser conhecidos:

- Largura e comprimento do canal do transistor simples;
- Largura e comprimento do canal dos transistores unitários que formam a TAT;
- A margem de diferença de corrente aceitável;
- Maior valor de ND aceitável;
- Tensões de polarização (V_{DS}, V_{GS});

Para saber a porcentagem do desvio de corrente, a seguinte fórmula é aplicada:

$$I_{Derro}(\%) = \left| \frac{I_{D(TAT)} - I_{D(simples)}}{I_{D(simples)}} \right| \cdot 100 \quad (29)$$

Entretanto, a equivalência em corrente não significa equivalência em pequenos sinais gm e gds . A curva da Figura 4.2 foi plotada de maneira a mostrar as características de gm e gds . A Figura 4.3 mostra a curva $gds \times V_{DS}$, e a Figura 4.4 mostra a curva $gm \times V_{GS}$,

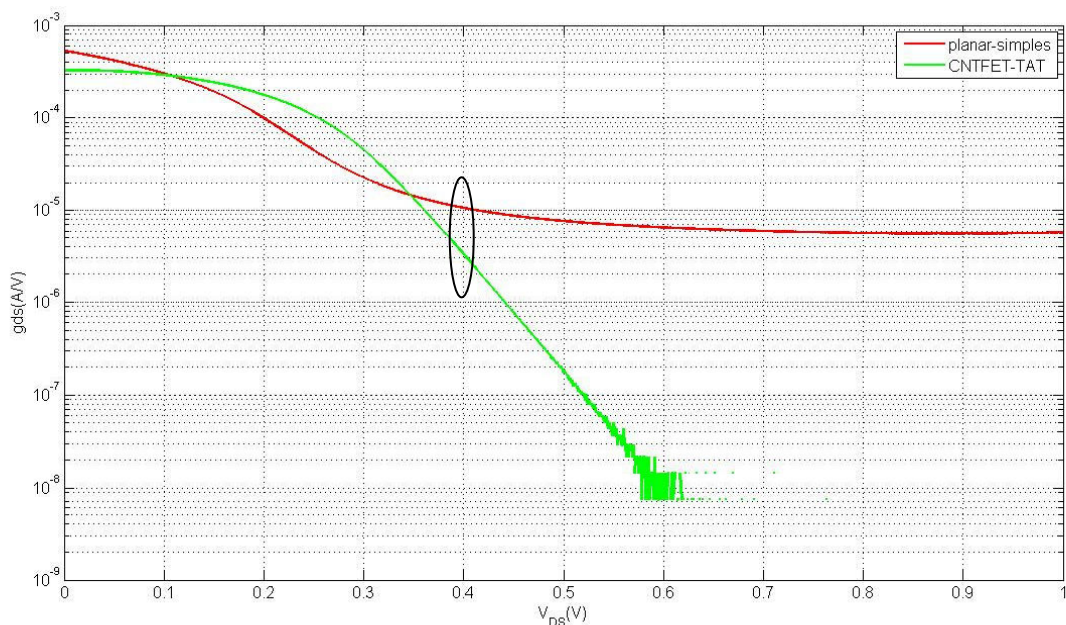


Figura 4.3 - Simulação elétrica curva $gds \times V_{DS}$ de um transistor simples tecnologia planar e uma TAT equivalente CNTFET para diversos valores de V_{DS} . $W=300\text{nm}$, $L=100\text{nm}$, $W_{un}=3,01\text{nm}$, $L_{un}=32\text{nm}$ - $ND=21$, $NS=12$, $V_{GS}=0,4\text{V}$.

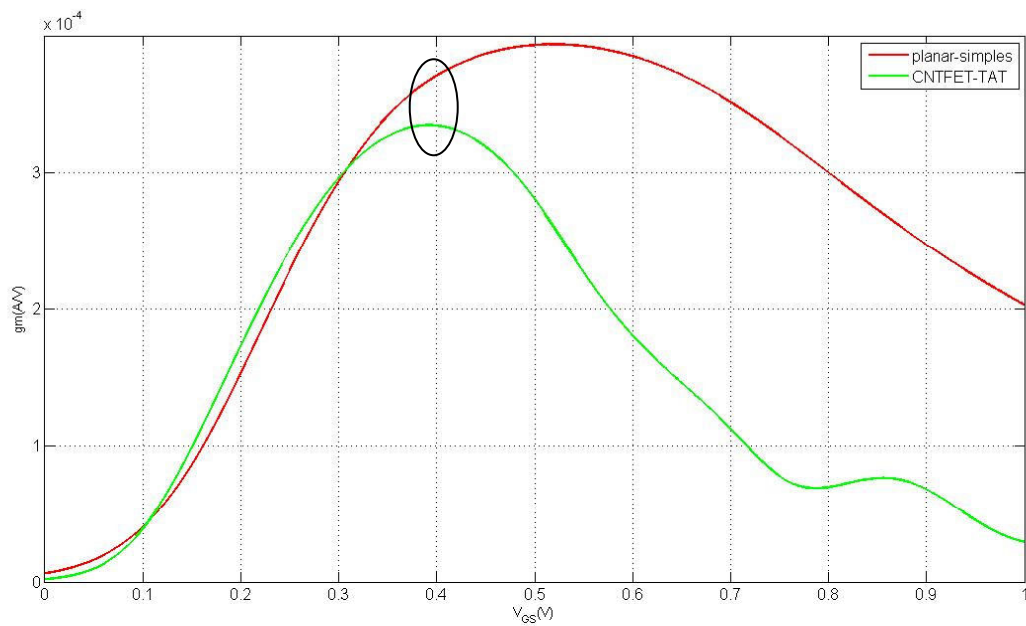


Figura 4.4 - Simulação elétrica curva $gm \times V_{GS}$ de um transistor simples tecnologia planar e uma TAT equivalente CNTFET para diversos valores de V_{GS} . $W=300\text{nm}$, $L=100\text{nm}$, $W_{un}=3,01\text{nm}$, $L_{un}=32\text{nm}$ - $ND=21$, $NS=12$, $V_{DS}=0,4\text{V}$.

4.2 FATAT - Ferramenta de otimização

A transformação de um transistor simples para uma associação trapezoidal de transistores equivalente é uma tarefa difícil. É possível encontrar varias associações trapezoidais equivalentes para um dado transistor simples em um ponto de operação. A Figura 4.5 ilustra o fluxo de projeto da ferramenta automatizada.

Para auxiliar no projeto de circuitos integrados analógicos desenvolveu-se uma ferramenta automatizada de associações trapezoidais de transistores (FATAT), que tem o objetivo de mostrar ao projetista as possíveis escolhas de ND e NS equivalentes a um dado transistor simples. Esta ferramenta é criada no software Matlab® que possui comando direto no software Hspice®.

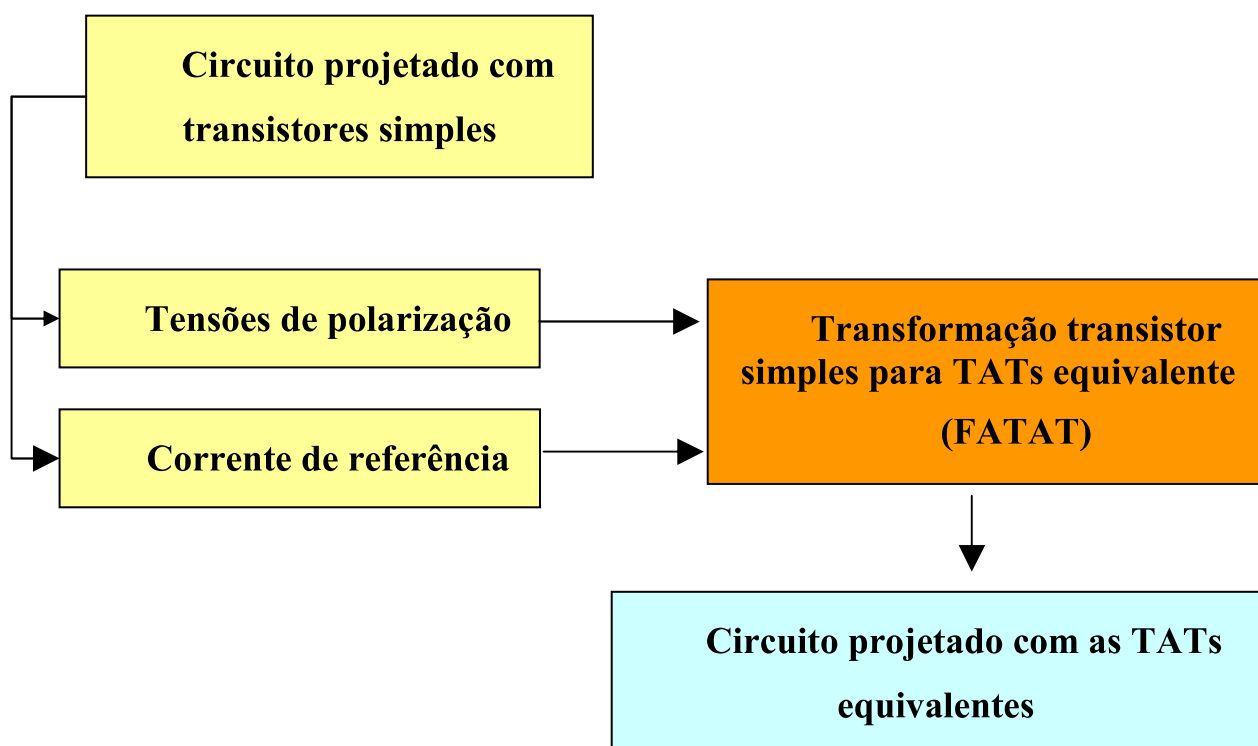


Figura 4.5 – Fluxo de conversão transistores simples para TAT equivalente.

A ferramenta baseia-se no método da bissecção, o qual realiza uma varredura em ND e NS. Foi necessário utilizar este método para poder tornar o processo mais rápido, por exemplo, para o método de simulação exaustiva para um $ND_{máx}$ de 100, teríamos como resultado aproximadamente 5050 simulações, o que, por sua vez, resultaria em várias horas de tempo de trabalho da ferramenta. A Tabela 3 mostra alguns exemplos de simulações e o tempo que levaria o projeto.

Tabela 3. Tempo de execução da ferramenta para busca exaustiva de TAT equivalente (processador Intel®Core™2 Quad 2,50GHz, RAM 8GHz, Sistema Operacional 64bits).

$ND_{máx}$	$NS_{máx}$	Total de simulações	Tempo previsto de projeto (horas)
25	24	325	4,06
50	49	1275	15,94
100	99	5050	63,13
200	199	20100	251,25

O método de simulação exaustiva levaria muito tempo para realizar as simulações, já que o programa iria executar todas as simulações possíveis de ND e NS, o que acarretaria em várias simulações desnecessárias.

A ferramenta FATAT começa realizando uma varredura nos valores de ND, ou seja, o programa inicia com um $ND_{\min}=2$ e $ND_{\max}=100$, realiza as simulações e retira da simulação o valor da corrente, depois realiza uma comparação com a corrente de referência. Com base nestes resultados, se a corrente de dreno estiver nessa faixa, entre o ND_{\min} e o ND_{\max} , o programa fica subdividindo sucessivas vezes este intervalo pelo seu ponto médio, até o intervalo entre esses limites atingir 10% de ND_{\max} . A partir deste ponto a ferramenta passa a realizar o método da bisseção para o NS, que funciona de maneira análoga. Caso o valor de corrente de ND_{\max} for menor que o valor da corrente de referência o programa incrementa mais 100 transistores para o ND_{\max} e continua incrementando até que a corrente de ND_{\max} seja maior. Só então começa o método da bisseção.

A vantagem de se utilizar o método da bisseção está no tempo de execução do programa, já que o mesmo vai de forma mais direta para a região onde a corrente das TATs vai se aproximar da corrente de referência. Para evitar que o valor de NS_{\min} não esteja na fronteira da região onde a corrente de referência se encontra, o que pode ocasionar em desconsiderações de algumas possíveis soluções, há então a necessidade que o NS_{\min} seja sempre 5 a menos do valor da última bisseção. A Figura 4.5 ilustra um exemplo de projeto onde o método da bisseção é usado em NS.

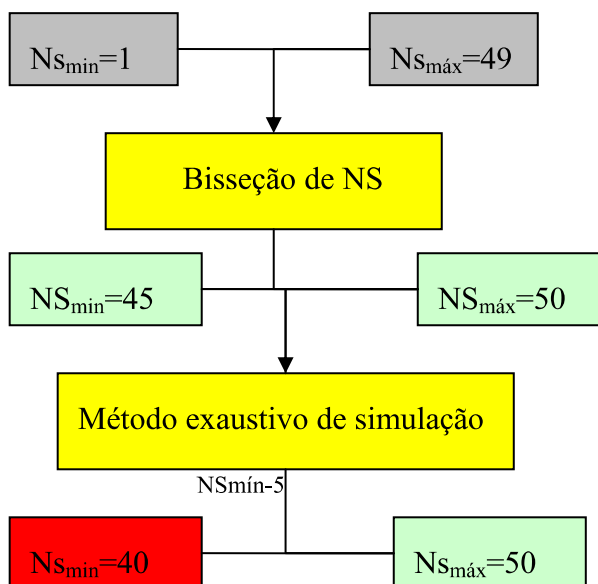


Figura 4.5 – Exemplo do método da bisseção utilizada na FATAT para NS.

A Tabela 4, mostra, para os mesmos números de ND_{\max} da Tabela 3, quanto tempo de execução que o programa levaria para encontrar soluções, utilizando o método da bisseção (estes valores poderiam variar conforme for o valor de desvio máximo dado pelo projetista).

Tabela 4. Tempo de execução da ferramenta de busca utilizando o método da bisseção para TAT equivalente (processador Intel®Core™2 Quad 2,50GHz, RAM 8GHz, Sistema Operacional 64bits).

$ND_{m\acute{a}x}$	$NS_{m\acute{a}x}$	Total de simulações	Tempo previsto de projeto (horas)
25	24	7	0,08
50	49	25	0,32
100	99	101	1,26
200	199	402	5,03

Com base na tabela acima, pode-se notar que o tempo que a ferramenta demora em encontrar TATs equivalentes cai bruscamente. Ao utilizar o método da bisseção tal ferramenta consegue realizar o processo 50 vezes mais rápido.

4.3 Projeto de um amplificador diferencial

O amplificador diferencial é um circuito integrado analógico muito versátil, podendo ter diversas aplicações. Este circuito serve normalmente como estágio de entrada para amplificadores operacionais (ALLEN, 2002) e tem como função amplificar a diferença de tensão entre suas entradas.

A Figura 4.6 mostra o esquemático de um amplificador diferencial com carga ativa. O amplificador é formado por um par diferencial (transistores M1 e M2), um espelho de corrente de carga ativa (transistores M3 e M4) e uma fonte de corrente de polarização (I_{ref}).

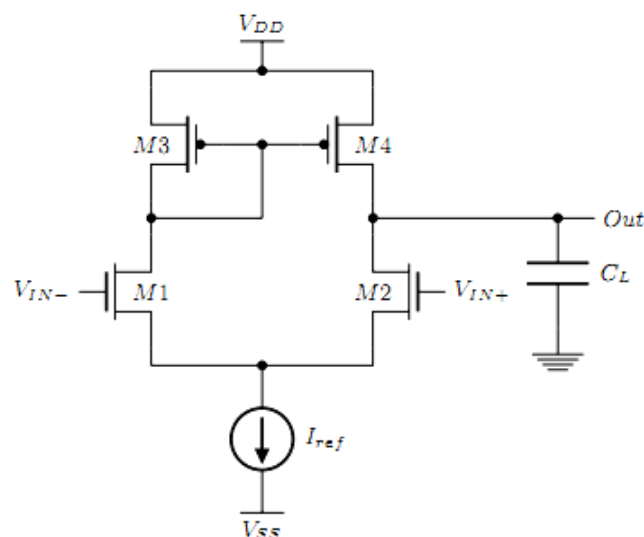


Figura 4.6 – Esquemático de um amplificador diferencial.

Os principais parâmetros do circuito levados em consideração para o projeto são: slew-rate (SR), ganho de tensão em baixa frequência (A_{v0}), produto ganho-largura de faixa (GBW) e potência dissipada (P_{diss}).

O ganho de tensão em baixa frequência é uma relação entre a tensão de entrada e de saída do circuito, sendo definido pela equação abaixo:

$$A_{vo} = \frac{gm_1}{gds_2 + gds_4} \quad (30)$$

no qual gm_1 é a transcondutância de gate do transistor M1, e gds_2 e gds_4 são as condutâncias de saída dos transistores M2 e M4. O produto ganho-largura de faixa é dado pela equação:

$$GBW = \frac{gm_1}{C_L} \quad (31)$$

na qual C_L é a capacitância de carga.

Para o cálculo do slew rate é seguida a equação:

$$SR = \frac{I_{ref}}{C_L} \quad (32)$$

na qual I_{ref} é a corrente de referência do circuito.

Para projetar um amplificador diferencial com as TATs e usando CNTFETs, partimos da premissa de que já temos o projeto pronto e validado com transistores simples para a tecnologia planar 32nm. O projeto pronto utilizado neste trabalho foi simulado e obtido pela ferramenta de síntese automática de circuitos integrados analógicos (UCAF). A Tabela 5 mostra os valores do dimensionamento dos transistores simples do amplificador diferencial encontrados pela ferramenta UCAF por simulação elétrica.

Tabela 5. Valores do dimensionamento dos transistores do amplificador diferencial projetado pela UCAF, projeto transistores simples utilizando tecnologia planar 32nm, $I_{ref}=102,3067\mu A$.

Transistores	W(m)	L(m)
M1=M2	1,309E-05	3,405E-07
M3=M4	9,143E-06	5,135E-07

Com base nestes valores foi simulado no software Hspice o circuito do amplificador diferencial para que se possa encontrar os valores de tensões de polarização e os valores das especificações do circuito. O resultado pode ser visto na Tabela 6. Na Figura 4.7 são apresentados os pontos de operação de cada transistor simples tecnologia planar.

Tabela 6. Valores das especificações do amplificador diferencial UCAF (transistores simples), utilizando $V_{DD}=0,45V$, $V_{SS}=-0,45V$ e $C_L=10pF$.

Especificações	Valores requeridos	Valores encontrados (tecnologia CMOS)
Avo	$\geq 30dB$	30,58dB
GBW	$\geq 3.3MHz$	13,71MHz

Pdiss	-	92,08 μ W
SR	$\geq 11V/\mu s$	8,23V/ μs
Margem de fase	$\geq 60^\circ$	90,32 $^\circ$

subckt	0:m1	0:m2	0:m3	0:m4
element	0:nmos	0:nmos	0:pmos	0:pmos
model	0:nmos	0:nmos	0:pmos	0:pmos
region	Saturati	Saturati	Saturati	Saturati
id	51.1567u	51.1567u	-51.1533u	-51.1533u
ibs	1.364e-24	1.364e-24	-9.109e-24	-9.109e-24
ibd	-142.7938f	-142.7909f	469.9642f	469.9672f
vgs	142.8148m	142.8148m	-459.9642m	-459.9642m
vds	132.8506m	132.8477m	-459.9642m	-459.9672m
vbs	0.	0.	0.	0.
vth	130.9795m	130.9795m	-130.8851m	-130.8851m
vdsat	72.5586m	72.5586m	-300.1225m	-300.1225m
vod	11.8353m	11.8353m	-329.0791m	-329.0791m
beta	32.1495m	32.1495m	1.0380m	1.0380m
gam eff	552.0000m	552.0000m	514.0000m	514.0000m
gm	896.2023u	896.2005u	267.3945u	267.3946u
gds	23.0112u	23.0130u	3.3062u	3.3061u
gmb	274.0058u	274.0053u	80.4299u	80.4300u
cdtot	11.4412f	11.4412f	7.7861f	7.7861f
cgtot	55.9783f	55.9783f	107.0033f	107.0033f
cstot	37.4509f	37.4509f	73.0049f	73.0049f
cbtot	48.9921f	48.9921f	39.6560f	39.6560f
cgs	28.8418f	28.8419f	96.3738f	96.3738f
cgd	5.1032f	5.1032f	3.6677f	3.6677f

Figura 4.7 – Ponto de operação dos transistores simples do circuito amplificador diferencial.

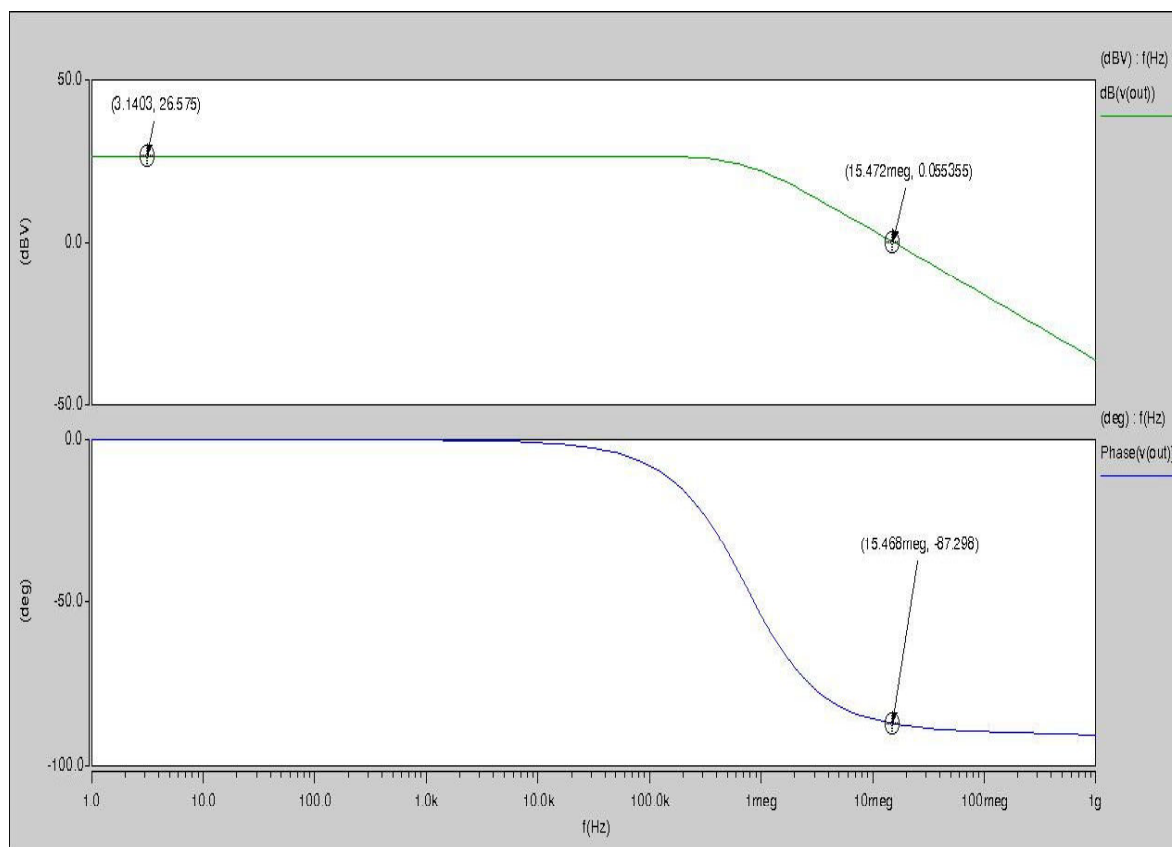
Após isso, com estas especificações das tensões de polaridade, podemos partir para a transformação do transistor simples em tecnologia planar para uma associação trapezoidal de CNTFETs com ajuda da ferramenta.

Como o amplificador diferencial é polarizado em corrente, na hora da transformação para as TATs essa corrente não poderá ser modificada. Desta maneira temos que levar em consideração a equivalência em corrente para não haver prejuízos na hora da polarização do circuito. A Tabela 7 mostra os possíveis valores de ND e NS das TATs utilizando CNTFETs para um desvio de corrente de no máximo 0,6%.

Como resultado, foi escolhido o ND e NS que tenha o menor desvio de corrente e então simulado o circuito do amplificador diferencial, utilizando as TATs. Os resultados do circuito para a versão TAT podem ser visto na Tabela 8. A análise AC (análise no domínio da frequência) foi realizada para obter o diagrama de Bode, o qual é formado pela magnitude e fase do ganho do circuito. A Figura 4.8 mostra este diagrama.

Tabela 7. Resultados das TATs para um desvio máximo de corrente de 0,6%, $W_{un}=3,01nm$ $L_{un}=32nm$.

Transistores	ND	NS	$I_D(A)$	$I_D(A)$ desvio%	$g_{ds}(A/V)$	$g_m(A/V)$
M1=M2	202	197	5,116E-05	0,010	4,746E-05	1,120E-03
	201	198	5,117E-05	0,030	4,748E-05	1,120E-03
	200	199	5,118E-05	0,046	4,750E-05	1,120E-03
	200	198	5,104E-05	0,212	4,738E-05	1,117E-03
	201	197	5,103E-05	0,230	4,735E-05	1,117E-03
	202	196	5,102E-05	0,253	4,732E-05	1,117E-03
	202	198	5,129E-05	0,271	4,759E-05	1,123E-03
	201	199	5,130E-05	0,290	4,761E-05	1,123E-03
	199	198	5,092E-05	0,455	4,727E-05	1,115E-03
	200	197	5,091E-05	0,471	4,725E-05	1,114E-03
M3=M4	201	196	5,090E-05	0,492	4,722E-05	1,114E-03
	12	7	5,093E-05	0,425	1,946E-06	1,899E-04
	17	6	5,092E-05	0,445	1,888E-06	1,889E-04
	10	8	5,143E-05	0,546	2,040E-06	1,919E-04

**Figura 4.8 – Diagrama de Bode do circuito amplificador diferencial versão TATs CNTFET.**

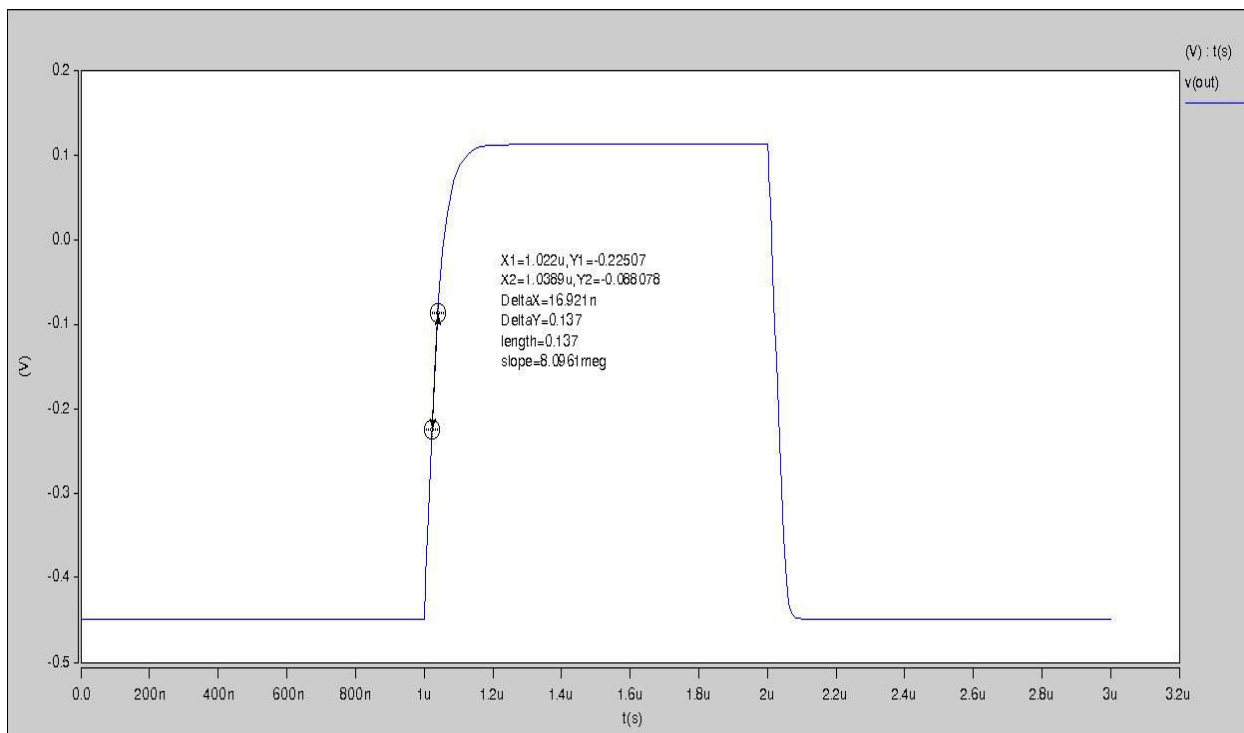


Figura 4.9 – Gráfico slew-rate amplificador diferencial versão TATs CNTFET.

A fim de descobrir o SR do circuito, foi necessário realizar uma simulação transiente, ou seja, no domínio do tempo, a qual verifica a velocidade de resposta do circuito. Para isso foi colocado um pulso na entrada. O valor encontrado está bem próximo da versão simples tecnologia planar, como mostra a Figura 4.9.

Tabela 8. Valores obtidos através da simulação elétrica para o amplificador diferencial versão TATs CNTFET.

Especificações	Valores requeridos	Versão simples (tecnologia CMOS)	Versão TAT (tecnologia CNTFET)
Avo	$\geq 30\text{dB}$	30,58dB	26,574dB
GBW	$\geq 3.3\text{MHz}$	13,71MHz	15,6MHz
Pdiss	-	92,08 μW	92,088 μW
SR	$\geq 11\text{V}/\mu\text{s}$	8,23V/ μs	8.09V/ μs
Margem de fase	$\geq 60^\circ$	90,32 $^\circ$	87,32 $^\circ$

Com base nos dois resultados, projeto simples e projeto com as TATs, percebe-se que as características elétricas estão bem próximas. A vantagem de se utilizar as TATs com CNTFETs é que a associação pode ser composta por transistores com canal mínimo, permitindo a execução de um projeto rápido utilizando-se de uma matriz de transistores pré-difundidas.

4.4 PROJETO DE UM AMPLIFICADOR OTA MILLER

O amplificador operacional de transcondutância do tipo Miller, chamado normalmente de OTA Miller (possui esta denominação por utilizar um capacitor de compensação do tipo Miller), é composto por dois estágios, sendo um estágio formado pelo amplificador diferencial e o outro por um amplificador inversor. Para interligar esses estágios, é disposto um capacitor (C_f), com a finalidade de melhorar a estabilidade do circuito (ALLEN, 2002). A Figura 4.10 mostra o esquemático do amplificador Miller.

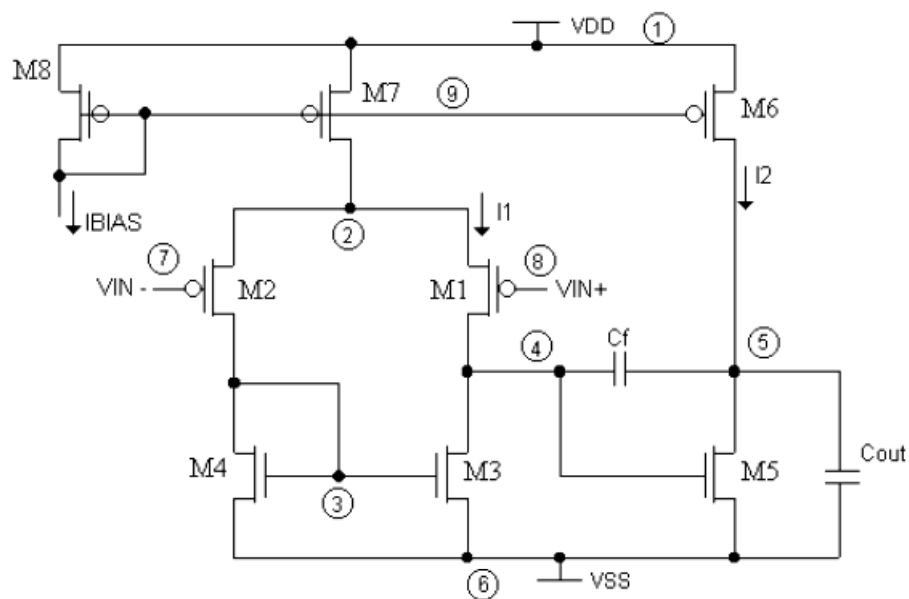


Figura 4.10 – Esquemático de um amplificador do tipo Miller.

O estágio diferencial serve como estágio de entrada na maioria dos amplificadores operacionais, formado por um par diferencial, um espelho de corrente, e um transistor que funciona como fonte de corrente. O outro estágio é um amplificador inversor com fonte de corrente (transistores M5 e M6). Com esta configuração obtemos um elevado ganho de tensão.

O ganho de tensão deste amplificador, em baixas frequências (A_{v0}) é o produto dos dois estágios:

$$A_{v0} = \frac{g_{m1}g_{m5}}{(g_{ds1} + g_{ds3})(g_{ds5} + g_{ds6})} \quad (33)$$

O produto ganho-largura de faixa (GBW) é calculado pela equação a seguir:

$$GBW = \frac{g_{m1}}{C_f} \quad (34)$$

g_{m1} é a transcondutância do transistor M1, e C_f é a capacitância de acoplamento que fica entre os dois estágios.

O slew-rate é calcula pela equação abaixo:

$$SR = \frac{I_1}{C_f} \quad (35)$$

no qual I_1 é a corrente de dreno do transistor M1.

Para o projeto do amplificador OTA Miller, partiu-se de um circuito pronto e validado pela ferramenta UCAF com transistores simples tecnologia planar 90nm. A Tabela 9 mostra os valores do dimensionamento dos transistores simples encontrados pela ferramenta UCAF.

Tabela 9. Valores do dimensionamento dos transistores do amplificador OTA Miller projetado pela UCAF, projeto transistores simples utilizando tecnologia planar 90nm, $I_{ref}=110,2\mu A$.

Transistores	W(m)	L(m)
M1=M2	2,405E-05	3,810E-06
M3=M4	3,868E-05	5,279E-07
M5=M8	1,674E-05	9,831E-06
M6	3,015E-05	2,079E-07
M7	5,683E-06	5,527E-06

Para o projeto do circuito com as TATs foi necessário simular o circuito projetado pela UCAF para serem identificados os valores de tensões de polarização, e os valores das especificações do circuito. O resultado é mostrado na Tabela 10. Na Figura 4.11 são apresentados os pontos de operação de cada transistor simples tecnologia planar.

Tabela 10. Valores das especificações do amplificador OTA Miller projeto UCAF, utilizando $V_{DD}=0,6$ $V_{SS}=-0,6V$ e $C_f=6,05pF$ $C_{out}=1pF$.

Especificações	Valores requeridos	Valores encontrados (tecnologia CMOS)
Avo	$\geq 70DB$	72,17dB
GBW	$\geq 5MHz$	8,66MHz
Pdiss	Minimizar	260,27 μW
SR	$\geq 5V/\mu s$	16,9 V/ μs
Margem de fase	$\geq 60^\circ$	116,4 $^\circ$

subckt	x1	x1	x1	x1	x1	x1
element	1:m1	1:m2	1:m3	1:m4	1:m5	1:m6
model	0:n12.1	0:n12.1	0:p12.1	0:p12.1	0:n12.1	0:p12.1
region	Saturati	Saturati	Saturati	Saturati	Linear	Saturati
id	22.5328u	22.5328u	-22.5201u	-22.5201u	46.3962u	-61.6253u
ibs	-108.6537f	-108.6537f	-3.569e-25	-3.569e-25	2.483e-23	-9.137e-25
ibd	-882.5333f	-882.5295f	337.4667f	337.4705f	-116.6251f	819.3876f
vgs	493.2182m	493.2182m	-327.4667m	-327.4667m	862.6223m	-327.4705m
vds	765.7515m	765.7477m	-327.4667m	-327.4705m	106.7818m	-809.3876m
vbs	-106.7818m	-106.7818m	0.	0.	0.	0.
vth	420.9053m	420.9053m	-276.8054m	-276.8054m	397.7419m	-273.0040m
vdsat	110.5999m	110.5999m	-98.9220m	-98.9220m	411.1086m	-102.5878m
vod	72.3129m	72.3129m	-50.6613m	-50.6613m	464.8804m	-54.4666m
beta	4.7947m	4.7947m	6.6399m	6.6399m	1.1352m	16.0957m
gam eff	400.0000m	400.0000m	400.0000m	400.0000m	400.0000m	400.0000m
gm	325.7357u	325.7357u	374.3348u	374.3349u	93.4231u	999.1176u
gds	478.9981n	478.9986n	1.6015u	1.6015u	368.2052u	9.1148u
gmb	73.1782u	73.1781u	77.9301u	77.9301u	32.7746u	208.6194u
cdtot	19.0751f	19.0751f	35.6941f	35.6940f	1.1711p	22.6967f
cgtot	989.7176f	989.7176f	212.8090f	212.8089f	3.1588p	73.6165f
cstot	616.4456f	616.4456f	144.7327f	144.7327f	1.4302p	64.8216f
cbtot	369.0414f	369.0414f	117.3353f	117.3353f	713.0338f	53.4410f
cgs	813.1152f	813.1152f	152.6219f	152.6219f	1.8816p	53.3884f
cgd	9.2990f	9.2990f	18.0628f	18.0627f	1.2956p	10.2203f

subckt	x1	x1
element	1:m7	1:m8
model	0:n12.1	0:n12.1
region	Linear	Saturati
id	61.8293u	106.0560u
ibs	4.922e-24	2.558e-23
ibd	-400.6124f	-872.6223f
vgs	862.6223m	862.6223m
vds	390.6124m	862.6223m
vbs	0.	0.
vth	397.7488m	397.7416m
vdsat	409.5730m	411.1090m
vod	464.8735m	464.8807m
beta	687.7558u	1.1352m
gam eff	400.0000m	400.0000m
gm	201.5173u	377.9462u
gds	28.9515u	918.1332n
gmb	59.0402u	107.9349u
cdtot	22.1833f	17.1576f
cgtot	480.5158f	2.4271p
cstot	308.7291f	1.6087p
cbtot	127.4847f	652.7055f
cgs	439.2484f	2.2833p
cgd	19.2821f	10.2809f

Figura 4.11 – Ponto de operação dos transistores simples para o circuito amplificador OTA Miller.

Em um segundo momento, tendo ciência das tensões de polaridade do circuito, podemos partir para a transformação do transistor simples em tecnologia planar para as TATs de CNTFETs com ajuda da ferramenta FATAT. A diferença neste projeto está na tecnologia dos transistores, uma vez que para o transistor simples a tecnologia planar foi de 90nm, já para as TATs com CNTFET foi de 32nm.

De forma análoga ao projeto do amplificador diferencial, a FATAT encontrou associações trapezoidais de transistores com equivalência em corrente de dreno ao transistor simples. A Tabela 11 mostra os possíveis valores de ND e NS das TATs utilizando CNTFETs para um desvio de corrente de no máximo 5%.

Tabela 11. Resultados das TATs para um desvio máximo de corrente de 5%, $W_{un}=3,01nm$ $L_{un}=32nm$.

Transistores	ND	NS	ID(A)desvio%	gds(A/V)	gm(A/V)
M1=M2	4	3	0,965	0,000E+00	7,432E-05
	11	2	2,673	0,000E+00	7,213E-05
	10	2	4,239	0,000E+00	7,103E-05
M3=M4	11	6	0,955	1,623E-06	1,834E-04
	10	6	4,317	1,562E-06	1,538E-04
	8	7	4,503	1,564E-06	1,544E-04
M5=M8	23	13	0,313	7,752E-06	4,349E-04
	19	15	0,607	7,152E-06	4,389E-04
	21	14	0,819	6,879E-06	4,399E-04
	17	16	1,072	7,014E-06	4,316E-04
	20	14	1,158	7,043E-06	4,312E-04
	18	16	1,666	7,214E-06	4,435E-04
	18	15	1,800	6,977E-06	4,284E-04
	20	15	2,877	7,323E-06	4,312E-04
	19	14	3,254	6,886E-06	4,221E-04
	21	13	3,628	6,879E-06	3,999E-04
	19	16	4,248	7,403E-06	4,548E-04
	23	14	4,453	7,461E-06	4,557E-04
	18	17	4,934	7,436E-06	4,578E-04
	M6	29	17	0,207	0,000E+00
23		20	0,275	0,000E+00	4,469E-04
22		21	0,815	0,000E+00	4,499E-04
27		18	1,027	0,000E+00	4,485E-04
25		19	1,069	0,000E+00	4,495E-04
22		20	1,755	0,000E+00	4,258E-04
25		18	2,062	0,000E+00	4,353E-04
27		17	2,442	0,000E+00	4,327E-04
23		19	2,520	0,000E+00	4,341E-04
23		21	2,950	0,000E+00	4,469E-04
29		16	3,601	0,000E+00	4,089E-04
29		18	3,862	0,000E+00	4,440E-04
27		19	4,354	0,000E+00	4,636E-04
22		19	4,443	0,000E+00	4,258E-04
M7	9	5	0,061	1,339E-04	3,193E-05
	7	6	0,358	1,210E-04	3,283E-05
	10	5	3,670	1,391E-04	3,294E-05
	8	5	4,360	1,279E-04	3,075E-05

O resultado escolhido está relacionado à associação trapezoidal de transistores que tenha o menor desvio de corrente. Com base nisso foi possível simular o circuito do amplificador OTA Miller novamente, porém agora com as TATs. A Figura 4.12 mostra o diagrama de Bode do circuito.

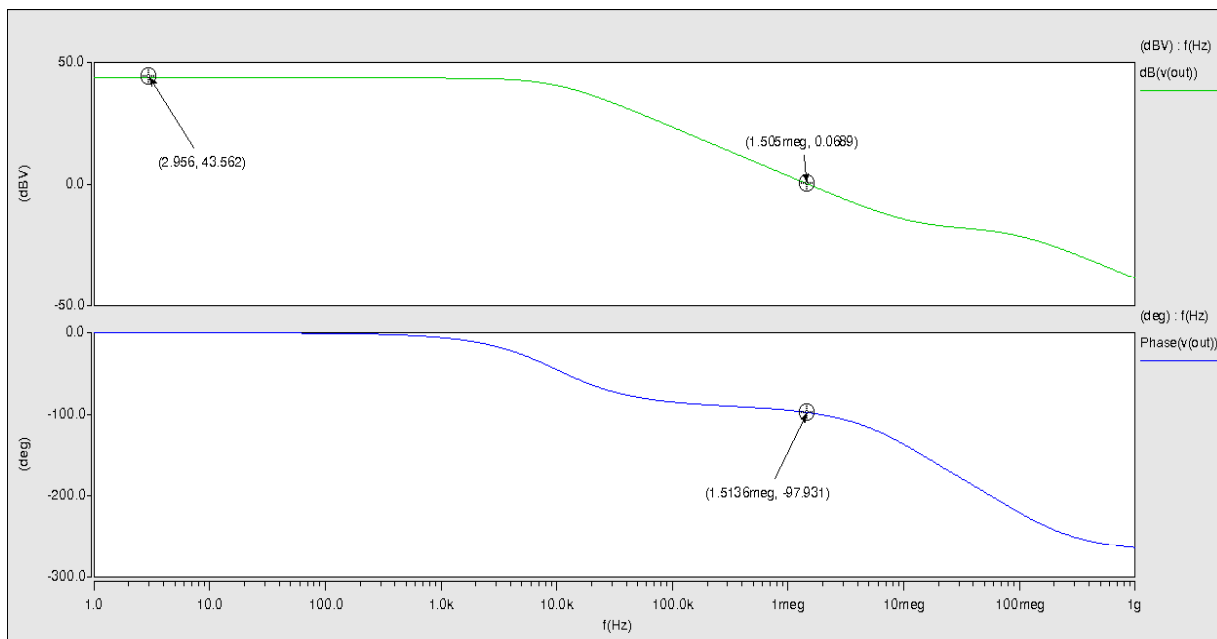


Figura 4.12 – Diagrama de Bode do circuito amplificador OTA Miller versão TATs CNTFET.

A Figura 4.13 mostra a análise no domínio do tempo, que verifica a velocidade de resposta do circuito. Os resultados apresentados mostram que a versão do circuito utilizando as TATs não atingiu as mesmas especificações da versão simples. Este fenômeno pode ser explicado porque as tecnologias são diferentes, já que os CNTFETs são de 32nm e os transistores planares 90nm. A Tabela 12 indica os valores das especificações encontradas para o circuito versão TATs.

Tabela 12. Valores obtidos através da simulação elétrica para o amplificador OTA Miller versão TATs CNTFET.

Especificações	Valores requeridos	Versão simples (tecnologia planar)	Versão TAT (tecnologia CNTFET)
Avo	$\geq 70\text{dB}$	72,17dB	43,56dB
GBW	$\geq 5\text{MHz}$	8,66MHz	1,52MHz
Pdiss	Minimizar	260,27 μW	261 μW
SR	$\geq 5\text{V}/\mu\text{s}$	16,9 V/ μs	4,7V/ μs
Margem de fase	$\geq 60^\circ$	116,4 $^\circ$	97,95 $^\circ$

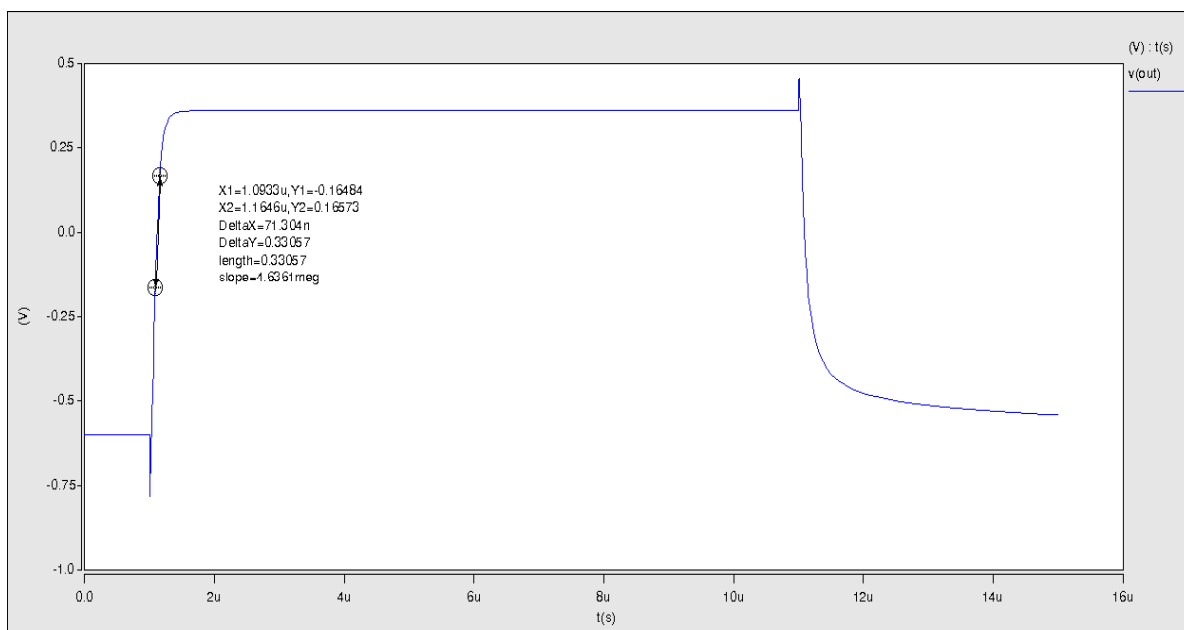


Figura 4.13 – Gráfico slew-rate amplificador OTA Miller versão TATs CNTFET.

A versão TAT do amplificador OTA Miller mostrou que a substituição de um transistor simples em tecnologia planar CMOS por uma TAT equivalente proporciona bons desempenho do circuito. Apesar do ganho em baixas frequências ter diminuído de 72dB para 43dB, ainda assim o projeto se demonstrou possível.

CONSIDERAÇÕES FINAIS

Neste documento foi apresentado o Trabalho de Conclusão de Curso, cujo objetivo é o desenvolvimento de projetos de circuitos integrados analógicos com associações trapezoidais de transistores de nanotubos de carbono.

Verificou-se que na atualidade o tema ainda é bastante interessante, devido a vantagem de transistores de comprimentos de canal mínimo na construção das associações trapezoidais, ser viável na hora de aplicações sobre matrizes de transistores regularmente espaçados.

A metodologia de projeto de circuitos integrados analógicos utilizando associações trapezoidais de transistores se mostrou válida, no entanto, o fato das especificações dos amplificadores ficarem um pouco abaixo do esperado, se deu devido às características elétricas das tecnologias serem diferentes. Também devido as TATs serem equivalentes em apenas uma determinada polarização, ou seja, não existem associações trapezoidais eletricamente equivalentes em todas as regiões de operação.

A ferramenta FATAT apresentada neste trabalho, como uma ferramenta de auxílio de projeto, proporcionou uma maneira rápida e simples de busca por associações com características semelhantes a de um transistor simples, facilitando, assim, a escolha por parte do projetista. O principal desafio visto neste trabalho foi a escolha correta de números de transistores em série paralelo para formar a associação. No entanto, este trabalho ficou restrito a equivalência em níveis de corrente.

Para trabalhos futuros, é indicado que a FATAT seja aprimorada no aspecto de geração de layout e na busca de uma relação mais detalhada de associações trapezoidais inserindo a equivalência em pequenos sinais. Também deve ser implementada uma maneira que busque o menor custo na hora de fabricação, já que os transistores de nanotubos de carbono ainda não são viáveis para a fabricação em escala comercial devido ao seu custo elevado de produção.

REFERÊNCIAS BIBLIOGRÁFICAS

- GIRARDI, Alessandro Gonçalves. **Automação do projeto de módulos CMOS analógicos usando associações trapezoidais de transistores**. Tese (Doutorado em Engenharia Elétrica) – Universidade Federal do Rio Grande do Sul, Porto Alegre-RS, 2007.
- GALUP-MONTORO, Carlos; SCHNEIDER, Márcio C.; LOSS, Itamar JB. **Series-parallel association of FET's for high gain and high frequency applications**. Solid-State Circuits, IEEE Journal of, v. 29, n. 9, p. 1094-1101, 1994.
- GIRARDI, Alessandro; BAMPI, Sergio. **Análise AC de um Amplificador Inversor Utilizando Associação Trapezoidal de Transistores MOS de Comprimento Mínimo**. In: VIII Workshop Iberchip. 2003.
- SEVERO, Lucas Compassi. **Um framework para o dimensionamento automático de blocos analógicos básicos integrados**. Trabalho de Conclusão de Curso – Universidade Federal do Pampa, Alegrete-RS, 2011.
- CHOI, Jung Hyun; BAMPI, S.; ISMAIL, M. **OTA amplifiers using the principle of trapezoidal association of transistors on a sea-of-transistors digital array**. In: **Mixed-Signal Design, 2000. SSMDS. 2000 Southwest Symposium on**. IEEE, 2000. p. 31-35.
- IJIMA, Sumio et al. **Helical microtubules of graphitic carbon**. nature, v. 354, n. 6348, p. 56-58, 1991.
- IJIMA, Sumio; ICHIHASHI, Toshinari. **Single-shell carbon nanotubes of 1-nm diameter**. 1993.
- FERREIRA O.P, **“Monografia Nanotubos de Carbono”**, website: <http://lqes.iqm.unicamp.br/images/vivencia_lqes_monografias_odair_nanotubos_carbono.pdf> Acesso em: 2013.
- DE SOUZA FILHO, Antônio Gomes; FAGAN, Solange Binotto. **Funcionalização de nanotubos de carbono**. Química nova, v. 30, n. 7, p. 1695, 2007.
- GUO, Ting et al. **Catalytic growth of single-walled nanotubes by laser vaporization**. Chemical Physics Letters, v. 243, n. 1, p. 49-54, 1995.
- OLIVEIRA, Vinicius Silva de. **Propriedades ópticas de nanopartículas de vanádio produzidas por ablação a laser**. 2013.
- BETHUNE, D. S. et al. **Cobalt-catalysed growth of carbon nanotubes with single-atomic-layer walls**. 1993.
- TONETTO, B.C.. **Estudo da utilização dos nanotubos de carbono na remoção ou detecção de defensivos agrícolas: um estudo de primeiros princípios**. Dissertação (Mestrado em Nanociências) – Centro Universitário Franciscano, Santa Maria-RS, 2011.
- TERRAZOS, L. A. **“Os Nanotubos de Carbono”** website: <www.df.ufcg.edu.br/~romulo/seminarios/Luis_Terrazos.ppt> Acesso em: 2013
- BAUGHMAN, Ray H.; ZAKHIDOV, Anvar A.; DE HEER, Walt A. **Carbon nanotubes--the route toward applications**. Science, v. 297, n. 5582, p. 787-792, 2002.
- BURKE, Peter J. **An RF circuit model for carbon nanotubes**. In: Nanotechnology, 2002. IEEE-NANO 2002. Proceedings of the 2002 2nd IEEE Conference on. IEEE, 2002. p. 393-396.

- RICCO, B. **Effects of channel geometries on FET output conductance in saturation.** *Electron Device Letters, IEEE*, v. 5, n. 9, p. 353-356, 1984.
- CHOI, Jung Hyun; BAMPI, Sergio. **Conductances and noise in trapezoidal association of transistors for analog applications using a SOT methodology.** In: *Proceedings of the XIIth conference on Integrated circuits and systems design.* IEEE Computer Society, 1999. p. 22-25.
- SEDRA, Abel S. SMITH Kenneth C., **Microeletrônica.** 2000.
- TEO, K. B. K. et al. **Carbon nanotube technology for solid state and vacuum electronics.** In: *Circuits, Devices and Systems, IEE Proceedings- IET*, 2004. p. 443-451.
- JAVEY, Ali et al. **Ballistic carbon nanotube field-effect transistors.** *Nature*, v. 424, n. 6949, p. 654-657, 2003.
- FARAMARZPOUR, Naser et al. **CMOS-based active pixel for low-light-level detection: analysis and measurements.** *Electron Devices, IEEE Transactions on*, v. 54, n. 12, p. 3229-3237, 2007.
- LEONARD, Francois; STEWART, Derek A. **Properties of short channel ballistic carbon nanotube transistors with ohmic contacts.** *Nanotechnology*, v. 17, n. 18, p. 4699, 2006
- ODINTSOV, Arkadi A. **Schottky barriers in carbon nanotube heterojunctions.** *Physical Review Letters*, v. 85, n. 1, p. 150, 2000.
- ANANTRAM, M. P.; LEONARD, F. **Physics of carbon nanotube electronic devices.** *Reports on Progress in Physics*, v. 69, n. 3, p. 507, 2006.
- DENG, Jie; WONG, H.-SP. **A compact SPICE model for carbon-nanotube field-effect transistors including nonidealities and its application—Part I: Model of the intrinsic channel region.** *Electron Devices, IEEE Transactions on*, v. 54, n. 12, p. 3186-3194, 2007.
- DENG, Jie; WONG, H.-SP. **A compact SPICE model for carbon-nanotube field-effect transistors including nonidealities and its application—Part II: Full device model and circuit performance benchmarking.** *Electron Devices, IEEE Transactions on*, v. 54, n. 12, p. 3195-3205, 2007.
- COLLINS, Philip G.; ARNOLD, Michael S.; AVOURIS, Phaedon. **Engineering carbon nanotubes and nanotube circuits using electrical breakdown.** *Science*, v. 292, n. 5517, p. 706-709, 2001.
- ZHANG, Guangyu et al. **Selective etching of metallic carbon nanotubes by gas-phase reaction.** *Science*, v. 314, n. 5801, p. 974-977, 2006.
- KRUPKE, Ralph et al. **Separation of metallic from semiconducting single-walled carbon nanotubes.** *Science*, v. 301, n. 5631, p. 344-347, 2003.
- PENG, Haiqing et al. **Dielectrophoresis field flow fractionation of single-walled carbon nanotubes.** *Journal of the American Chemical Society*, v. 128, n. 26, p. 8396-8397, 2006.
- SCHRODER, Dieter K. **Semiconductor material and device characterization.** John Wiley & Sons, 2002.
- DÜRKOP, T. et al. **Extraordinary mobility in semiconducting carbon nanotubes.** *Nano letters*, v. 4, n. 1, p. 35-39, 2004.
- ALLEN, P. E.; HOLBERG, D. R. **CMOS analog circuit design,** 2002.
- TSIVIDIS, Yannis; MCANDREW, Colin. **The MOS transistor.** Oxford University Press, 2012.

APÊNDICE A – FATAT – MÉTODO DA BISSEÇÃO

```
function [vetND,vetNS,vetId,veterro,gmTAT,gdsTAT] =
FATAT_bissec_n(dirHspice,VDS,VGS,Wun,Lun,idref,erroref)

% dbstop in 'FATAT_bissec_n.m' at 179

disp('Começando as simulações')
NDmax=100;
NSmax=NDmax-1;

[idmin] = Simula_id_TAT_n(dirHspice,VDS,VGS,2,1,Wun,Lun);

if(idref<idmin)
    disp('A corrente da menor TAT é maior que a corrente de referência')
end

%chama a função que simula a corrente de dreno
[idmax] = Simula_id_TAT_n(dirHspice,VDS,VGS,NDmax,NSmax,Wun,Lun);

flag=0;
while(idref>idmax)

    NDmax=NDmax+100;
    NSm=NDmax-1;
    [idmax] = Simula_id_TAT_n(dirHspice,VDS,VGS,NDmax,NSm,Wun,Lun);
    flag=1;
end

disp('Definido o valor maximo de ND em que idref se encontra')

if(flag==1)
    NDmin=NDmax-100
else
    NDmin=2
end

NSmin=NDmin-1;

[idmin] = Simula_id_TAT_n(dirHspice,VDS,VGS,NDmin,NSmin,Wun,Lun);

deltaND=NDmax-NDmin;

deltamax=0.1*NDmax

%método da bisseção para o ND
disp('Começando bisseção para ND')
while(deltaND>deltamax)

    NDmed=(NDmax+NDmin)/2;

    var=mod(NDmed,1);
    rest=var/1;
    if (rest>=0.5)
        n=((NDmed/1)-rest)+1;
    else n=(NDmed/1)-rest;
    end
end
```

```

        NDmed=n;

NSmed=NDmed-1;

[idmed] = Simula_id_TAT_n(dirHspice,VDS,VGS,NDmed,NSmed,Wun,Lun);

    if(idref>idmed)
        NDmin=NDmed;
        NSmin=NDmed-1;
    else
        NDmax=NDmed;
        NSmax=NDmax-1;
    end

    deltaND=NDmax-NDmin;

end

disp('Diferença entre NDmax e NDmin chegou em deltamax')
NDmax=NDmax+2
ND=NDmin+1
NSmax=ND-1;
NSmin=1;

%método da bisseção para NS
disp('Começando bisseção para NS inicial')
deltaNS=NSmax-NSmin;
while(deltaNS>10)
    NSmed=(NSmax+NSmin)/2;

    var1=mod(NSmed,1);
    rest1=var1/1;
    if (rest1>=0.5)
        m=((NSmed/1)-rest1)+1;
    else m=(NSmed/1)-rest1;
    end
    NSmed=m;

    [idmed] = Simula_id_TAT_n(dirHspice,VDS,VGS,ND,NSmed,Wun,Lun);

    if(idref>idmed)
        NSmin=NSmed;
    else
        NSmax=NSmed;
    end

    deltaNS=NSmax-NSmin;

end
NS=NSmin;
i=1;
w=1;
% k=((NDmax-1)+((NDmax-1)^2))/2;

%for ND=NDmin:1:NDmax

%começa a simulação das soluções possíveis metodo exaustivo
disp('Começo das simulações das TATs')
while(ND<=NDmax)

```

```

if (NS<=NSmax)

    [idn(w)] = Simula_id_TAT_n(dirHspice,VDS,VGS,ND,NS,Wun,Lun);
    erro=(abs((idn(w)-idref)/idref))*100;
    if(erro<=erroref)
        vetND(i)=ND
        vetNS(i)=NS
        vetId(i)=idn(w);
        veterro(i)=erro;
        i=i+1;
    end
    NS=NS+1;
else
    ND=ND+1
    NSmax=ND-1;
    NSmin=1;
    deltaNS=NSmax-NSmin;
    disp('Bisseção para NS')
    while(deltaNS>10)
        NSmed=(NSmax+NSmin)/2;

        var1=mod(NSmed,1);
        rest1=var1/1;
        if (rest1>=0.5)
            m=((NSmed/1)-rest1)+1;
        else m=(NSmed/1)-rest1;
        end
        NSmed=m;

        [idmed] = Simula_id_TAT_n(dirHspice,VDS,VGS,ND,NSmed,Wun,Lun);

        if(idref>idmed)
            NSmin=NSmed;
        else
            NSmax=NSmed;
        end

        deltaNS=NSmax-NSmin;

    end
    NS=NSmin;

end

w=w+1;

end
disp('Simulações de gm e gds das TATs')
k=length(vetND);
flag=0;
in=1;
while(in<=k)
    if(flag==0)
        if(vetND(in)==0)
            pos=in;
            flag=1;
        else
            pos=k+1;
        end
    end
end

```

```

        end
    end
    in=in+1;
end
vetND=vetND(1:pos-1);
vetNS=vetNS(1:pos-1);
vetId=vetId(1:pos-1);
veterro=veterro(1:pos-1);
j=1;
gmTAT=zeros(1,pos-1);
gdsTAT=zeros(1,pos-1);

while(j<=pos-1)
    ND=vetND(j);
    NS=vetNS(j);

    %função para simular o gm das TAT
    [gmTAT(j)] = Simula_gm_TAT_n(dirHspice,VDS,VGS,ND,NS,Wun,Lun);
    %função para simular o gds das TAT
    [gdsTAT(j)] = Simula_gds_TAT_n(dirHspice,VDS,VGS,ND,NS,Wun,Lun);
    j=j+1;
end

end

```

APÊNDICE B – FATAT – CÁLCULO DA CORRENTE DE DRENO

```
function [id] = Simula_id_TAT_n(dirHspice,VDS,VGS,ND,NS,Wun,Lun)

EscreveNetlist (VGS,ND,NS,Wun,Lun);

SimulaNetlist (dirHspice);

[id]=LeituraSimulacao (VDS);

end

%Funcao que descreve o netlist para o Hspice
function EscreveNetlist (VGS,ND,NS,Wun,Lun)

text=fopen ('Arquivos_de_simulacao\nestlistTAT.txt','w');

fprintf(text, '*subkt do TAT\n');

fprintf(text, '.include parametros.txt\n');

fprintf(text, '.subckt TAT d g s\n');
fprintf(text, 'x1 d g ns ns NCFET lch=%2.4e lgeff=100n lss=32n ldd=32n
kgate=16 tox=4n csub=40p vfbn=0 dout=0 sout=0 pitch=20n n1=m n2=n
tubes=%2.4e m=%2.4e\n', Lun,Wun,ND);
fprintf(text, 'x2 ns g s s NCFET lch=%2.4e lgeff=100n lss=32n ldd=32n
kgate=16 tox=4n csub=40p vfbn=0 dout=0 sout=0 pitch=20n n1=m n2=n
tubes=%2.4e m=%2.4e\n', Lun,Wun,NS);

fprintf(text, '.ends\n') ;
fclose(text);

%Simulação IdxVDS

text=fopen ('Arquivos_de_simulacao\IDxVDS_TAT_n.sp','w');
fprintf(text, '*simulacao IDxVDS TAT tipo n\n');
fprintf(text, '.OPTION POST=1\n');

fprintf(text, '.include nestlistTAT.txt\n');
fprintf(text, 'x1 d g s TAT\n');
fprintf(text, 'VGS g 0 %2.4e\n',VGS);
fprintf(text, 'VDS d 0 1\n');
fprintf(text, 'VS s 0 0\n');

fprintf(text, '.op\n');
fprintf(text, '.dc VDS 0 1 0.001\n');
fprintf(text, '.end\n');

fclose(text);

end

function SimulaNetlist (dirHspice)
[a,b]=system ([dirHspice ' -i Arquivos_de_simulacao\IDxVDS_TAT_n.sp -o
Arquivos_de_simulacao\IDxVDS_TAT_n.lis']);
end
```

```
%funcao que busca na simulacao o valor da corrente de dreno
function[id]=LeituraSimulacao(VDS)

x = loadsig('Arquivos_de_simulacao\IDxVDS_TAT_n.sw0');
vetVDS = evalsig(x, 'VOLTS');
ids=evalsig(x, 'I_vs');

sv=zeros(1,length(vetVDS));

for(i=1:length(vetVDS))
    sv(i)=abs(VDS-vetVDS(i));
end

[svmin,svminp]=min(sv);

id=ids(svminp);

end
```


APÊNDICE C – FATAT – CÁLCULO DE gm E gds

```
function [gm] = Simula_gm_TAT_n(dirHspice,VDS,VGS,ND,NS,Wun,Lun)

EscreveNetlist (VDS,ND,NS,Wun,Lun);

SimulaNetlist (dirHspice);

[gm]=LeituraSimulacao (VGS);

end

%funcao que descreve a simulação para o HSPICE
function EscreveNetlist (VDS,ND,NS,Wun,Lun)

text=fopen ('Arquivos_de_simulacao\neetlistTAT.txt','w');

fprintf(text, '*subkt do TAT\n');

fprintf(text, '.include parametros.txt\n');

fprintf(text, '.subckt TAT d g s\n');
fprintf(text, 'x1 d g ns ns NCFET lch=%2.4e lgeff=100n lss=32n ldd=32n
kgate=16 tox=4n csub=40p vfbn=0 dout=0 sout=0 pitch=20n n1=m n2=n
tubes=%2.4e m=%2.4e\n', Lun,Wun,ND);
fprintf(text, 'x2 ns g s s NCFET lch=%2.4e lgeff=100n lss=32n ldd=32n
kgate=16 tox=4n csub=40p vfbn=0 dout=0 sout=0 pitch=20n n1=m n2=n
tubes=%2.4e m=%2.4e\n', Lun,Wun,NS);

fprintf(text, '.ends') ;
fclose(text);

%Simulação IdxVGS

text=fopen ('Arquivos_de_simulacao\IdxVGS_TAT_n.sp','w');
fprintf(text, '*simulacao IDxVGS TAT tipo n\n');
fprintf(text, '.OPTION POST=1\n');

fprintf(text, '.include neetlistTAT.txt\n');
fprintf(text, 'x1 d g s TAT\n');
fprintf(text, 'VGS g 0 1\n');
fprintf(text, 'VDS d 0 %2.4e\n',VDS);
fprintf(text, 'VS s 0 0\n');

fprintf(text, '.op\n');
fprintf(text, '.dc VGS 0 1 0.001\n');
fprintf(text, '.end\n');

fclose(text);

end

function SimulaNetlist (dirHspice)
[a,b]=system ([dirHspice ' -i Arquivos_de_simulacao\IdxVGS_TAT_n.sp -o
Arquivos_de_simulacao\IdxVGS_TAT_n.lis']);
end
```

```

%função que busca no ponto de polarização o valor de gm
function [gm]=LeituraSimulacao (VGS)

x = loadsig('Arquivos_de_simulacao\IDxVGS_TAT_n.sw0');
vetVGS = evalsig(x, 'VÖLTS');
ids=evalsig(x, 'I_vs');
vetgm=(diff(ids)./diff(vetVGS));

sv=zeros(1,length(vetVGS));

for(i=1:length(vetVGS))
    sv(i)=abs(VGS-vetVGS(i));
end

[svmin,svminp]=min(sv);

gm=vetgm(svminp);

end

-GDS

function [gds,id] = Simula_gds_TAT_n(dirHspice,VDS,VGS,ND,NS,Wun,Lun)

EscreveNetlist(VGS,ND,NS,Wun,Lun);

SimulaNetlist(dirHspice);

[gds,id]=LeituraSimulacao(VDS);

end

%função que escreve o circuito para o HSPICE
function EscreveNetlist(VGS,ND,NS,Wun,Lun)

text=fopen('Arquivos_de_simulacao\nestlistTAT.txt','w');

fprintf(text,'*subkt do TAT\n');

fprintf(text,'.include parametros.txt\n');

fprintf(text,'.subckt TAT d g s\n');
fprintf(text,'x1 d g ns ns NCFET lch=%2.4e lgeff=100n lss=32n ldd=32n
kgate=16 tox=4n csub=40p vfbn=0 dout=0 sout=0 pitch=20n n1=m n2=n
tubes=%2.4e m=%2.4e\n',Lun,Wun,ND);
fprintf(text,'x2 ns g s s NCFET lch=%2.4e lgeff=100n lss=32n ldd=32n
kgate=16 tox=4n csub=40p vfbn=0 dout=0 sout=0 pitch=20n n1=m n2=n
tubes=%2.4e m=%2.4e\n',Lun,Wun,NS);

fprintf(text,'.ends\n') ;
fclose(text);

```

```
%Simulação IdxVDS
```

```
text=fopen('Arquivos_de_simulacao\IdxVDS_TAT_n.sp','w');  
fprintf(text, '*simulacao IdxVDS TAT tipo n\n');  
fprintf(text, '.OPTION POST=1\n');
```

```
fprintf(text, '.include nestlistTAT.txt\n');  
fprintf(text, 'x1 d g s TAT\n');  
fprintf(text, 'VGS g 0 %2.4e\n', VGS);  
fprintf(text, 'VDS d 0 1\n');  
fprintf(text, 'VS s 0 0\n');
```

```
fprintf(text, '.op\n');  
fprintf(text, '.dc VDS 0 1 0.001\n');  
fprintf(text, '.end\n');
```

```
fclose(text);
```

```
end
```

```
function SimulaNetlist(dirHspice)  
[a,b]=system([dirHspice ' -i Arquivos_de_simulacao\IdxVDS_TAT_n.sp -o  
Arquivos_de_simulacao\IdxVDS_TAT_n.lis']);  
end
```

```
%função que retira os valores de gds da simulação elétrica no ponto  
depolarização
```

```
function [gds, id]=LeituraSimulacao(VDS)
```

```
x = loadsig('Arquivos_de_simulacao\IdxVDS_TAT_n.sw0');  
vetVDS = evalsig(x, 'VOLTS');  
ids=evalsig(x, 'I_vs');  
vetgds=(diff(ids)./diff(vetVDS));
```

```
sv=zeros(1,length(vetVDS));
```

```
for(i=1:length(vetVDS))  
    sv(i)=abs(VDS-vetVDS(i));  
end
```

```
[svmin,svminp]=min(sv);
```

```
id=ids(svminp);
```

```
gds=vetgds(svminp);
```

```
end
```