

LUCAS COMPASSI SEVERO

UM FRAMEWORK PARA O DIMENSIONAMENTO AUTOMÁTICO DE BLOCOS ANALÓGICOS BÁSICOS INTEGRADOS

Trabalho de conclusão de curso apresentado como parte das atividades para obtenção do título de Engenheiro Eletricista, do curso de Engenharia Elétrica do Campus Alegrete da Universidade Federal do Pampa, área de concentração Microeletrônica.




Orientador: Alessandro G. Girardi

**ALEGRETE
2011**

Autoria: Lucas Compassi Severo

Título: Um Framework para o Dimensionamento Automático de Blocos Analógicos Básicos Integrados

Trabalho de conclusão de curso apresentado como parte das atividades para obtenção do título de Engenheiro Eletricista, do curso de Engenharia Elétrica do Campus Alegrete da Universidade Federal do Pampa, área de concentração Microeletrônica.

Os componentes da banca de avaliação, abaixo listados, consideram este trabalho aprovado.				
	Nome	Titulação	Assinatura	Instituição
1	Alessandro Gonçalves Girardi	Doutor		UNIPAMPA
2	Sidinei Ghissoni	Mestre		UNIPAMPA
3	Vinicius Jacques Garcia	Doutor	 VINICIUS JACQUES <small>Digitally signed by VINICIUS JACQUES GARCIA DN: cn=VINICIUS JACQUES GARCIA, e=BR, o=ICP-Brasil, ou= Pessoa Física A3, email=vinicius.garcia@unipampa.edu.br SN, c=BR, O=ICP-Brasil, OU=Autoridade Certificadora SERPRO/CAFI, OUMBR OU= Pessoa Física A3, CN=VINICIUS JACQUES GARCIA Date: 2011.07.13 16:14:51 -03'00'</small>	UNIPAMPA

Data da aprovação: 21 de Junho de 2011.

*“Dedico este trabalho à minha família
e à minha querida noiva Tanísia”.*

AGRADECIMENTOS

Ao nos depararmos com os momentos de conclusões de trabalhos, é de grande importância lembrar que todos os desafios e oportunidades que temos no dia-a-dia, sejam profissionais ou pessoais, nós não as vencemos sozinhos, pois sempre há alguém para, de qualquer modo, ajudar-nos a atingir nossas metas e realizarmos nossos sonhos.

Desta forma, em homenagem a todos que de alguma forma colaboraram com o desenvolvimento deste trabalho de conclusão, bem como da graduação como um todo, eu manifesto o meu sincero agradecimento.

Agradeço ao professor Alessandro Girardi pela orientação durante os 4 anos de projetos de iniciação científica junto ao Grupo de Arquitetura de Computadores e Microeletrônica (GAMA) e aos desafios em mim impostos, os quais com certeza foram de grande importância para o desenvolvimento do trabalho e para o meu processo de aprendizagem. E à Fundação de Amparo à Pesquisa do Estado do Rio Grande do Sul (FAPERGS) pelo apoio financeiro ao projeto.

Agradeço aos colegas do curso de engenharia elétrica pela companhia durante a graduação bem como na amizade destes anos.

A meus pais e minha irmã Tamirís, que em toda a minha vida estiveram sempre me apoiando e dando-me forças para seguir na batalha de concretização de um sonho.

E a minha querida noiva Tanísia que está sempre ao meu lado nestas etapas de minha vida.

O único lugar aonde o sucesso vem antes do trabalho é no dicionário.

Albert Einstein

RESUMO

Este trabalho tem como objetivo o desenvolvimento de um framework para o projeto automático de circuitos integrados analógicos básicos em tecnologia CMOS. Para o projeto automático do circuito são utilizadas as heurísticas de otimização Algoritmo Genético (GA) e *Simulated Annealing* (SA), as quais exploram o espaço de projeto de forma eficiente para encontrar soluções otimizadas que atinjam algumas especificações requeridas. Nesta otimização cada uma das soluções geradas é avaliada com base na simulação elétrica SPICE. Como metodologias de projetos na ferramenta proposta foram inseridas a metodologia direta, na qual a heurística tem as dimensões do circuito como variáveis livres, e a metodologia gm/ID, que baseia-se em uma curva dependente somente da tecnologia de fabricação.

A ferramenta foi desenvolvida em ambiente Matlab® e possui uma interface gráfica amigável ao usuário. Desta forma, o framework proposto pode ser utilizado com uma ferramenta de pesquisa onde podem ser feitas comparações na automação do projeto de circuitos integrados analógicos básicos.

Como resultados, neste trabalho são mostrados projetos de um amplificador diferencial e de um amplificador OTA Miller, onde inúmeras comparações e análises são feitas.

Palavras-chave: Circuitos Integrados Analógicos, Ferramentas de Automação do Projeto, Framework, Inteligência Artificial.

ABSTRACT

The main goal of this work is the development of a framework for automatic design of basic analog integrated circuits in CMOS technology. For the design automations are used the optimizations heuristics Genetic Algorithms (GA) and Simulated Annealing which explore the design space for searching optimized solutions that satisfy the design constraints. In this optimization the solution evaluations are performed with SPICE electrical simulations.

As design methodology, the proposal tool has the Direct Methodology where the heuristic works directly with the transistors sizes, and the gm/I_D Methodology which uses a curve that depend only by fabrication technology for the transistors sizing.

This tool was implemented in Matlab® and has a friendly graphical interface (GUI) with the human designer.

The proposed framework may be used as a tool for the researcher where several comparisons can be made in the Analog Integrated Design Automation.

As result we present the design automation of a Differential Amplifier and a Transconductance Amplifier Miller, where some comparisons and analysis are made.

Keywords: Analog Integrated Circuit, Electronic Design Automation Tool, Framework, Artificial Intelligence.

LISTA DE ILUSTRAÇÕES

FIGURA 1 – Dispositivo MOS de dois terminais (Capacitor MOS).....	22
FIGURA 2 – Regiões de operação de um dispositivo de dois terminais: (A) acumulação, (B) depleção e (C) inversão.	23
FIGURA 3 – Estrutura física de um transistor MOSFET.	24
FIGURA 4 – Curvas características: (A) $I_{DS} \times V_{DS}$ ($V_{GS}=1, 2, 3, 4$ e 5), (B) $I_{DS} \times V_{GS}$ ($V_{DS}=5V$), (C) $I_{DS} \times V_{DS}$ ($V_{GS}=5$ e $W/L=1, 2$ e 3), (D) $I_{DS} \times V_{GS}$ ($V_{DS}=5V$ e $W/L=1, 2$ e 3), (E) $g_{ds} \times V_{DS}$ ($V_{GS}=5$) e (F) $g_m \times V_{GS}$ ($V_{DS}=5$).	26
FIGURA 5 – Obtenção da Tensão de Early	27
FIGURA 6 – Fluxograma de projeto de circuito integrado analógico	29
FIGURA 7 – Típica curva $g_m/ID \times I_N$ para a tecnologia AMS $0.35\mu m$	31
FIGURA 8 – Circuito Amplificador de Ganho intrínseco.	32
FIGURA 9 – Amplificado Diferencial com Carga Ativa.	34
FIGURA 10 – Esquemático do Amplificador OTA Miller.....	37
FIGURA 11 – Circuito de simulação para a medição de Avo, GBW e PM.....	39
FIGURA 12 – Diagrama de Bode da análise AC do circuito da FIGURA 11.....	39
FIGURA 13 – Configuração para medição de ICMR com análise DC.....	40
FIGURA 14 – Relação de entrada e saída para a medição do ICMR resultante da simulação do circuito da FIGURA 13.	40
FIGURA 15 – Configuração para medição do Output Swing.	41
FIGURA 16 – Relação de entrada e saída para a medição do output swing resultante da simulação do circuito da FIGURA 15.....	41

FIGURA 17 – Circuito para medição de SR.	41
FIGURA 18 – Resposta de simulação do circuito da FIGURA 17 para medição do slew rate.	42
FIGURA 19 – Evolução da complexidade da tecnologia CMOS e das ferramentas de auxílio ao projeto (HÄGGLUND, 2003).....	44
FIGURA 20 – Evolução das ferramentas para o projeto de circuitos integrados analógicos de acordo com o grau de abstração (MARTENS, 2008).....	46
FIGURA 21 – Pseudocódigo da técnica de otimização Simulated Annealing.....	48
FIGURA 22 – Representação de um cromossomo dos algoritmos genéticos.	49
FIGURA 23 – Representação da recombinação e mutação em cromossomos binários: (A) processo de recombinação, (B) processo de mutação.....	50
FIGURA 24 – Diagrama de blocos da ferramenta proposta.....	53
FIGURA 25 – Diagrama de Blocos da Ferramenta	54
FIGURA 26 – Interface gráfica de entrada de dados e configuração.	55
FIGURA 27 – Códigos do núcleo da ferramenta: (A) execução da função, (B) código de configuração e execução da heurística.	56
FIGURA 28 – Funcionamento do bloco Núcleo da Ferramenta.....	57
FIGURA 29 – Interface gráfica de saída e apresentação dos resultados.....	58
FIGURA 30 – Arquivo de modelo de transistores MOSFET do tipo N e do tipo P, para a tecnologia AMS 0.35µm.	59
FIGURA 31 – Descrição SPICE de transistores utilizando dispositivos : (A) MOSFETs (M) e (B) subcircuitos (X).	60
FIGURA 32 – Código para a medição de especificações do circuito por simulação elétrica através da análise AC.	62

FIGURA 33 – Metodologias de Dimensionamento do Framework: (A) metodologia direta, (B) metodologia gm/I _D	65
FIGURA 34 – Código de configuração da heurística de otimização.	66
FIGURA 35 – Curva gm/ID para a tecnologia AMS 0.35μm.....	67
FIGURA 36 – Fluxograma de otimização da ferramenta com algoritmo Genético e a metodologia gm/I _D	69
FIGURA 37 – Variação do valor da restrição com relação ao valor da especificação: (A) restrição de valor mínimo, (B) restrição de valor máximo.	71
FIGURA 38 – Funções para o cálculo da função custo: (A) cálculo da função custo, (B) função de cálculo das restrições.....	73
FIGURA 39 – Curva gm/ID para a tecnologia AMS 0.35μm.....	81
FIGURA 40 – Evolução da função custo do melhor indivíduo da população: (A) projeto 1, (B) projeto 2 e (C) projeto 3.....	83
FIGURA 41 – Evolução da Função Custo do melhor indivíduo da população para o projeto em tecnologia XH0.18μm com uma população de 100 indivíduos.....	87

LISTA DE TABELAS

TABELA 1 – Especificações impostas ao projeto do Amplificador Diferencial.	76
TABELA 2 – Resultados do Projeto de um Amplificador Diferencial utilizando a Metodologia Direta (W e L) com a Variação do Número de Indivíduos da população do Algoritmo Genético.....	77
TABELA 3 – Comparação entre Algoritmo Genético e <i>Simulated Annealing</i> no Projeto de um Amplificador Diferencial, utilizando a metodologia direta (W e L).....	78
TABELA 4 – Conjunto de Especificações de Projeto de um Circuito Amplificador OTA Miller	80
TABELA 5 – Resultados obtidos com no projeto do circuito Amplificador OTA Miller para três os conjuntos de especificações.	82
TABELA 6 – Soluções Obtidas com a Execução da Ferramenta para os Três Projetos do Amplificador OTA Miller.	84
TABELA 7 – Resultados Obtidos no Projeto do Amplificador OTA Miller em tecnologia XFAB XH0.18 μ m.....	85
TABELA 8 – Resultados Obtidos no Projeto do Amplificador OTA Miller em tecnologia XFAB XH0.18 μ m, com a variação do número de indivíduos na população do GA.	86
TABELA 9 – Resultados Obtidos no Projeto do Amplificador OTA Miller em tecnologia XFAB XH0.18 μ m.....	88
TABELA 10 – Resultados Obtidos no Projeto do Amplificador OTA Miller em tecnologia XFAB XH0.18 μ m com a heurística <i>simulated annealing</i>	89
TABELA 11 – Resultados Obtidos no Projeto do Amplificador OTA Miller em tecnologia XFAB XH0.18 μ m e AMS 0.35 μ m.....	90

TABELA 12 – Resultados Obtidos no Projeto do Amplificador OTA Miller em tecnologia XFAB XH0.18 μ m e AMS 0.35 μ m com a heurística <i>simulated annealing</i>	91
---	----

LISTA DE ABREVIATURAS E SIGLAS

SPICE – Simulador com ênfase em circuitos integrados

GUI - Interface Gráfica de Usuário

MOSFET – Transistor de Efeito de Campo - Metal Óxido Semicondutor

NMOS – Transistor MOSFET do tipo N

PMOS – Transistor MOSFET do tipo P

SA – Técnica de Otimização Simulated Annealing

GA – Técnica de Otimização Algoritmo Genético

SUMÁRIO

Errata	2
Agradecimentos	5
RESUMO	7
Abstract	8
Lista de ilustrações	9
Lista de tabelas	12
Lista de abreviaturas e siglas	14
Sumário	15
1 Introdução	17
2 Projeto de circuitos integrados analógicos	20
2.1 <i>Circuitos Integrados</i>	20
2.2 <i>Tecnologia CMOS de transistores MOSFETs</i>	21
2.3 <i>Projeto de Circuitos Integrados Analógicos em Tecnologia CMOS</i>	27
2.3.1 <i>Metodologia de projeto de circuitos integrados analógicos</i>	29
2.4 <i>Amplificadores Operacionais</i>	33
2.4.1 <i>Amplificador Diferencial</i>	34
2.4.2 <i>Amplificador OTA Miller</i>	36
2.5 <i>Medição de especificações de amplificadores através da simulação elétrica</i>	38
2.6 <i>Conclusão</i>	42
3 Ferramentas de auxílio ao projeto de circuitos integrados Analógicos e Heurísticas de otimização	43
3.1 <i>Introdução</i>	43
3.2 <i>Ferramentas de Projeto Analógico</i>	44
3.3 <i>Heurísticas de Otimização no Projeto de Circuitos Integrados Analógicos</i>	46
3.3.1 <i>Simulated Annealing</i>	47
3.3.2 <i>Algoritmos Genéticos</i>	48
3.3.3 <i>Função Objetivo</i>	50
3.4 <i>Conclusão</i>	51
4 Framework para o projeto de circuitos integrados analógicos	52
4.1 <i>Introdução</i>	52
4.2 <i>Interface de Entrada de Dados e Configurações</i>	54
4.3 <i>Núcleo da Ferramenta</i>	55

4.4 Interface de Saída e Apresentação dos Resultados.....	57
4.5 Tecnologia	58
4.6 Simulador SPICE.....	61
4.7 Topologia	62
4.8 Especificações.....	63
4.9 Projeto	64
4.10 Otimização.....	67
4.11 Função Custo	69
4.12 Conclusões.....	74
5 Resultados	75
5.1 Introdução	75
5.2 Amplificador Diferencial	75
5.2.1 Automação do Projeto com GA com Populações de Tamanhos Distintos	76
5.2.2 Comparação GA e SA.....	77
5.3 Amplificador OTA Miller.....	79
5.3.1 Resultados Obtidos com a Tecnologia AMS 0.35 μ m.....	80
5.3.2 Resultados obtidos com a tecnologia XFAB XH0.18 μ m	84
5.3.3 Análise da variação do número de indivíduos na População	85
5.3.4 Comparação GA e SA em Tecnologia XH0.18 μ m	87
5.3.5 Comparação entre tecnologias de fabricação de circuitos integrados	89
5.4 Conclusão	92
6 Conclusões	93
7 Resultados de Publicações.....	94
7.1 Pesquisa Científica	94
7.1.1 Prêmios acadêmicos.....	94
7.1.2 Capítulo de livro.....	94
7.1.3 Publicações em eventos nacionais e internacionais	95
Referências bibliográficas.....	97
Apêndice A - RELATÓRIO DE EXECUÇÃO GERADO PELA FERRAMENTA NO PROJETO DE UM CIRCUITO AMPLIFICADOR DIFERENCIAL.....	100
ANEXO 1 - ARTIGO SUBMETIDO PARA PUBLICAÇÃO NO “XI MICROELECTRONICS STUDENTS FORUM - SFORUM 2011”	102

1 INTRODUÇÃO

Os responsáveis pelo desenvolvimento tecnológico da atualidade são os circuitos integrados. Não é difícil imaginar que os circuitos integrados estão presentes na grande maioria dos equipamentos que necessitam de circuitos eletrônicos. Com isso, os sistemas integrados estão presentes em todos os setores da economia. No setor primário os circuitos integrados são utilizados para a automatização das plantações agrícolas e no monitoramento de animais de pecuárias (CEITEC-SA, 2011). No setor secundário existe uma massiva utilização de circuitos para melhorar a quantidade e qualidade da produção, bem como substituir o homem em tarefas monótonas ou de risco. No setor terciário os circuitos integrados são ainda mais empregados. Entre as aplicações, se destacam as comunicações que possibilitam a troca de informações em tempo real e a área de saúde em que cada vez mais é possível de se fazer diagnósticos mais precisos e utilizar técnicas cada vez menos invasivas.

Com relação aos aspectos econômicos no mundo, a indústria de microeletrônica passou de US\$ 26 bilhões em 1986 para US\$ 256 bilhões em 2008, sendo que só no ano de 2010 o crescimento mundial do setor foi cerca de 30% (PETTEY, 2011). No Brasil, as exportações de componentes semicondutores passaram de US\$ 50 milhões em 2000 para US\$ 57 milhões em 2009 enquanto isso as importações passaram de US\$ 2 bilhões em 2000 para US\$ 3,2 bilhões em 2009, representando assim um enorme déficit na balança comercial (SWART, 2010).

Os circuitos integrados representam uma grande fatia dos recursos econômicos de um país e por isso exigem grandes desenvolvimentos e incentivos.

Os circuitos integrados são circuitos eletrônicos construídos em escalas micrométricas ou nanométricas sobre elementos semicondutores, em sua maioria silício. Estes circuitos são classificados principalmente de acordo com o tipo de sinal que trabalham. Desta forma, os circui-

tos integrados são classificados em: circuitos analógicos, digitais ou digitais e analógicos ao mesmo tempo (circuitos mistos).

Na atualidade, a maior parte dos circuitos são digitais, porém os circuitos analógicos sempre serão necessários, seja para a interface entre os sinais físicos, polarização de circuitos ou para a geração de sinais para circuitos digitais, entre outros.

Do ponto de vista de complexidade, os circuitos analógicos são mais complexos que os digitais quanto ao dimensionamento dos transistores que os compõe, pois nos circuitos digitais todos os transistores possuem tamanhos predefinidos, já para circuitos analógicos cada um dos transistores deve ser dimensionado separadamente. Quando analisado o número de transistores, os circuitos integrados digitais são mais complexos que os circuitos analógicos, pois os circuitos digitais podem possuir até alguns bilhões de transistores (STACKHOUSE, 2009) em quanto os circuitos analógicos não passam das centenas de transistores.

Segundo (GRAEB, 2007), em 2005 cerca de 75% dos circuitos integrados possuíam blocos analógicos em sua construção. Nestes chips, cerca de 20% da área são ocupadas por circuitos analógicos. Embora pouca, esta área representa 40% de todo o esforço de projeto. Além do grande esforço de projeto, as partes analógicas são responsáveis por cerca de 50% dos defeitos ocorridos no processo de desenvolvimento de um circuito integrado. Este percentual se deve basicamente ao fato de as ferramentas de automação do projeto de circuitos integrados analógicos serem pouco desenvolvidas quando comparada aos circuitos digitais. Com isso, torna-se cada vez mais necessário o desenvolvimento de ferramentas para o projeto de circuitos integrados que explorem de maneira eficiente o espaço de projeto em busca de soluções que atinjam requerimentos impostos em sua aplicação. Nestas ferramentas deve-se sempre manter o foco na miniaturização dos circuitos e na menor dissipação de potência.

O projeto de um circuito integrado analógico é dividido em três grandes partes: nível de sistema, nível de circuito e nível de leiaute (BALKIR, 2003). Estes níveis se referem à abstração do projeto, onde no primeiro nível (sistema) o circuito é tratado como um bloco funcional. No segundo nível o circuito é representado pelo esquemático de transistores e o no nível de leiaute o circuito é tratado fisicamente através do desenho do dispositivo semiconductor.

No nível de circuito, o objetivo do projeto é sempre dimensionar cada um dos transistores que compõem um dado circuito de forma a satisfazer as restrições impostas ou especificações

mínimas de projeto. Como as metodologias de projetos não são bem definidas, a qualidade do projeto manual de um circuito integrado analógico depende da experiência do projetista.

Na automação do projeto de circuitos integrados analógicos existem inúmeros trabalhos de pesquisa com o objetivo de explorar o espaço de projeto com a utilização de técnicas de otimização não-linear e de inteligência artificial (GIELEN, 2000, VYTYAZ, 2009). Nestas ferramentas comumente são utilizados simuladores elétricos tipo SPICE¹ para prover informações acerca das soluções encontradas para um dado circuito baseando-se em modelos que representam o comportamento físico do dispositivo.

Neste panorama, este trabalho tem por objetivo o desenvolvimento de uma ferramenta para o projeto de blocos analógicos integrados básicos, com objetivo de explorar o espaço de projeto e dimensionar o tamanho dos transistores utilizando para isso técnicas de otimização de inteligência artificial. Com o objetivo específico deseja-se obter um framework para a análise e comparação de metodologias, técnicas de projeto e tecnologias de fabricação.

Para a implementação foi utilizado o ambiente de processamento matemático do Matlab® e a interface gráfica GUIDE (*Graphical User Interface Design Environment*) do mesmo software para possibilitar uma interface amigável ao usuário.

Este trabalho está organizado em 4 capítulos de forma que no Capítulo 2 será abordado o projeto de circuitos integrados analógicos em tecnologia CMOS (Metal Óxido Semicondutor Complementar), onde serão analisadas as técnicas e metodologias de projeto, bem como os blocos analógicos básicos que serão implementados na ferramenta. O capítulo 3 relata as ferramentas de CAD para circuitos integrados analógicos existentes e também apresenta as técnicas de otimização que serão utilizadas na ferramenta desenvolvida. O capítulo 4 trata do desenvolvimento do projeto, onde todas as partes do framework serão declaradas bem como o funcionamento de cada parte. O capítulo 5 trata da análise e comparação dos resultados encontrados com a ferramenta. Finalmente, o capítulo 6 apresenta as conclusões e recomendações de trabalhos futuros.

¹ Simulador tipo SPICE são simuladores elétricos com ênfase em circuitos integrados

2 PROJETO DE CIRCUITOS INTEGRADOS ANALÓGICOS

2.1 Circuitos Integrados

Os circuitos integrados são sistemas eletrônicos construídos em escalas micrométricas e nanométricas sobre elementos semicondutores. Existem inúmeras tecnologias de fabricação de circuitos integrados, sendo que a mais utilizada atualmente é a tecnologia com transistores CMOS, que será detalhada no decorrer deste trabalho.

Os circuitos integrados, quanto ao seu tipo, dividem-se em três grandes grupos: circuitos digitais, circuitos analógicos e circuitos mistos. Os circuitos digitais são os que trabalham com sinais discretos em tempo e amplitude, como processadores, memórias, entre outros. Os circuitos analógicos trabalham com sinais contínuos em amplitude e tempo. São exemplos destes circuitos que fazem a interface entre os sinais físicos do mundo real e os circuitos de processamento digital, como amplificadores, filtros, conversores analógico-digitais e digital-analógicos, entre outros. O terceiro tipo de circuitos trata-se de circuitos que possuem tanto partes analógicas como digitais em um único chip. Entre as suas aplicações estão os circuitos de rádio frequência, que possuem uma parte digital para a comunicação de dados e uma parte analógica para a modulação e amplificação do sinal de RF (LEE, 2003).

Este trabalho está focado no projeto de circuitos integrados analógicos, desta forma os demais tipos de circuitos não serão abordados no decorrer do trabalho.

2.2 Tecnologia CMOS de transistores MOSFETs

O termo CMOS tem seu nome derivado de Metal Óxido Semicondutor Complementar, pois se refere à composição construtiva do seu elemento principal que são os transistores MOSFETs (Transistor de Efeito de Campo Metal Óxido Semicondutor).

Quanto ao tipo do transistor o mesmo se deve ao tipo de dopagem do material semicondutor, ou seja, se for utilizados dopantes que resultam na sobra de elétrons na camada de valência do semicondutor eles são chamados de material do tipo N e os que resultam na falta de elétrons na camada de valência são chamados de elementos do tipo P, dando origem a transistores MOFETs do tipo N e do tipo P.

Os transistores MOSFETs foram inventados em 1960 pelos pesquisadores do Bell Labs nos Estados Unidos (RITCHIE, 1993) e a partir desta época foram os responsáveis pelo desenvolvimento tecnológico da era eletrônica e da informação. Atualmente, a utilização de transistores MOSFETs em circuitos integrados analógicos é dominante sobre o seu antecessor, o Transistor Bipolar de Junção (TBJ), que segundo (SCHNEIDER, 2010) possui características importantes para circuitos analógicos.

O nome MOS, se refere ao fato de o transistor fundamental ser formado por três camadas chamadas: Metal, Óxido e Semicondutor. Atualmente a camada de metal foi substituída por silício policristalino (polisilício), silício altamente dopado que apresenta características de um condutor.

Pela forma construtiva do dispositivo, havendo uma diferença de potencial entre o polisilício e o semicondutor, o dispositivo comporta-se como um capacitor de placas paralelas, de forma que se a tensão no polisilício for maior que a região do semicondutor, a camada acima do isolante apresentará cargas elétricas positivas e parte abaixo do isolante apresentará cargas negativas. O terminal de polisilício é comumente chamado gate, a região de carga negativa abaixo do isolante é chamada de canal e o semicondutor é chamado de substrato. Este dispositivo MOS possui dois terminais, gate e substrato.

Assumindo um dispositivo MOS com substrato do tipo P, colocando contatos ôhmicos entre os dois terminais e tomando como referência o terminal do substrato, como mostrado na FIGURA 1, haverá no terminal de gate um potencial elétrico negativo devido ao material utilizado para a construção do gate, conforme ilustra a parte A da FIGURA 2. Este potencial de-

pende do material utilizado ou da função trabalho deste material (TSIVIDIS,2010). Nesta condição diz-se que o dispositivo esta operando na região de acumulação.

Ao aumentar o valor da tensão de gate chega-se a um ponto em que o potencial na superfície inferior do canal torna-se zero, ou seja, não existem mais cargas elétricas na região inferior ao isolante. Nesta condição o valor de tensão de gate é chamado de tensão de banda planar ou tensão de *flat band* (V_{FB}) (TSIVIDIS,2010). Para valores de tensão de porta maiores que V_{FB} ocorre a formação de uma região de depleção abaixo do isolante, conforme mostra FIGURA 2-B.

Ao aumentar ainda mais a tensão de gate a região do canal começa a se formar. Quando a tensão de gate atinge um valor chamado de limiar (V_T), o dispositivo passa a operar na região de inversão. O termo inversão se deve ao fato de uma região ocupada por portadores majoritários (no caso buracos) a partir de certo ponto torna-se ocupada por portadores minoritários (elétrons), ou seja, ocorre uma inversão de carga nesta região, conforme mostra a parte C da FIGURA 2. Quanto maior for a tensão de gate do transistor nesta região, diz-se que o transistor está mais fortemente invertido.

Devido a estes comportamentos, a capacitância equivalente de um dispositivo de dois terminais é basicamente a associação série de uma capacitância constante do óxido isolante (C_{ox}), que depende da permissividade do óxido e da sua espessura, e uma capacitância do substrato devido ao aparecimento de uma região de depleção no substrato.

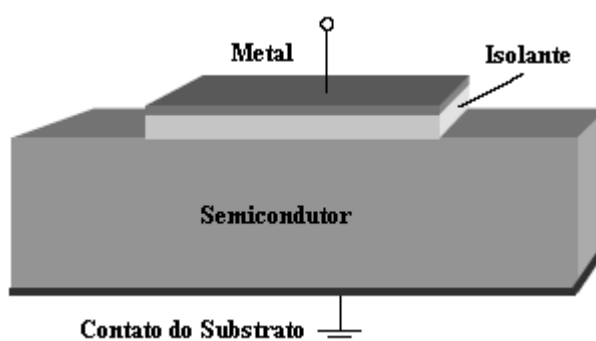


FIGURA 1 – Dispositivo MOS de dois terminais (Capacitor MOS)

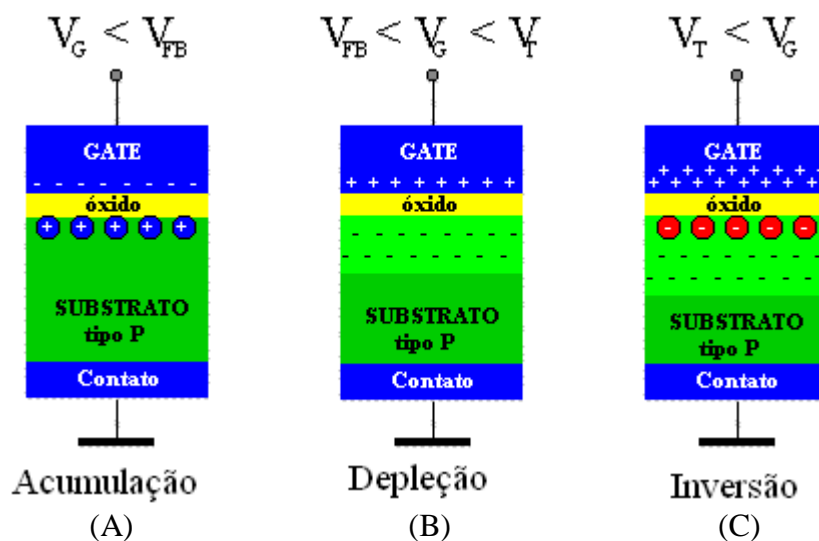


FIGURA 2 – Regiões de operação de um dispositivo de dois terminais: (A) acumulação, (B) depleção e (C) inversão.

O dispositivo MOSFET além dos dois terminais (gate e substrato) apresenta mais dois terminais denominados de source e dreno os quais conectam as extremidades da região do canal através de regiões de difusão, conforme mostra a FIGURA 3. Utilizando a aproximação do canal gradual (SCHNEIDER, 2010), pode-se simplificar o funcionamento de um transistor MOSFET. Esta aproximação diz que a tensão de gate controla a carga presente no canal do dispositivo e a diferença de tensão entre os terminais de Dreno e Fonte controla o fluxo de corrente elétrica no canal. Segundo (SCHNEIDER, 2010), para modelar um transistor real, a partir da aproximação do canal gradual, devem ser acrescentados componentes que modelam transistores de canal curto e efeito da saturação de portadores na região do canal, entre outros.

Como pode ser visto na FIGURA 3, o MOSFET é um dispositivo simétrico, ou seja, a região de difusão de dreno é idêntica à região de fonte. Assim, o nome source ou dreno é uma mera questão de referência. Como referência adota-se para transistores do tipo N o source como sendo o terminal de menor potencial, e no tipo P é o de maior potencial.

Nesta figura, pode ser visto que o canal do transistor possui um valor de largura W e um valor de comprimento L . O tamanho do canal influencia diretamente na quantidade de carga elétrica presente no canal e por isso influencia em todas as características elétricas do dispositivo. Esta influência pode ser analisada com a Equação 1 que modela, de maneira simplificada, a corrente elétrica que flui entre os terminais de dreno e source e depende dos parâmetros da tecnologia (K'), da tensão de limiar (V_T), das tensões terminais V_{GS} e V_{DS} e das dimensões do canal do transistor (W e L).

Nesta Equação, percebe-se que a corrente é proporcional a largura do canal (W) e inversamente proporcional ao comprimento do canal (L), ou seja, a corrente é diretamente proporcional a relação W/L . As dimensões W e L são as únicas variáveis livres no projeto de um transistor MOSFET.

$$I_{DS} = \begin{cases} K' \frac{W}{L} \left[V_{GS} - V_T - \frac{V_{DS}}{2} \right] V_{DS} & : V_{DS} < V_{GS} - V_T \\ K' \frac{W}{2L} (V_{GS} - V_T)^2 & : V_{DS} \geq V_{GS} - V_T \end{cases} \quad (1)$$

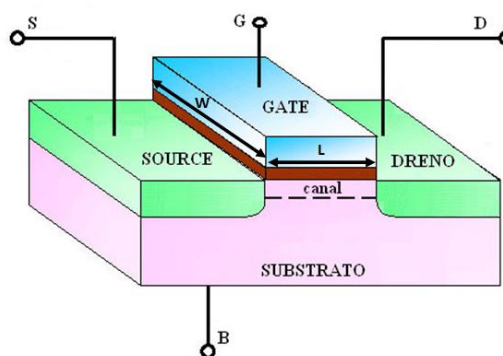


FIGURA 3 – Estrutura física de um transistor MOSFET.

Para analisar o comportamento de um dispositivo MOSFET, podem-se utilizar duas curvas características. Estas curvas relacionam a corrente que flui entre os terminais de dreno e source (I_{DS}) com as tensões terminais V_{GS} e V_{DS} . As curvas características de um transistor NMOS estão mostradas na

FIGURA 4. Na parte (A) desta figura, podem-se verificar as três regiões de operação de um transistor MOSFET, região de corte ($I_{DS}=0A$), região linear ou de triodo (I_{DS} varia linearmente com V_{DS}) e região de saturação (I_{DS} aproximadamente constante). Na

FIGURA 4 – (B) é possível visualizar que I_{DS} é nulo para tensões V_{GS} menores que a tensão de limiar (V_T), para V_{GS} maior que V_T a corrente I_{DS} aumenta quadraticamente com a tensão V_{GS} . Na

FIGURA 4 - (C) e (D) verifica-se que a corrente I_{DS} varia linearmente com a relação W/L , pois como mostrado na Equação 1 a corrente I_{DS} é proporcional a W/L .

Nas curvas características, verificam-se a variação da corrente I_{DS} com as tensões V_{GS} e V_{DS} , variações estas que são importantes quando são analisadas variações de pequenos sinais no dispositivo. As variações de I_{DS} devido a V_{GS} e V_{DS} são denominadas de transcondutância de gate (gm) e condutância de saída (gds) e são calculadas com as Equações (2) e (3), como as derivadas parciais da corrente I_{DS} . Na

FIGURA 4 – (E) e (F) estão mostradas curvas típicas de gm e gds .

$$gm = \frac{\partial I_{DS}}{\partial V_{GS}} \quad (2)$$

$$gds = \frac{\partial I_{DS}}{\partial V_{DS}} \quad (3)$$

No comportamento analisado anteriormente, considerou-se que quando o transistor estiver operando em saturação ($V_{DS} \geq V_{GS} - V_T$) a corrente de dreno, na curva característica $I_{DS} \times V_{DS}$, estabiliza-se em um valor de saturação dado pela Equação 1. Porém, na condição de saturação ocorre um efeito denominado de *pinch-off* que caracteriza-se pela redução no comprimento efetivo do canal. Assim, como o comprimento efetivo do canal é reduzido, a corrente tende a aumentar. Este aumento na corrente é relacionado com um parâmetro denominado de tensão de Early. A tensão de Early é obtida como a tensão V_{DS} em que a reta dada pela inclinação da corrente de dreno em saturação ultrapassa o eixo de corrente I_{DS} igual à zero, conforme ilustra a FIGURA 5. Outra forma para se obter a tensão de Early é utilizar a seguinte equação:

$$VA = \frac{I_{DS}}{gds} \quad (4)$$

Nesta Equação, toma-se o valor de VA na região em que o dispositivo opera em saturação.

Como a inclinação do aumento de corrente I_{DS} em saturação é caracteriza-se pela redução no comprimento efetivo do canal do transistor, este efeito tende a ser reduzido com o aumento do comprimento do transistor, pois a variação no comprimento devido ao *pinch-off* torna-se percentualmente menos influente para transistores de canal longo.

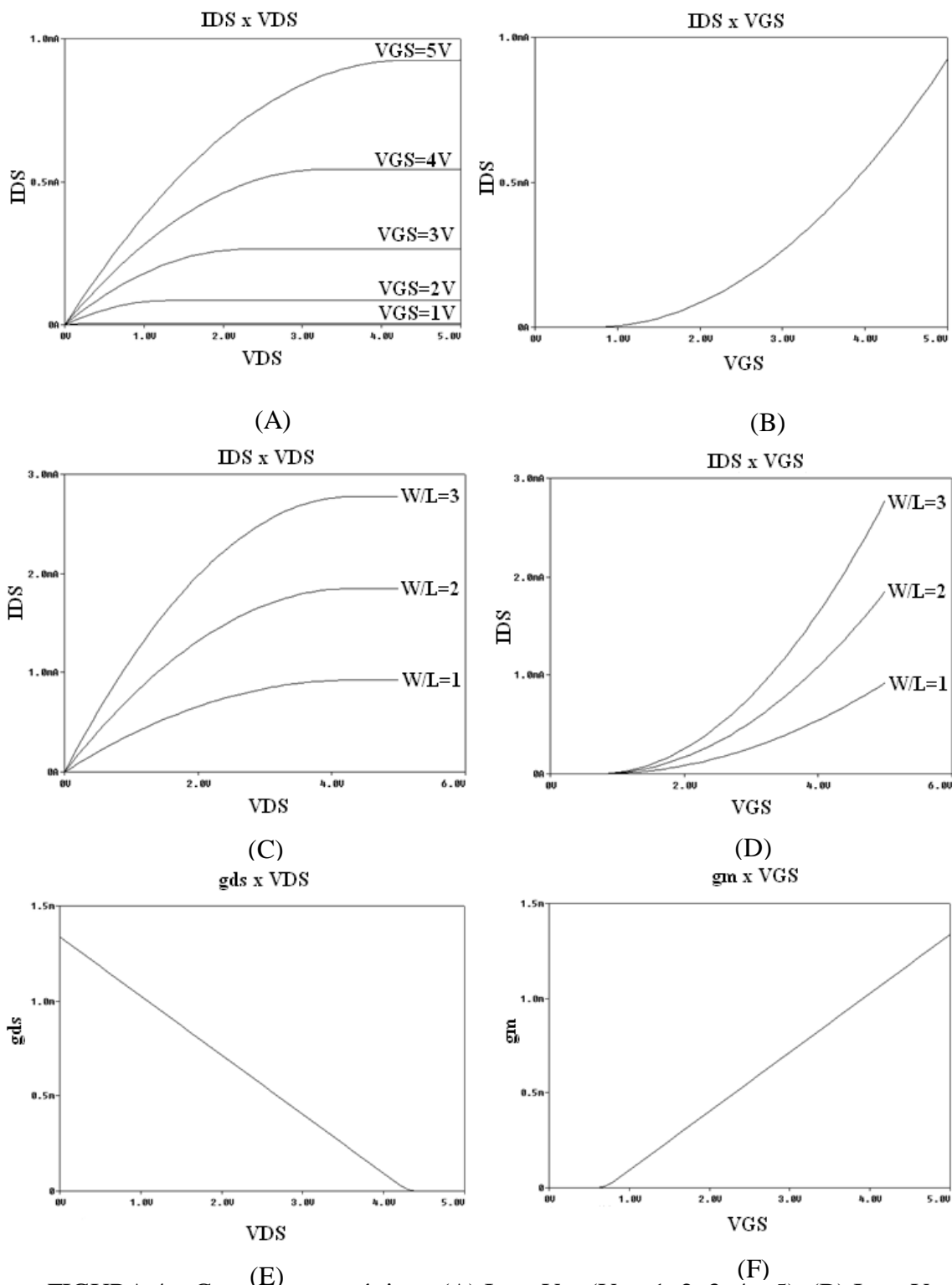


FIGURA 4 – Curvas características: (A) $I_{DS} \times V_{DS}$ ($V_{GS}=1, 2, 3, 4$ e 5), (B) $I_{DS} \times V_{GS}$ ($V_{DS}=5V$), (C) $I_{DS} \times V_{DS}$ ($V_{GS}=5$ e $W/L=1, 2$ e 3), (D) $I_{DS} \times V_{GS}$ ($V_{DS}=5V$ e $W/L=1, 2$ e 3), (E) $g_{ds} \times V_{DS}$ ($V_{GS}=5$) e (F) $g_m \times V_{GS}$ ($V_{DS}=5$).

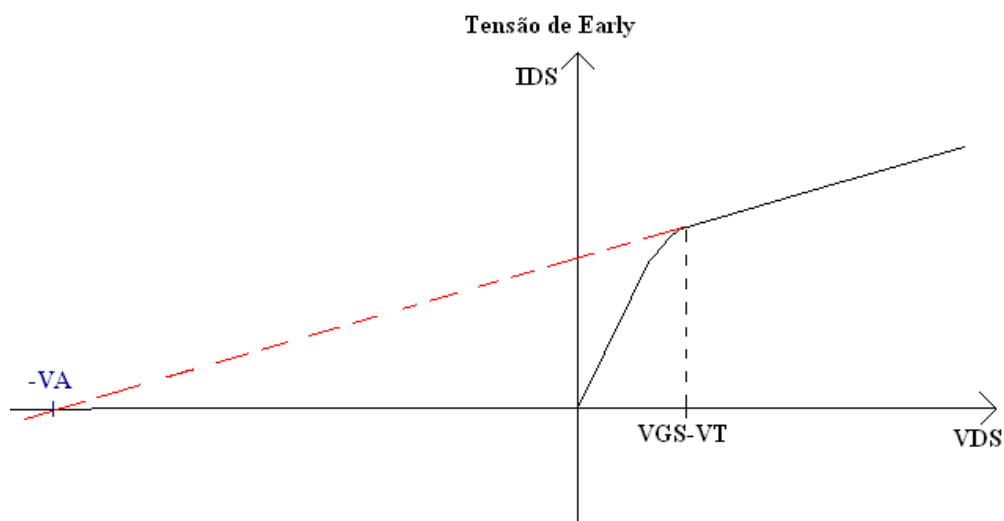


FIGURA 5 – Obtenção da Tensão de Early

Para a modelagem matemática de um transistor MOSFET é importante basear-se em equações que tenham parâmetros que possuam embasamento físico consistente. Desta forma, o objetivo de um bom modelo matemático é basicamente encontrar os fenômenos físicos que realmente influenciam no comportamento do dispositivo. Outra característica interessante é que o modelo preserve a simetria entre source e dreno do transistor e tenha como referência de tensão o terminal de substrato. Esta e outras características são encontradas no modelo ACM (MONTORO, 2007) o qual modela o dispositivo MOSFET baseando-se na carga do canal do dispositivo.

Também existem modelos que aproximam o comportamento real do dispositivo utilizando parâmetros físicos e uma série de parâmetros de ajuste de curva, de forma a aproximar o comportamento físico do dispositivo sem um embasamento físico consistente. Este tipo de modelo pode apresentar na ordem de cem parâmetros. Um exemplo deste tipo de modelo é o modelo BSIM 3 (MORSHED, 2011).

2.3 Projeto de Circuitos Integrados Analógicos em Tecnologia CMOS

O projeto de um circuito integrado analógico, segundo (BALKIR, 2003), pode ser dividido em três níveis de abstração: nível de sistema, nível de circuito e nível de layout. No Nível de sistemas um circuito analógico é tratado como um bloco funcional e por isso é o nível de maior abstração de projeto, pois é somente importante a função do bloco. Neste nível são definidas as especificações mínimas que o circuito deve ter para desempenhar a sua função. No

nível de circuito o nível de abstração é intermediário, pois neste nível o bloco é tratado como um esquemático de transistores, os quais devem ser dimensionados de acordo com as especificações dadas pelo nível de sistema. Finalmente, no nível mais baixo de abstração, nível de layout, é apresentado o desenho físico do circuito integrado. Para este nível são utilizados os tamanhos dos transistores calculados no nível anterior e levado em conta algumas restrições de desenho dadas pela fábrica de circuitos integrados (*Foundry*) que irá implementar o projeto em silício ou por restrições que afetam as especificações do circuito.

Na FIGURA 6, está mostrado um típico fluxo de projeto de circuitos integrados analógicos, onde os primeiros dois blocos pertencem ao nível de sistema. Neste nível são especificados os requerimentos de projeto desejado, e baseando-se nestes a topologia de circuito é escolhida. Já no nível de circuito a topologia escolhida é dimensionada utilizando-se uma metodologia de projeto manual, que será tratada na próxima seção, de forma a se obter uma solução inicial para o projeto. Baseando-se na simulação SPICE do circuito, as especificações são medidas e comparadas com os valores requeridos. Se os valores requeridos foram satisfeitos, passa-se então para o nível de leiaute. Caso as especificações não sejam atingidas deve-se retornar ao dimensionamento e ajustar os valores ou até mesmo retornar ao nível de sistema e escolher uma nova topologia de circuito que consiga atender às especificações requeridas.

Em nível de leiaute, tendo-se as dimensões dos transistores, deve-se desenhar os transistores obedecendo-se algumas regras de projeto e também técnicas de desenho com o objetivo de não prejudicar as especificações do circuito (HASTINGS, 2005). A partir do leiaute é extraído um circuito que contém todas as componentes parasitas, como capacitâncias e resistências, que ocorrem devido as resistências elétricas dos materiais e das sobreposições de camadas que compõem o leiaute de um circuito integrado. Após isso se deve, novamente, simular o circuito e comparar as especificações requeridas. Caso os resultados sejam satisfatórios o circuito está projetado, caso contrário, pode-se ajustar o desenho do leiaute, ajustar em nível de circuito o dimensionamento ou até mesmo em nível de sistema adotar outra topologia de circuito de forma a atingir todos os requerimentos desejados.

Este trabalho está focado no segundo nível de abstração, nível de circuito. Como dito anteriormente, a tarefa do projeto em nível de circuito é basicamente dimensionar cada um dos transistores que compõem o circuito integrado baseando-se nas especificações requeridas para

o projeto. Este dimensionamento se dá de forma a calcular as dimensões W (largura) e L (comprimento) do canal do transistor.

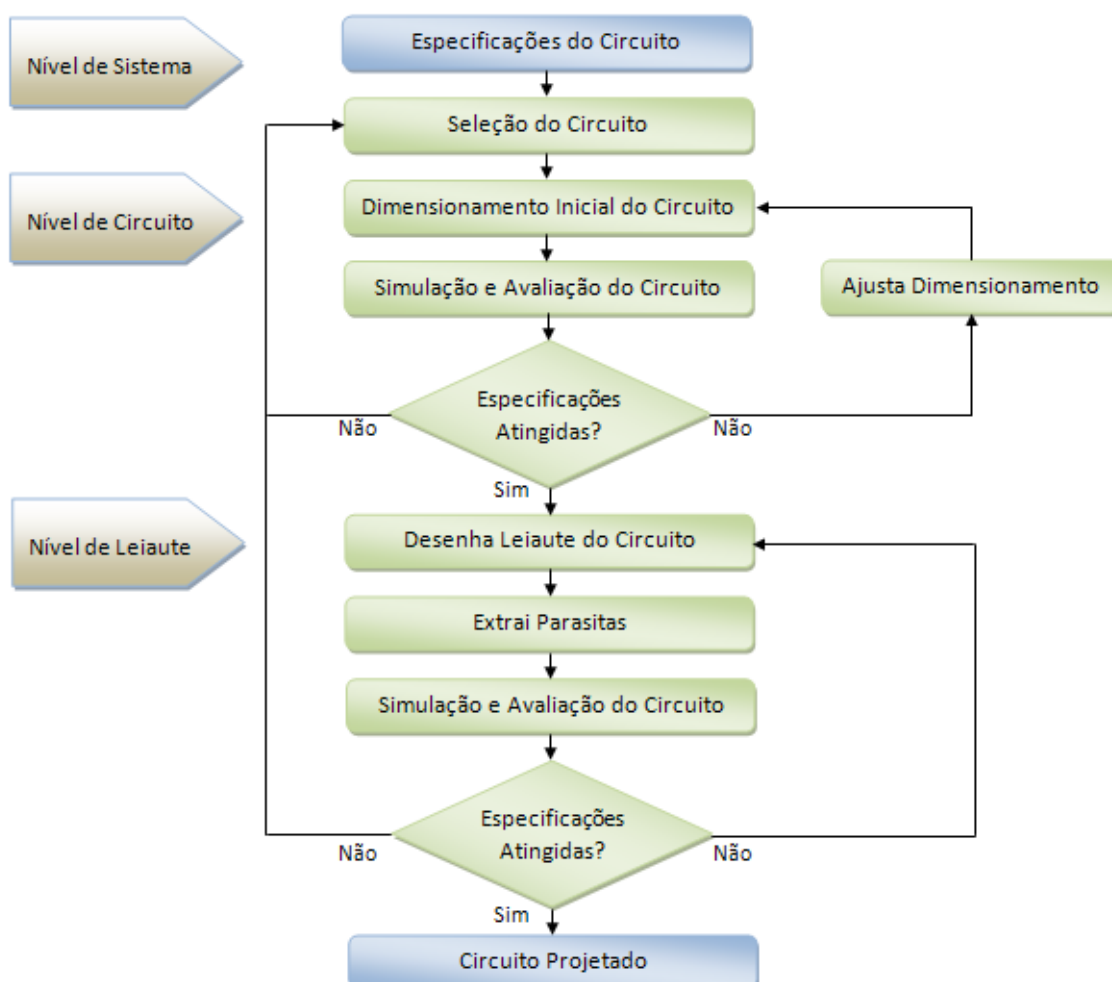


FIGURA 6 – Fluxograma de projeto de circuito integrado analógico

2.3.1 Metodologia de projeto de circuitos integrados analógicos

Em nível de circuito o fluxo de projeto necessita de uma metodologia para o dimensionamento dos transistores. Metodologia esta que relaciona os valores requeridos para as especificações com o tamanho dos transistores dos transistores que mais afetam as especificações.

Porém muitas vezes devido à dificuldade em dimensionar os transistores, bem como de haver inúmeras soluções possíveis, ou também pelo fato de um espaço de projeto altamente

restrito, encontrar uma solução para o circuito não é direta, necessitando assim inúmeros redimensionamentos. Neste contexto diz-se, que a qualidade de um projeto manual de circuitos analógicos muitas vezes está relacionada com a experiência do projetista, o que faz com que sejam necessários muitos anos de prática para o projeto de bons circuitos.

(ALLEN,2002) apresenta uma série de passos para o projeto manual de algumas topologias de circuitos analógicos. Seguindo esta metodologia e utilizando-se equações simplificadas que modelam o comportamento do circuito, chega-se a uma solução inicial para o circuito que muitas vezes não satisfaz as especificações requeridas. Assim, deve-se verificar os transistores que afetam mais a especificação não atingida para fazer neste um ajuste fino. Estes ajustes muitas vezes afetam outras especificações, o que torna o projeto uma sequência de ajustes.

Outra metodologia de projeto manual é proposta por (SILVEIRA, 1996), chamada de metodologia gm/ID, na qual é utilizada uma curva como base para o dimensionamento dos transistores. Esta curva relaciona a transcondutância de gate pela corrente de dreno do transistor (gm/I_D) versus a corrente normalizada (I_N). A corrente normalizada (I_N) é dada pela divisão da corrente de dreno (I_D) pela relação W/L.

Como esta curva está relacionada a uma corrente normalizada, ela é única para uma dada tecnologia. Assim sendo, não depende das dimensões dos transistores e pode ser utilizada como base para o dimensionamento. Uma típica curva $gm/I_D \times I_N$ é mostrada na FIGURA 7.

O funcionamento desta metodologia se dá da seguinte forma: pelas especificações requeridas no projeto se obtém a transcondutância (gm) e a corrente de dreno (I_D) necessárias para satisfazer a especificação. Tomando a relação gm/I_D com os valores obtidos, utiliza-se a curva da $gm/I_D \times I_N$ para obter o valor de I_N relacionado ao valor gm/I_D . Com o valor de I_N a relação W/L do circuito é obtida pela expressão (5). Tendo-se a relação W/L, pode-se ajustar o valor de L e obter o W até que as especificações sejam atingidas.

$$\frac{W}{L} = \frac{I_D}{I_N} \quad (5)$$

A metodologia gm/I_D tem um embasamento físico interessante pelo fato de o valor gm/I_D representar o grau de eficiência do transistor, de forma que quanto maior for este valor maior será a transformação de uma variação na tensão de gate em uma variação de corrente de dreno.

Outra característica interessante é fato do valor de gm/I_D estar relacionado ao nível de inversão dos transistores, de maneira que valores pequenos de gm/I_D indicam inversão forte e valores grandes indicam inversão fraca conforme pode ser visto na FIGURA 7. Neste mesmo contexto uma característica interessante é que com esta metodologia os transistores podem ser polarizados na região de inversão moderada, sendo que este tipo de polarização dificilmente é conseguido com as técnicas propostas por (ALLEN, 2002), conforme relata (CORTES, 2003).

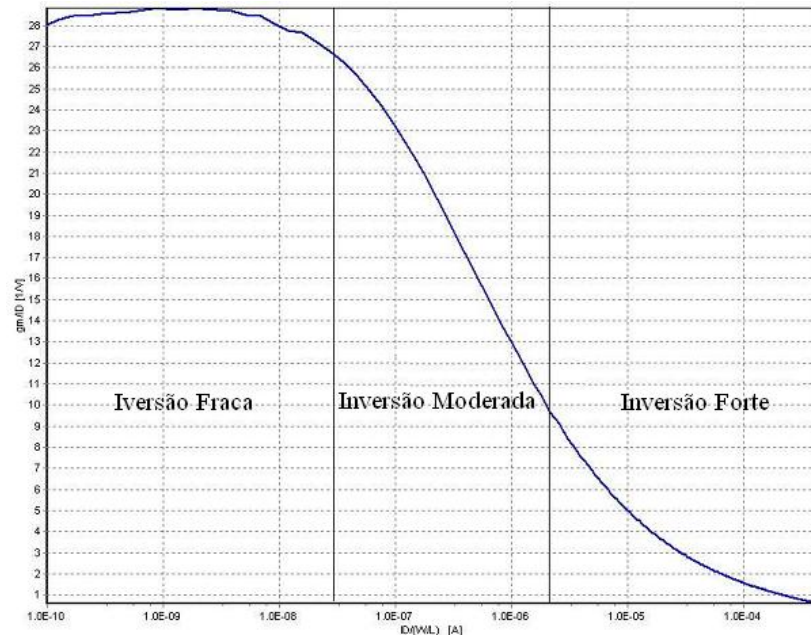


FIGURA 7 – Típica curva $gm/ID \times I_N$ para a tecnologia AMS 0.35 μ m.

Para exemplificar as metodologias de dimensionamento manual, será utilizado um circuito amplificador de ganho intrínseco, cujo esquemático é mostrado na FIGURA 8. Este circuito trata-se de um amplificador de source comum e é formado por uma fonte de corrente I_B , um transistor M1 e um capacitor de carga C_L .

Este circuito possui duas especificações principais de funcionamento, especificações estas que servem de base para o dimensionamento do transistor M1 (W e L) e da corrente I_B . As especificações são: ganho em baixa frequência (A_{v_0}) e produto ganho largura de faixa (GBW). O ganho em baixas frequências é calculado com a equação abaixo:

$$A_{v_0} = - \frac{gm \cdot VA}{I_D} \quad (6)$$

onde gm é transcondutância de gate do transistor M1, VA a tensão de Early e I_D a corrente de dreno.

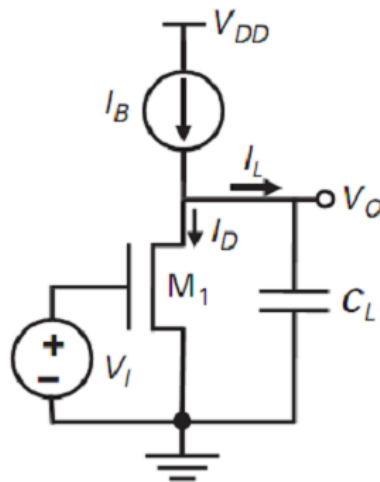


FIGURA 8 – Circuito Amplificador de Ganho intrínseco.

O produto ganho-largura de faixa pode ser calculado com a equação seguinte:

$$GBW = \frac{gm}{2\pi \cdot C_L} \quad (7)$$

Assumindo que sejam requeridos Av_0 mínimo igual a -1000 e GBW igual a 1 MHz. Como parâmetros têm-se a tensão de Early depende do comprimento do canal e varia em $130V/\mu m$, K' igual a $216,7 \times 10^{-6} A/V^2$ e C_L igual a 10pF. Assumindo um comprimento de canal (L) igual a $1\mu m$, a tensão de Early (VA) resultante é de 130V. Estes valores de parâmetros são valores típicos da tecnologia AMS $0.35\mu m$.

Com a Equação 7 se obtém o valor de trancondutância (gm) igual a $62,83 \mu S$. Substituindo as especificações em (6), obtem-se a corrente I_D do transistor M1 igual a $8,16 \mu A$.

Com os dados iniciais de projeto calculados, parte-se para o dimensionamento dos transistores com as metodologias relatadas anteriormente.

Com a metodologia gm/I_D , tomam-se gm e I_D e calcula-se o valor de gm/I_D . Neste caso é obtido um gm/I_D igual a 7.69. Com este valor e a curva da FIGURA 7, o valor de I_N obtido é igual a $2.88\mu A$. Com a Equação 5 e o valor de L igual a $1\mu m$, é obtido o valor de W igual a $2.83 \mu m$. Assim com a metodologia gm/I_D o circuito está dimensionado, pois W e L foram calculados e a corrente I_B é igual à corrente I_D de $8.16 \mu A$.

Com a metodologia proposta por (ALLEN,2002), pode-se utilizar a equação simplificada da transcondutância de gate (g_m) em saturação, para obter-se a relação W/L. Esta equação é dada como:

$$g_m \approx \sqrt{2K' \frac{W}{L} I_D} \longrightarrow \frac{W}{L} \approx \frac{g_m^2}{2K' I_D} \quad (8)$$

Onde K' depende dos parâmetros da tecnologia AMS 0.35 μm . Com esta equação a relação W/L encontrada é de 1,12. Como L foi assumido em 1 μm , W resulta em 1,12 μm e I_B é igual à corrente I_D de 8.16 μA .

Analisando os resultados obtidos com as duas metodologias, observa-se que as dimensões W e L do dispositivo estão próximas (1.12 μm e 2.83 μm). Para validar a solução encontrada deve-se simular o circuito e verificar se as especificações foram atendidas.

2.4 Amplificadores Operacionais

Os amplificadores operacionais (AmpOps) são blocos analógicos de enorme importância em circuitos analógicos. O principal objetivo destes circuitos é que seu funcionamento possa ser facilmente ajustado através de componentes externos ao bloco. Com isso estes dispositivos possuem inúmeras aplicações, entre as quais destacam-se: amplificadores, circuitos de condicionamento de sinal, filtros ativos, geradores de funções e circuitos de chaveamento (CATHY, 2003).

As características desejáveis de um amplificador operacional é que o mesmo apresente um ganho de tensão elevado (idealmente infinito), possua tensões de entradas (inversora e não-inversora) com níveis de tensões próximos de forma que exista uma terra virtual entre os terminais (BOYLESTAD, 1996) e tenha uma alta impedância de entrada e uma baixa impedância de saída.

Neste trabalho serão utilizados somente duas topologias de circuitos amplificadores operacionais, um amplificador diferencial e um amplificador operacional de transcondutância (OTA) tipo Miller os quais serão detalhados na próxima subseção. A metodologia proposta no trabalho que será descrita no Capítulo 4 não se restringe somente aos circuitos que serão analisados, pois teoricamente pode ser aplicada a qualquer topologia de circuito.

2.4.1 Amplificador Diferencial

O amplificador diferencial é um dos blocos analógicos básicos mais versáteis. Este circuito é compatível com a tecnologia CMOS de circuitos integrados e serve como estágio de entrada para os amplificadores operacionais (ALLEN, 2002). Sua função básica é amplificar a diferença de tensão entre suas entradas. A FIGURA 9 mostra o esquemático de um amplificador diferencial com carga ativa.

O circuito é formado por um espelho de corrente de carga (formado pelos transistores M3 e M4), um par diferencial (formado pelos transistores M1 e M2), um espelho de corrente de referência (formado pelos transistores M5 e M6) e uma fonte de corrente de referência (I_{ref}).

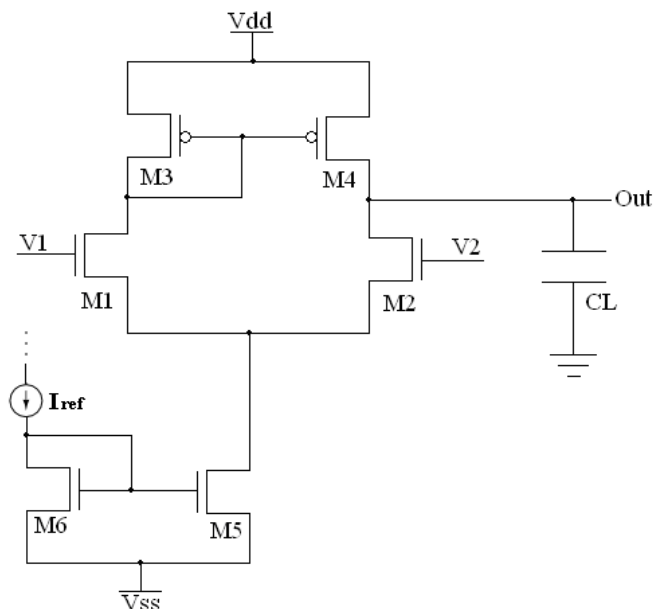


FIGURA 9 – Amplificado Diferencial com Carga Ativa.

Neste circuito, devido à sua construção, são assumidas algumas igualdades quanto ao tamanho dos transistores, de forma que os espelhos de correntes possuam ganho de corrente unitário. Com isso M3 é igual a M4 e M5 é igual a M6. Além disso, o par diferencial de entrada deve ser exatamente igual para que o circuito amplifique a diferença de tensão entre as entradas. Com isso M1 e M2 possuem mesmas dimensões. Desta forma as variáveis livres do projeto deste circuito são W e L dos transistores M1, M3, M5 e a fonte de corrente de referência (I_{ref}). Ou seja, o circuito tem 7 variáveis a serem dimensionadas.

No projeto do amplificador diferencial utilizando a metodologia gm/I_D , as variáveis livres de projeto são o L e o valor de gm/I_D de M1, M3 e M5, totalizando 6 variáveis de projeto, onde a partir da curva $gm/I_D \times I_N$ e das especificações do circuito são obtidos o W dos transistores e o valor da fonte de corrente I_{ref} .

As principais especificações do circuito são: ganho de tensão em baixa frequência (A_{v_0}), produto ganho-largura de faixa (GBW), slew-rate (SR), faixa de tensão no modo comum de entrada (ICMR), potência dissipada (P_{diss}) e área (A).

O ganho em baixa frequência é a relação entre a tensão de entrada e de saída, definido como:

$$A_{v_0} = \frac{g_{m1}}{I_{D1}} (V_{A_2} + V_{A_4}) \quad (9)$$

onde, g_{m1} é a transcondutância de gate do transistor M1 e V_{A_2} e V_{A_4} são as tensões de Early dos transistores M2 e M4, respectivamente.

O Slew Rate (SR) é a velocidade de resposta do amplificador em relação à variação de tensão em suas entradas, dado por:

$$SR = \frac{I_{ref}}{C_1} \quad (10)$$

onde, I_{ref} é a corrente de referência e C_1 é a capacitância total de saída. Esta capacitância é estimada com a soma da capacitância de carga C_L e as capacitâncias de dreno de M2 e M4.

A faixa de tensão no modo comum de entrada (ICMR) define a máxima e a mínima tensão de entrada no modo comum, definidas por:

$$ICMR^- = V_{DS5(sat)} + V_{GS1} + V_{SS} \quad (11)$$

$$ICMR^+ = V_{DD} + V_{GS3} + V_{TN1} \quad (12)$$

onde $V_{DS5(SAT)}$ é a tensão de saturação do transistor M5, V_{GS1} e V_{GS3} são as tensões entre gate e fonte de M1 e M3, respectivamente, V_{DD} e V_{SS} são as fontes de alimentação do circuito e V_{TN1} é a tensão de limiar de M1.

Já o produto ganho-largura de faixa é dado por:

$$GBW = \frac{g_{m1}}{C_1} \quad (13)$$

Baseado nas equações anteriores, os valores iniciais para estas variáveis livres podem ser estimados através de cálculos manuais com modelos simplificados do transistor ou através da metodologia gm/I_D utilizando a curva $I_D \times I_N$.

2.4.2 Amplificador OTA Miller

O amplificador operacional de transcondutância tipo Miller, ou simplesmente OTA Miller, é um amplificador composto por dois estágios, sendo o primeiro estágio formado por um amplificador diferencial e o segundo formado por um amplificador inversor. Na interligação entre os estágios é utilizado um capacitor (C_f) para melhorar a estabilidade do circuito (ALLEN, 2002). O esquemático do amplificador OTA Miller é mostrado na FIGURA 10.

O estágio amplificador diferencial é o mesmo mostrado na seção anterior, porém neste circuito ele é constituído por um par diferencial (M1 e M2) com transistores do tipo P. Com isso, o espelho de corrente de carga ativa (M3 e M4) é formado por transistores do tipo N e o espelho de corrente de polarização (M7 e M8) é formado por transistores do tipo P. O estágio amplificador inversor é formado pelos transistores M5 e M6. Assumindo que o transistor M1 possua o mesmo tamanho do transistor M2, o transistor M3 o mesmo tamanho de M4 e M7 igual a M8, como variáveis livres de projeto tem-se W e L dos transistores M1, M3, M5, M6 e M7 e a fonte de corrente de polarização I_{bias} , totalizando 11 variáveis livres de projeto.

Com a utilização da metodologia gm/I_D o circuito tem como variáveis livres o L e o valor de gm/I_D de cada um dos transistores, onde a partir da curva $gm/I_D \times I_N$, pode-se calcular a largura W do canal dos transistores e a fonte de corrente de polarização (I_{BIAS}).

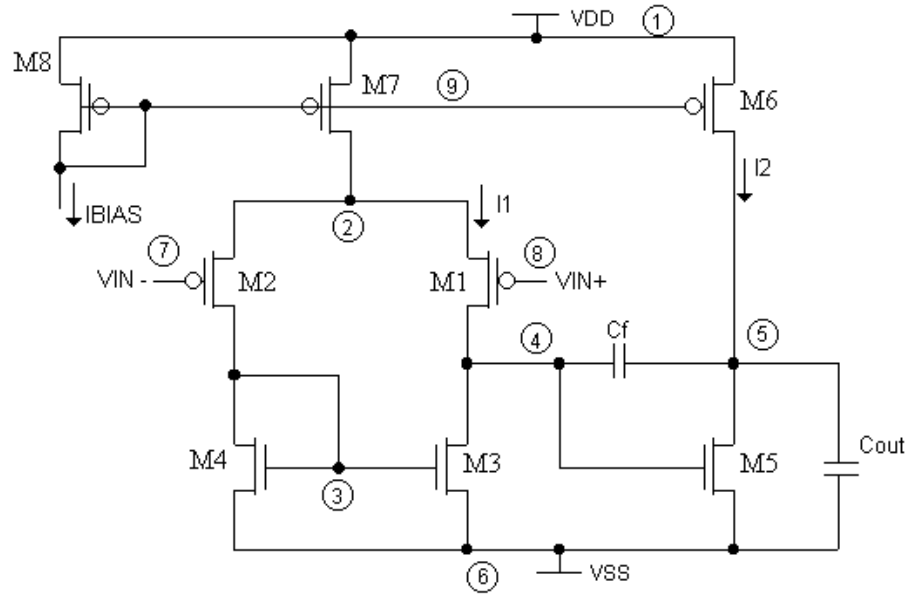


FIGURA 10 – Esquemático do Amplificador OTA Miller

As principais especificações deste circuito são as mesmas apresentadas no amplificador diferencial. Porém, como o amplificador tipo Miller possui um estágio de saída torna-se interessante a análise dos níveis máximos e mínimos da tensão de saída. Estes níveis de tensão são relacionados pela especificação *output swing*.

O ganho em baixa frequência (A_{V_0}) pode ser calculado com a seguinte equação:

$$A_{V_0} = \left(\frac{gm}{I_D} \right)_1 \cdot \left(\frac{1}{VA_1} + \frac{1}{VA_3} \right)^{-1} \cdot \left(\frac{gm}{I_D} \right)_5 \cdot \left(\frac{1}{VA_5} + \frac{1}{VA_6} \right)^{-1} \quad (14)$$

onde VA é a tensão de Early dos transistores M1, M3, M5 e M6.

O produto ganho-largura de faixa (GBW) é calculado com a equação abaixo:

$$GBW = \frac{g_{m1}}{C_f} \quad (15)$$

onde g_{m1} é a transcondutância do transistor 1 e C_f é a capacitância de acoplamento entre os estágios do amplificador.

O Slew Rate é calculado com a equação (16), onde I_3 é a corrente de dreno do transistor M3.

$$SR = \frac{I_3}{C_f} \quad (16)$$

Os valores mínimos e máximos de ICMR podem ser calculados com as equações (17) e (18) onde V_{DD} e V_{SS} são os valores de tensão de alimentação do circuito, V_{DSSAT} representa o valor de tensão entre os terminais de dreno e source necessário para que o transistor opere em saturação e V_G é a tensão de gate.

$$ICMR^+ = V_{DD} + V_{DSSAT7} + V_{G1} \quad (17)$$

$$ICMR^- = V_{SS} + V_{G3} + V_{DSSAT1} - V_{G1} \quad (18)$$

Os valores de *output swing* são calculados pelas seguintes equações:

$$OS^+ = V_{DD} - V_{DSSAT6} \quad (19)$$

$$OS^- = V_{SS} + V_{DSSAT5} \quad (20)$$

Baseado nas equações anteriores, os valores iniciais para estas variáveis livres podem ser estimados de maneira tradicional, ou seja, através de cálculos manuais e de modelos simplificados do transistor, ou ainda através da metodologia gm/I_D .

2.5 Medição de especificações de amplificadores através da simulação elétrica

As especificações do circuito podem ser avaliadas de acordo com as equações simplificadas apresentadas na seção anterior. Porém devido às simplificações e à simplicidade das expressões, muitos fatores são desprezados. Neste intuito, uma maneira eficiente de medir o valor das especificações é através da simulação elétrica, uma vez que os simuladores utilizam modelos que possuem uma série de parâmetros de tecnologia de forma a aproximar o comportamento real do dispositivo.

Assim são utilizadas configurações de circuitos de forma a medir as principais especificações do circuito através das três análises de um simulador SPICE: análise AC (domínio da frequência), análise DC (variação no nível de tensão ou corrente) e análise transiente (domínio do tempo).

Para medir o ganho em baixas frequências (A_{v0}), o produto ganho-largura de faixa (GBW) e margem de fase (PM) é efetuado a análise AC do circuito. Uma configuração para medir o ganho em malha aberta do circuito é mostrada na FIGURA 11.

Da resposta desta simulação extrai-se o diagrama de bode, que relaciona o módulo do ganho e a fase do circuito no domínio da frequência, como mostrado na FIGURA 12, onde são extraídas as três especificações de interesse.

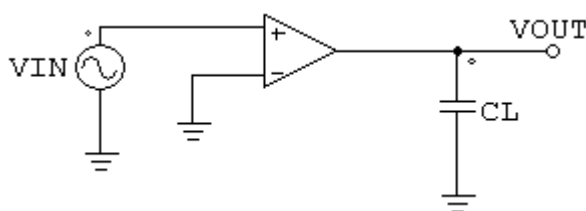


FIGURA 11 – Circuito de simulação para a medição de A_{v0} , GBW e PM.

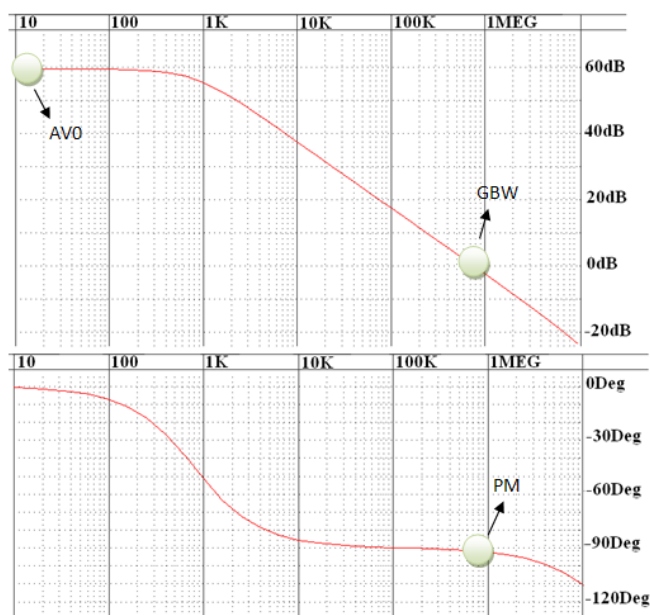


FIGURA 12 – Diagrama de Bode da análise AC do circuito da FIGURA 11.

Para obter o valor de ICMR, mínimo e máximo, através de simulação é utilizado um amplificador operacional em configuração de ganho unitário. Nesta simulação varia-se a tensão de entrada de um valor mínimo a um valor máximo, através de uma análise DC do simulador, e verificam-se graficamente os limites de tensão de entrada em que a relação entrada-saída é mantida unitária.

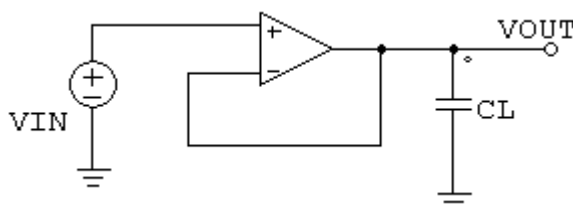


FIGURA 13 – Configuração para medição de ICMR com análise DC.

A FIGURA 14 mostra a curva de relação entre a tensão de entrada e de saída, resultante da simulação, onde são verificados os limites da região onde é mantida a relação unitária entre a tensão de saída e de entrada. Nestas regiões define-se como ICMR mínimo e máximo o valor de tensão de entrada destes pontos.

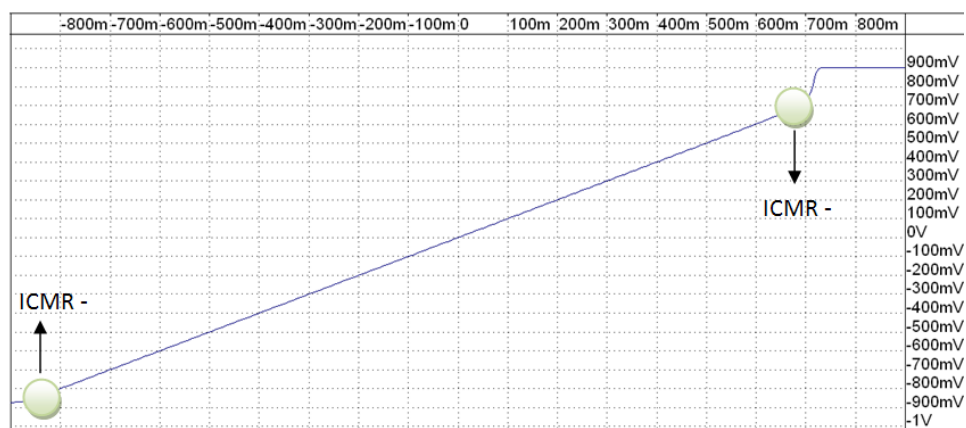


FIGURA 14 – Relação de entrada e saída para a medição do ICMR resultante da simulação do circuito da FIGURA 13.

Para medir o nível mínimo e máximo da tensão de saída (output swing) o amplificador operacional é configurado como um amplificador inversor. O ganho da configuração deve ser escolhido de forma que a variação no sinal de entrada faça com que a saída do circuito, caso o amplificador seja ideal, opere além dos valores nominais. Isto faz com que o amplificador real sature nos valores mínimos e máximos da tensão de saída.

A FIGURA 15 mostra o circuito com um ganho de tensão igual -10, para medição do output swing. Neste circuito, fazendo-se uma análise DC do simulador, de forma a variar a tensão de entrada de um valor mínimo a um máximo, o gráfico da FIGURA 16 é obtido. Neste gráfico, são tomados os valores de tensão de saída limites em que a linearidade de ganho igual a -10 é mantida sem saturação.

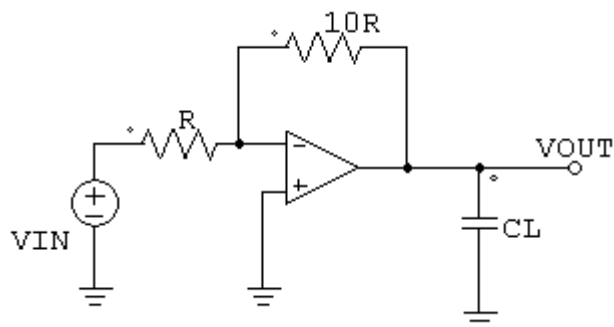


FIGURA 15 – Configuração para medição do Output Swing.

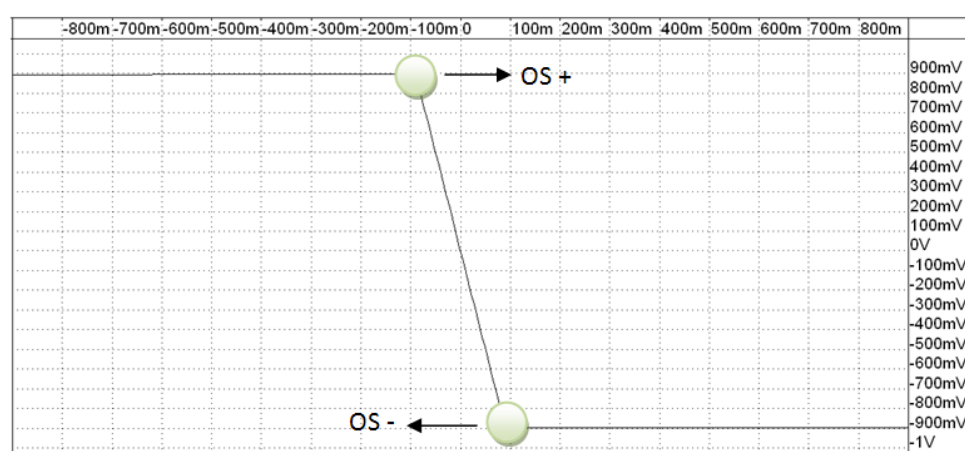


FIGURA 16 – Relação de entrada e saída para a medição do output swing resultante da simulação do circuito da FIGURA 15.

Para a medição da velocidade de resposta do amplificador (Slew Rate) é utilizado o circuito mostrado na FIGURA 17. Esta simulação se refere à análise da resposta ao degrau do circuito através da verificação da tensão de saída devido à ocorrência de um pulso na entrada do amplificador. Para esta medição é efetuada uma análise transiente no circuito.

Uma típica curva de resposta a simulação é mostrada na FIGURA 18, sendo que o slew rate se refere à taxa de subida desta curva (medida em $V/\mu s$).

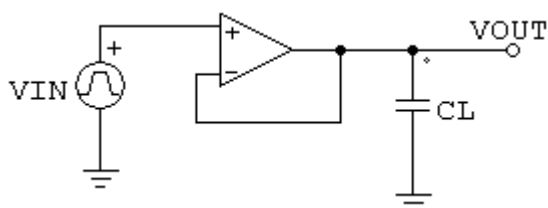


FIGURA 17 – Circuito para medição de SR.

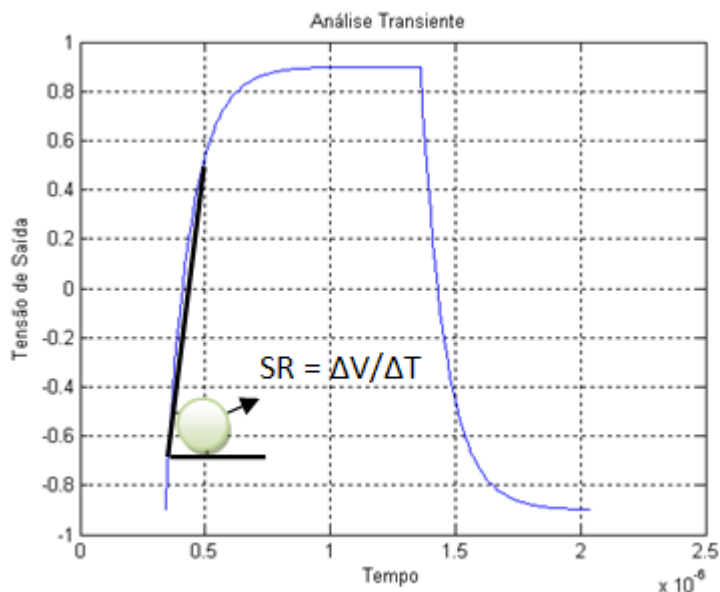


FIGURA 18 – Resposta de simulação do circuito da FIGURA 17 para medição do slew rate.

2.6 Conclusão

Neste capítulo foram apresentados os dispositivos MOSFETs e as suas principais características físicas e elétricas, as metodologias de dimensionamento de transistores baseadas nas equações simplificadas do circuito e na curva gm/ID e a análise de duas topologias de amplificadores operacionais. Foram também analisadas formas de medição das principais especificações de circuitos amplificadores operacionais através de simulação elétrica SPICE.

Com este capítulo, pode-se verificar que o projeto de um circuito integrado analógico é uma tarefa complexa, uma vez que é necessário explorar um espaço de projeto de várias variáveis restrito pelas especificações de projeto.

Foram apresentadas neste capítulo as duas topologias de amplificadores operacionais que serão utilizadas no decorrer deste trabalho para a análise das metodologias que serão detalhadas. Porém a metodologia que será proposta não se restringe somente a estes circuitos, sendo possível a utilização em outros blocos analógicos.

3 FERRAMENTAS DE AUXÍLIO AO PROJETO DE CIRCUITOS INTEGRADOS ANALÓGICOS E HEURÍSTICAS DE OTIMIZAÇÃO

3.1 Introdução

O projeto de circuitos integrados vem cada vez mais necessitando de ferramentas de auxílio ao projeto, tanto de ferramentas de simulação quanto de ferramentas de automação de projeto. Segundo (HÄGGLUND, 2003), as ferramentas computacionais de auxílio ao projeto possuem um crescimento que não acompanha a evolução da tecnologia CMOS, fazendo com que exista uma lacuna entre complexidade da tecnologia e a complexidade para quais as ferramentas estão disponíveis, conforme mostra o gráfico da FIGURA 19.

No campo de circuitos integrados digitais, ambas as ferramentas de simulação e de síntese automática estão bem desenvolvidas. Assim, é possível projetar um circuito integrado utilizando o fluxo de projeto dado por uma série de ferramentas, desde a sua descrição, em linguagens de descrição de hardware, até o leiaute do circuito com células lógicas (RABAEY, 2003)

Nos circuitos integrados analógicos as ferramentas de auxílio ao projeto ainda são pouco desenvolvidas e em sua maioria são ferramentas para simulação, análise de variabilidade do circuito (análise de piores casos e Monte Carlo, por exemplo) e ferramentas de desenho de leiaute customizado. Apesar do tema não ser novo (DEGRAUWE, 1987) e de existirem inúmeros trabalhos de pesquisa (GIRARDI, 2003, GIELEN, G.G, 2000), até hoje não existem ferramentas ou metodologias de projeto que automatize totalmente o projeto analógico.

O principal objetivo destes trabalhos é a melhor exploração do espaço de projeto de forma a reduzir o tempo de busca e também fazer otimizações em grandezas do circuito como

potência dissipada e área ocupada, características estas que são fundamentais para circuitos que consomem pouca energia e tenham tamanho reduzido.

O grande problema no desenvolvimento deste tipo de ferramenta é a grande complexidade envolvida, pois a modelagem dos circuitos analógicos é altamente não-linear. Com isso as ferramentas tendem a automatizar somente partes do projeto.

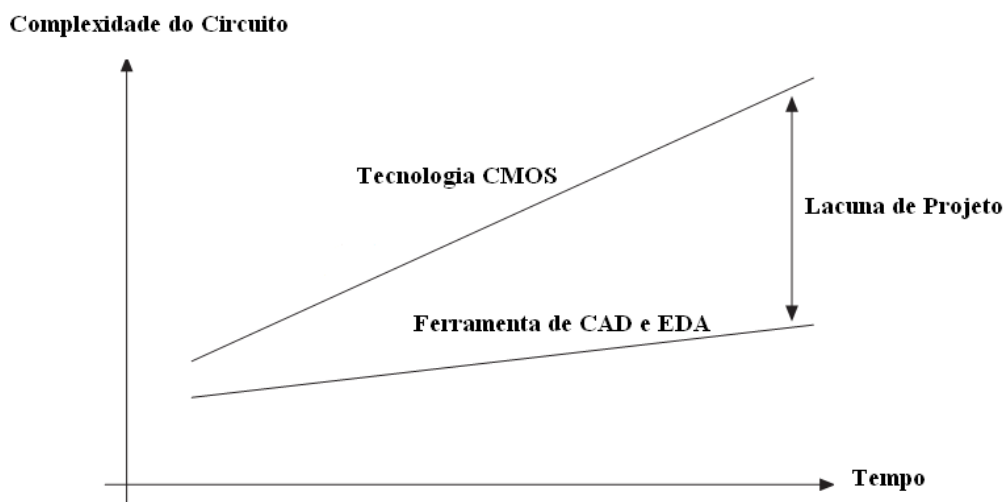


FIGURA 19 – Evolução da complexidade da tecnologia CMOS e das ferramentas de auxílio ao projeto (HÄGGLUND, 2003).

3.2 Ferramentas de Projeto Analógico

Até o que se sabe não existe nenhuma ferramenta computacional que automatize todas as etapas de projetos de um circuito integrado analógico, desde a escolha de topologias em nível de sistemas até o desenho do leiaute do circuito integrado. O que se tem atualmente são ferramentas que automatizam somente parte do projeto ou que servem de auxílio aos projetistas para tomada de decisões.

Em nível de circuito, as ferramentas dividem-se basicamente em dois grupos quanto ao tipo de análise: baseada em equações ou baseadas em simulação SPICE. No primeiro grupo os circuitos são dimensionados de acordo com as equações simplificadas ou com modelos compactos do circuito. Neste tipo de ferramenta normalmente o tempo de busca de soluções é pequeno, devido ao projeto tratar-se de um processamento de equações. Porém, quando há algumas simplificações nestas equações, a qualidade da solução muitas vezes se distancia dos valores reais.

Nas ferramentas baseadas em simulações são utilizados simuladores tipo SPICE para avaliar as especificações do circuito. Como os simuladores utilizam modelos matemáticos que contêm inúmeros parâmetros para a aproximação com os dispositivos reais, são obtidos resultados próximos da realidade. O grande problema desta forma de análise é que, dependendo do tipo de exploração, são realizadas milhares de simulações na busca de uma solução otimizada, fazendo com que o tempo de execução destas ferramentas seja longo.

Um exemplo de ferramenta baseada em equações é o PAD (do inglês, Procedural Analog Design) proposto em (STEFANOVIC, 2003). Esta ferramenta é baseada no modelo elétrico EKV para transistores MOSFETs, o qual possui equações contínuas nas regiões de operações dos transistores e possui um número reduzido de parâmetros (ENZ, 2008). O PAD possui uma série de blocos analógicos básicos em sua construção e uma interface amigável ao projetista, onde o projeto de um circuito é dividido em etapas. Uma análise interessante desta ferramenta é o fato dela dividir um circuito em composições de blocos analógicos básicos. Assim, cada bloco básico é dimensionado de acordo com as especificações que possuem ligação direta com estes blocos. Uma característica a desejar nesta ferramenta é o fato dela não efetuar nenhuma otimização no circuito, o que seria necessário para se obter circuitos que consumam cada vez menos energia e tenham tamanhos reduzidos.

Um exemplo de ferramenta baseada em simulação elétrica é a ANACONDA, proposta por (PHELPS, 2000) onde a ferramenta é utilizada para fazer o dimensionamento de circuitos analógicos através de busca estocástica. Esta ferramenta apresenta bons resultados quando comparada com a solução manual do circuito. Algumas análises de variabilidade das soluções são feitas, nas quais verifica-se que os resultados gerados pela ferramenta apresentam melhor imunidade às variações de parâmetros de processos em relação ao projeto manual.

Outro fator que muitas vezes serve para a classificação de ferramentas de automação de projeto é a técnica de exploração no espaço de projeto. Neste panorama, (MARTENS, 2008, ZEBULUM, 2003) trazem análises das principais técnicas de exploração do espaço de projeto de circuitos integrados. Segundo os autores, as técnicas que possuem melhor convergência para uma solução otimizada são as técnicas baseadas em otimização evolutiva (Algoritmos Genéticos, por exemplo) e baseadas em *Simulated Annealing*. Ainda, segundo o autor, estas técnicas de exploração são classificadas como lentas, porém, após várias execuções tendem a chegar a um resultado ótimo global. Estas técnicas serão abordadas na próxima seção.

Em (MARTENS, 2008) também é feita a análise das principais ferramentas existentes e a apresentação de um gráfico mostrado na FIGURA 20, o qual relaciona o ano de desenvolvimento de cada ferramenta com o nível de abstração do projeto. Neste gráfico é possível verificar que a maior parte das ferramentas foi desenvolvida para os níveis de circuito e de leiaute (baixo nível de abstração), visto que estas são consideradas as partes mais complexas de um projeto analógico.

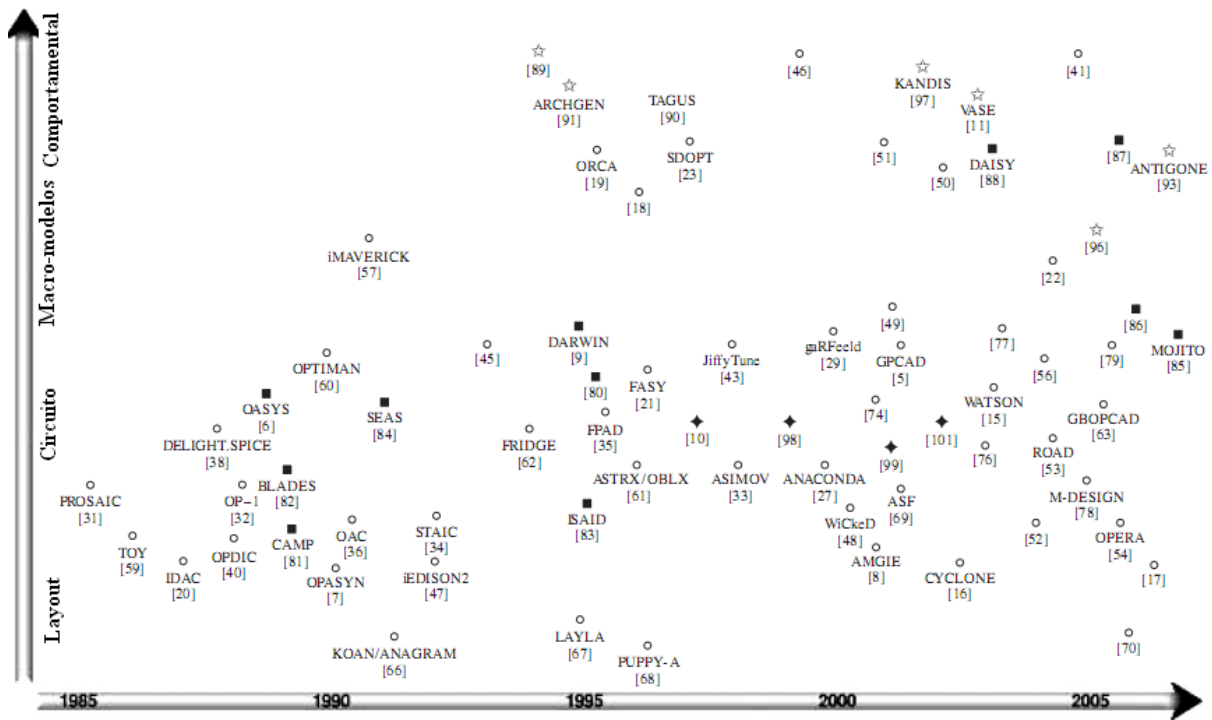


FIGURA 20 – Evolução das ferramentas para o projeto de circuitos integrados analógicos de acordo com o grau de abstração (MARTENS, 2008).

3.3 Heurísticas de Otimização no Projeto de Circuitos Integrados Analógicos

Para a exploração do espaço de projeto de um circuito integrado analógico são utilizadas técnicas de otimização. Em sua maioria, a técnicas utilizadas são para a resolução de problemas não-lineares, pois o espaço de projeto analógico é altamente não-linear.

Quanto à exploração, os métodos se dividem basicamente em busca local e busca global. No primeiro tipo o algoritmo passa a buscar por soluções próximas à solução inicial do problema. Com isso, o resultado da otimização é fortemente dependente da solução inicial. O método de busca global tem o objetivo de buscar por soluções ótimas globais. Com isso, são utili-

zadas técnicas para evitar a parada em valores mínimos locais. Uma boa característica destes métodos é o fato de a solução final não ser tão dependente da solução inicial.

Dentre as técnicas de otimização, as que vêm demonstrando melhores resultados (MARTENS, 2008) são as técnicas de inteligência artificial *Simulated Annealing* (SA) e Algoritmo Genético (GA, do inglês Genetic Algorithms), que serão detalhadas nas subseções a seguir.

3.3.1 Simulated Annealing

O *Simulated Annealing* (SA) é uma metaheurística de otimização usada para resolver problemas de otimização não-lineares (FLOUDAS, 2008). O método utilizado pelo SA é fundamentado por uma analogia aos princípios termodinâmicos ao simular o resfriamento de um conjunto de átomos aquecidos, fenômeno conhecido como recozimento. Este método inicia em um valor qualquer e o laço do algoritmo gera aleatoriamente, a cada iteração, um vizinho da solução atual. Com o valor gerado, verifica-se o valor da função custo. Se este valor for melhor em relação à solução atual do problema, a solução analisada torna-se a solução atual do problema, caso contrário, a solução atual não é alterada.

Uma característica importante do método SA é a sua estratégia para evitar a finalização da execução em valores mínimos locais. O método permite que uma solução pior (de acordo com a função objetivo) possa ser aceita como solução atual, dentro de uma probabilidade de aceitação. Isto faz com que se consiga fugir de mínimos locais, pois uma solução inicialmente pior pode levar a regiões em que está o valor ótimo (melhor valor da função objetivo) (MICHALEWICZ, 2000). A probabilidade de aceitar uma solução não-ótima depende da diferença entre a solução atual e a solução gerada (analisada) e de um parâmetro chamado de temperatura, analogia ao sistema termodinâmico. O valor desta probabilidade de aceitação é dado pela Equação (21).

$$P = \frac{1}{1 + e^{\frac{(Custo_analisado - Custo_atual)}{T}}} \quad (21)$$

O parâmetro de temperatura (T) começa em um valor máximo e, a partir de certo número de iterações, o seu valor é gradativamente reduzido. Esta redução é dada por uma razão de resfriamento. Logo, percebe-se que a chance de aceitar uma solução não-ótima é reduzida ao longo das iterações. O método termina quando o parâmetro de temperatura chega a um valor

próximo de zero e nenhuma solução não-ótima é aceita, ou seja, o sistema termodinâmico torna-se estável. A FIGURA 21 mostra um pseudocódigo do algoritmo *Simulated Annealing*.

```

Inicialização (solução_atual, Temperatura)
Cálculo do Custo_atual
LOOP
    Estado_novo
    Cálculo do Custo_novo
    IF (custo_atual-custo_novo) ≤ 0 THEN
        Estado_corrente=Estado_novo
    ELSE
        IF P(T) > valor_aleatório(0,1)
    THEN
        --Aceita solução
        Estado_atual=Estado_novo
    ELSE
        --Rejeita solução

    Reduz a temperatura

EXIT IF(critério de parada)
END LOOP

```

FIGURA 21 – Pseudocódigo da técnica de otimização Simulated Annealing.

3.3.2 Algoritmos Genéticos

Os Algoritmos Genéticos (GA, do inglês *Genetic Algorithms*) são heurísticas de otimização não-lineares baseadas na analogia com a teoria de evolução biológica (LINDEN, 2006). Esta heurística é um algoritmo não determinístico que trabalha com um variado grupo de soluções simultaneamente.

O grupo de soluções é chamado de população e cada uma das soluções é chamada de cromossomos. O tamanho da população é definido de forma a manter uma diversidade aceitável dentro das soluções e possuir um tempo de execução eficiente. Cada possível solução da popu-

lação, ou cromossomo, é composta por uma cadeia de caracteres (genes) que representam as variáveis do problema de otimização. Esta representação pode ser em números binários, números reais ou outros. A FIGURA 22 mostra um exemplo de cromossomos binários.

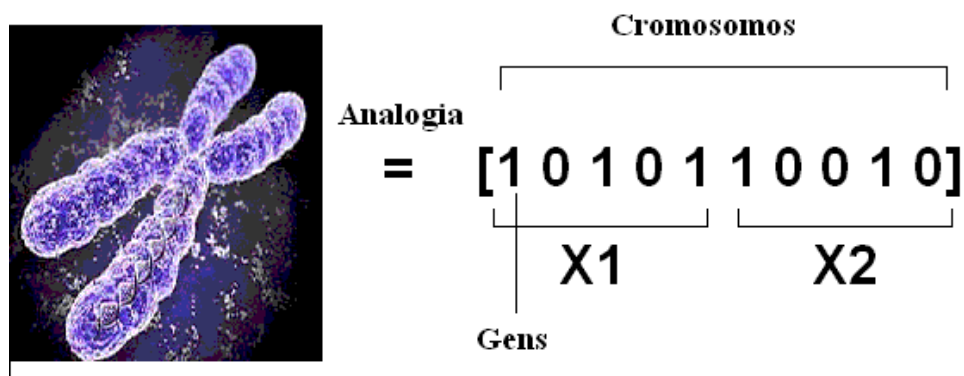


FIGURA 22 – Representação de um cromossomo dos algoritmos genéticos.

Desta forma, o GA recebe uma população inicial, gerada aleatoriamente, alguns operadores de recombinação e mutação e os limites das variáveis livres da otimização. A população é avaliada utilizando uma função objetivo, e segundo este valor (qualidade de um cromossomo), as soluções da população são ordenadas.

Baseado na avaliação da solução e em uma função de seleção (MICHALEWICZ, 2000), duas soluções da população são selecionadas (soluções pais), soluções estas que darão origem a novas soluções (soluções filhas). Os novos cromossomos são criados através de recombinação e mutação. Na recombinação os cromossomos pais são particionados e a união destas partes dá origem aos cromossomos filhos, conforme ilustra a FIGURA 23-(A) para cromossomos binários. A mutação é um erro aleatório que acontece em algum cromossomo e sua probabilidade de acontecer é definida pela comparação entre um valor aleatório e um número de probabilidade de mutação. A mutação de um cromossomo binário é ilustrada na parte B da FIGURA 23.

O próximo passo do algoritmo é a avaliação dos novos cromossomos, utilizando novamente a função objetivo. Baseando-se nestes valores os novos cromossomos são introduzidos na população de forma a substituir alguns antigos membros desta população.

Ao fim de cada iteração a condição de parada é testada e, se verdadeira, a otimização é finalizada. Caso contrário, novos pais são selecionados e o processo é repetido. A condição de parada de um Algoritmo Genético pode ser um número fixo de gerações (iterações) ou uma variação mínima da função objetivo.

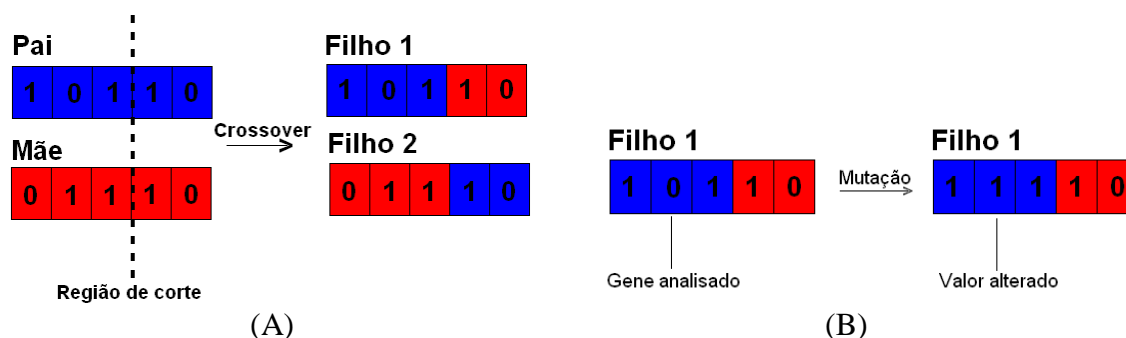


FIGURA 23 – Representação da recombinação e mutação em cromossomos binários: (A) processo de recombinação, (B) processo de mutação.

3.3.3 Função Objetivo

As técnicas de otimização devem utilizar uma métrica para avaliar a qualidade de uma solução. Esta métrica é dada por uma função objetivo ou função custo. A função custo deve ser definida conforme os objetivos do problema de otimização. Desta forma, a função custo é de extrema importância em um problema de otimização, devido a fato de sua construção influenciar em todos os resultados obtidos, pois o caminho de busca da heurística de otimização depende do valor desta função (VENKATARAMAN, 2002).

Em ferramentas de automação de projeto de circuitos analógicos, normalmente a função custo está referenciada à potência dissipada e à área do circuito ou alguma outra especificação do circuito que se tem interesse em maximizar ou minimizar. Além disso, deseja-se que a solução encontrada satisfaça algumas restrições de projeto, fazendo com que não se tenha somente um objetivo de otimização.

Neste contexto, surgem às funções custo multiobjetivo (FLOUDAS, 2008), as quais são funções que levam inúmeras especificações do problema em sua construção e com isso torna-se possível a otimização de mais de uma grandeza.

Uma típica função custo multiobjetivo é mostrada pela Equação 22, onde o primeiro somatório representa as especificações que se deseja otimizar e o segundo somatório representa as especificações que devem estar compreendida dentro de valores máximos e mínimos, de forma que seu valor relaciona o quão distante do valor desejado estão às especificações encontradas. Nesta equação α_i representa um parâmetro de ponderação para a grandeza alvo de otimização p_i e o valor β_j representa a ponderação do parâmetro de especificação normalizada c_j .

Os parâmetros de ponderações devem ser inseridos de forma a fazer com que ambas as componentes possuam uma mesma ordem de grandeza ou com o objetivo de valorizar os componentes que possuem maior interesse na otimização.

$$f_c = \sum_{i=1}^n \alpha_i p_i X + \sum_{j=1}^m \beta_j c_j X \quad (22)$$

3.4 Conclusão

Este capítulo apresentou uma breve revisão bibliográfica sobre as ferramentas de projeto automático de circuitos integrados analógicos, onde foi mostrado que tema é bastante estudado atualmente e, devido à complexidade envolvida, ainda não existem ferramentas que possam automatizar todo o projeto de um circuito integrado analógico.

Neste capítulo também foi apresentado de forma simplificada às principais heurísticas de otimização (Algoritmo Genético e *Simulated Annealing*), bem como as funções custo multiobjetivo, que são de enorme importância na qualidade de uma otimização.

4 FRAMEWORK PARA O PROJETO DE CIRCUITOS INTEGRADOS ANALÓGICOS

4.1 Introdução

Neste trabalho é proposto um framework para o projeto automático de blocos analógicos básicos integrados em nível de transistores, cujo objetivo é explorar de maneira eficiente o espaço de projeto a fim de otimizar alguma grandeza do circuito. Além de se obter uma ferramenta para o projeto de circuitos integrados espera-se obter também uma ferramenta de pesquisa para análise e inserção de novas metodologias de projeto.

O diagrama de blocos do framework proposto é mostrado na FIGURA 24. Como entrada, o projeto recebe uma solução inicial para o circuito, os requerimentos de projeto e os dados da tecnologia de fabricação em que o circuito será fabricado. Estes dados de entradas são recebidos pela heurística de otimização, que irá utilizá-los para gerar novas soluções e analisar as soluções geradas a fim de obter soluções otimizadas para o circuito.

A heurística de otimização, de maneira geral, gera uma solução para as variáveis livres de otimização e avalia a qualidade da solução gerada com base em uma função custo.

Na organização da arquitetura do framework proposto esta avaliação é obtida através da simulação elétrica do circuito. Assim, é necessário converter as variáveis livres de otimização nos tamanhos dos transistores e simular a topologia de circuito para medir as especificações do circuito. Possuindo os valores das especificações do circuito é possível avaliar o circuito utilizando a função custo.

Este procedimento é realizado inúmeras vezes até a heurística encontrar uma solução que minimize a função custo, de forma a encontrar uma solução otimizada para o circuito.

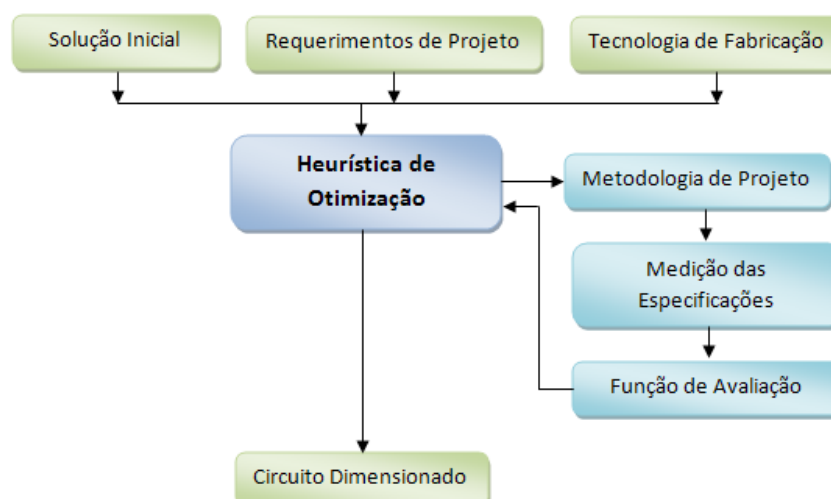


FIGURA 24 – Diagrama de blocos da ferramenta proposta

A ideia de framework aplicada aos diagramas mostrados anteriormente se refere à possibilidade de configuração dos blocos que compõem a ferramenta. Assim, é possível analisar e comparar os resultados de projeto para várias metodologias de projeto e tecnologias. Com isso, com a utilização do framework pode-se avaliar a automação do projeto para um circuito analógico de inúmeras formas.

Desta forma o framework é composto por blocos funcionais modulares que servirão para configurar a ferramenta e ajustar o fluxo de projeto. Os blocos que compõem a ferramenta são mostrados na FIGURA 25 e serão detalhados nas seções seguintes.

A ferramenta foi implementada no ambiente Matlab® utilizando o GUIDE (Ambiente de Desenvolvimento de Interface Gráfica de Usuário, do inglês *Graphical User Interface Design Environment*) do próprio software para servir de interface gráfica amigável ao usuário.

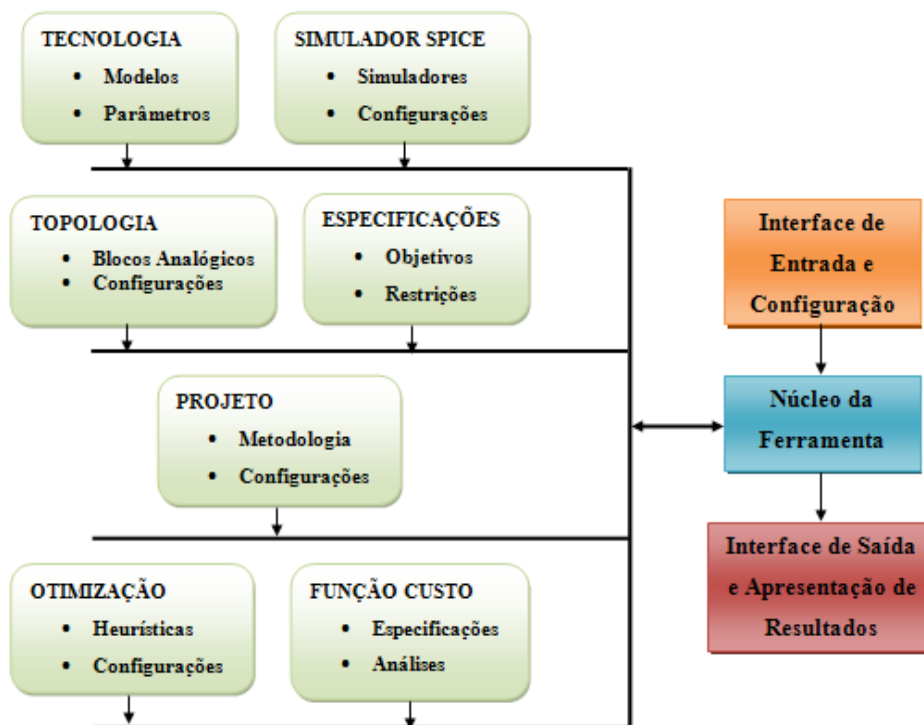


FIGURA 25 – Diagrama de Blocos da Ferramenta

4.2 Interface de Entrada de Dados e Configurações

A interface de entrada e configuração é a forma de acionar e configurar a ferramenta. Nesta interface as características do framework são configuradas, as especificações requeridas e as características tecnológicas são inseridas.

O framework desenvolvido apresenta duas formas de entrada de dados e configuração: modo texto e modo gráfico.

No modo texto o usuário descreve as características da ferramenta segundo um modelo desenvolvido, onde são atribuídas as especificações e configurações diretamente às variáveis do programa. Nesta primeira interface o usuário pode utilizar para fazer configurações além do fluxo normal de automação do projeto, pois é possível analisar o comportamento variando algum parâmetro de configuração, bem como fazer comparações entre as metodologias inseridas na ferramenta.

No modo gráfico o usuário pode inserir e configurar a ferramenta através da seleção em janelas gráficas e inserção de números em campos editáveis. Este modo torna a ferramenta

mais fácil de ser utilizada. Outra característica desta interface é o fato do usuário poder escolher uma especificação que seja de seu interesse, para acompanhar graficamente a evolução da execução. A FIGURA 26 mostra a interface gráfica da ferramenta.

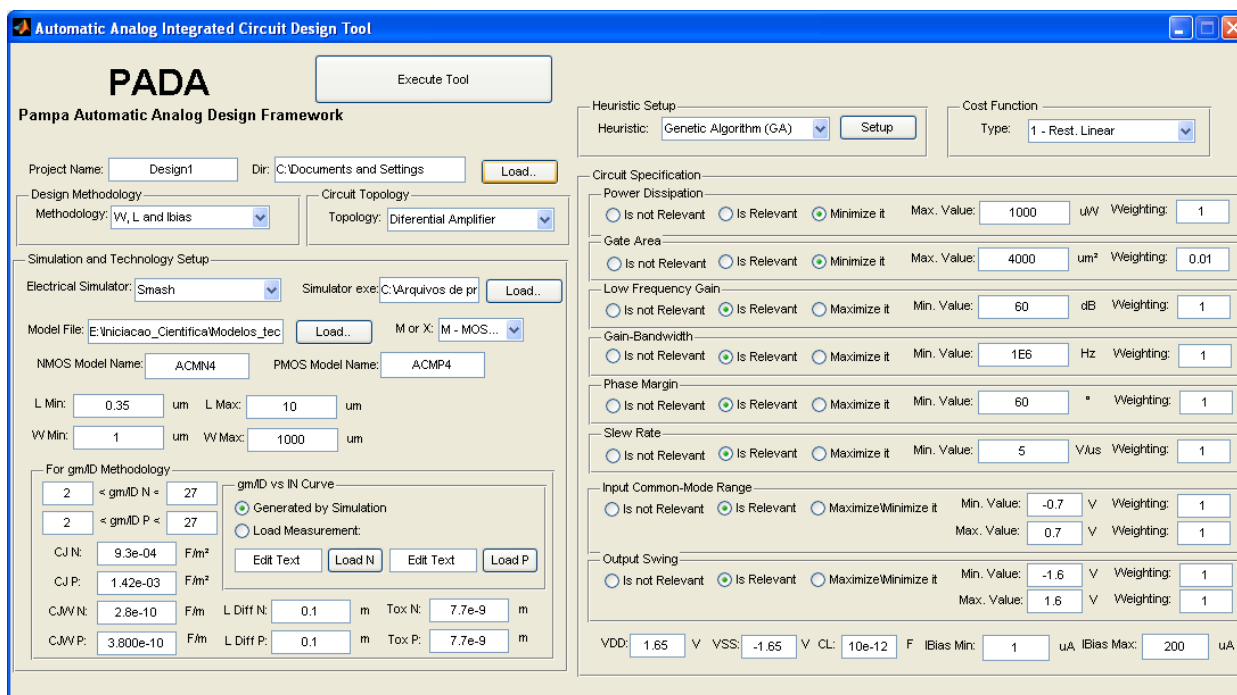


FIGURA 26 – Interface gráfica de entrada de dados e configuração.

4.3 Núcleo da Ferramenta

O núcleo da ferramenta é parte funcional principal, pois este bloco tem acesso a todos os demais blocos da ferramenta. Desta forma, o núcleo da ferramenta é responsável por ler as informações de entrada, seja a interface de modo textual como da interface gráfica, e acionar e configurar os blocos necessários para a automação do projeto.

A FIGURA 27 – (A) mostra como é feita a chamada do núcleo da ferramenta através da interface de entrada, onde devem ser especificadas as variáveis de configuração da ferramenta.

```

Projeto_Automatico(Projeto, Top_Select, Specif, SEL_Specif, ...
Met_Select, Met_gm_ID_curveGen, Met_gm_ID_file, Simul_Select, ...
Simul_Exe, MODELO, W_Min, L_Min, W_Max, L_Max, IBias_Max, IBias_Min,...
GM_IDN, GM_IDP, Spec_Tec, Heur_Selected, FC_Select, PObjetivo,...
PRestricao)

```

(A)

```

%Lê as Configurações do GA
[NPOP, EPSILON, PROB, DISP] = GA_Config() ;
fprintf('>> GA Heuristic Setting...\n');
switch Top_Select %escolha da topologia
case (1)%AmpDiff
    switch Met_Select %Escolha da metodologia
    case (1) %W,L (direta)
        %Limites das variáveis
        %           W_M1  W_M3  W_M5  L_M1  L_M3  L_M5  I_Bias
        limites = [W_Min W_Max; W_Min W_Max; W_Min W_Max; L_Min L_Max; ...
                  L_Min L_Max; L_Min L_Max; IBias_Min IBias_Max];
        %Inicializa População
        Cont_Store=0;
        tic; %Inicia contagem
        fprintf('>> Initializing GA population...\n');
        iPop=initializega(NPOP, limites, 'FCUSTO_AMP_DIFF_WL');
        evalOps=0;
        TEMPO1=toc;
        Cont_Store=1;
        fprintf('>> Running Optimization...\n');
        [xstar, endPop, bPop, traceInfo]=ga(limites, 'FCUSTO_AMP_DIFF_WL', evalOps, ...
                                          iPop, [EPSILON PROB DISP]);

```

(B)

FIGURA 27 – Códigos do núcleo da ferramenta: (A) execução da função, (B) código de configuração e execução da heurística.

O fluxograma de execução do núcleo da ferramenta é mostrado na FIGURA 28. Neste fluxograma, após a chamada da função os blocos funcionais são configurados e a heurística de otimização é executada. Como exemplo desta parte, a FIGURA 27-(B) mostra um fragmento do código de configuração e execução da heurística de otimização. Neste código primeiramente as configurações da heurística de otimização são lidas, os limites das variáveis livres de projeto são definidos e após isso a heurística é executada.

Após a finalização da otimização os resultados de execução são arquivados de forma que possam ser feitas análises dos resultados após a execução.

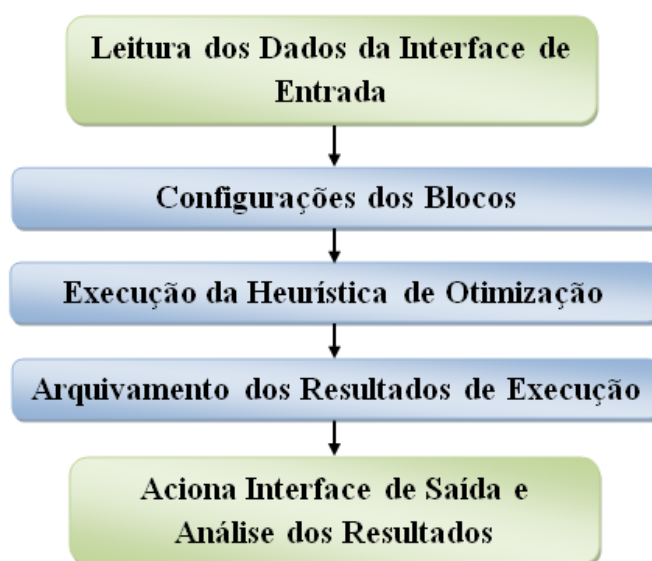


FIGURA 28 – Funcionamento do bloco Núcleo da Ferramenta

4.4 Interface de Saída e Apresentação dos Resultados

A interface de saída e apresentação dos resultados é a forma de verificar e analisar a execução da ferramenta para uma determinada configuração.

Neste trabalho, foram implementadas duas forma de interface de saída: Interface Gráfica e Interface Textual.

Na interface textual, os resultados são visualizados na forma de um relatório de execução gerado automaticamente pela ferramenta ao fim de uma execução, onde estão contidos os dados de entrada de configuração e os dados de saída de execução para esta configuração, entres estes valores de saída, está a comparação entre os valores requeridos e alcançados de uma especificação, a solução final do circuito e o tempo de execução, entre outros.

Na interface gráfica é possível visualizar os resultados através do relatório de execução gerado pela interface textual e também analisar graficamente a evolução de algumas grandezas e especificações do projeto, como por exemplo, a evolução da função custo no decorrer da otimização.

A Interface de saída é mostrada na FIGURA 29 e um típico relatório de execução é mostrado no Apêndice A.

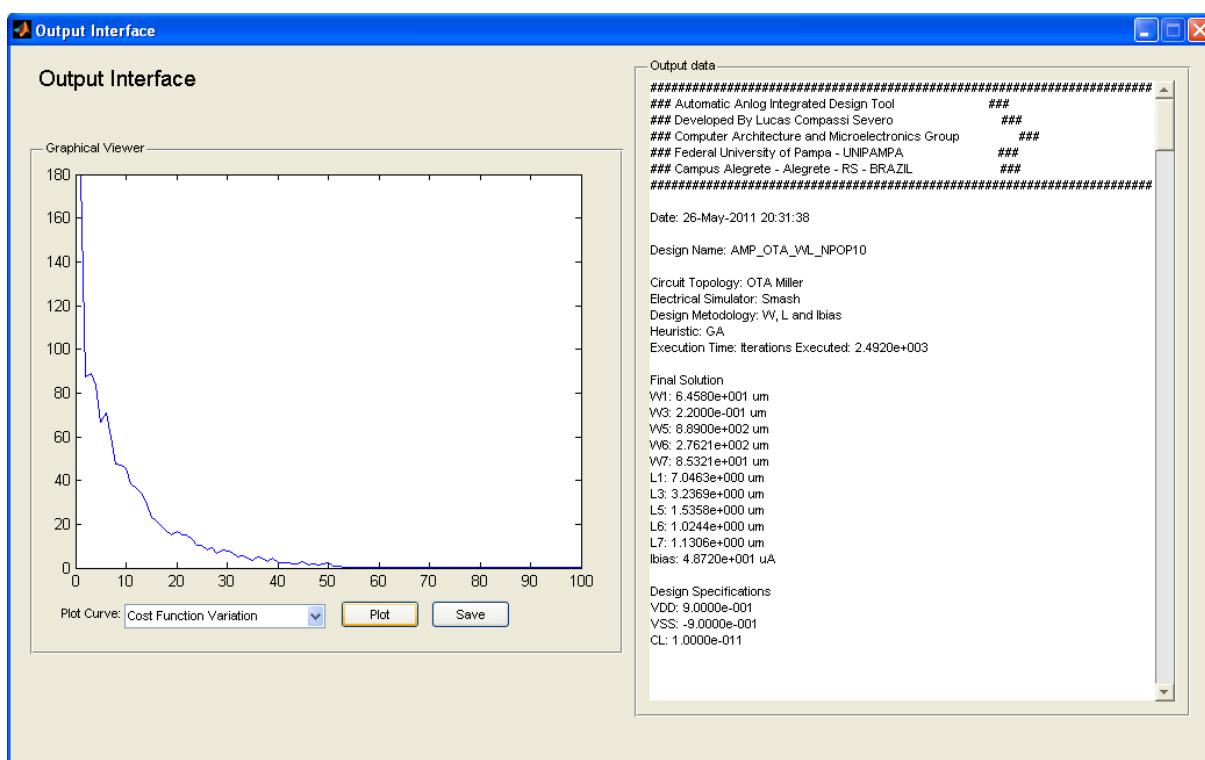


FIGURA 29 – Interface gráfica de saída e apresentação dos resultados.

4.5 Tecnologia

O bloco de tecnologia é responsável pela inserção e configuração do modelo para os transistores MOSFETs, dos parâmetros deste modelo e também das dimensões mínimas e máximas dos transistores. Com isso, este bloco funcional representa a entrada de dados que se refere à tecnologia em que o circuito será fabricado, dados estes que podem ser disponibilizados diretamente pela *Foundry*, ou através da caracterização de transistores de testes.

A escolha do modelo elétrico para os transistores MOSFETs é de grande importância na exploração do espaço de projeto, pois são responsáveis por aproximar via simulações o comportamento físico dos dispositivos.

Outra característica quanto ao modelo escolhido é a forma como ele efetua a modelagem dos transistores, pois descontinuidades ou curvas de ajustes podem afetar a busca

de soluções com a heurística de otimização. Assim, teoricamente, modelos formados por equações contínuas como ACM (MONTORO, 2007) e EKV (ENZ, 2008) tendem funcionarem melhor neste tipo de ferramenta.

O framework desenvolvido é capaz de trabalhar com qualquer modelo para transistores MOSFETs, desde que este modelo seja compatível como o simulador elétrico utilizado.

A entrada de dados do modelo se dá através de um arquivo que será incluído nas simulações realizadas na ferramenta. Desta forma caso uma dada tecnologia necessita de mais de um arquivo a ser incluído, o arquivo que será especificado na ferramenta, pode conter o diretório destes demais arquivos para serem incluídos. Um exemplo de arquivo com parâmetros de modelo é mostrado na FIGURA 30. Os parâmetros mostrados nestas figura são para o modelo ACM para utilização no simulador Smash®.

```

*** Parametros modelo ACM
*** Tecnologia AMS 0.35
*** Simulador Smash

.MODEL ACMN4 NMOS LEVEL=10

* Parametros ACM
+ UO =417.4202 TOX =7.7e-9
+ VTO =0.4138 GAMMA =0.5839
+ PHI =0.8561 PCLM =0.6401
+ WETA = 0.26 LETA =0.44
+ DW =-0.1e-6 DL =-1.657e-8
+ UCRIT =2.8221e6 THETA =0.3211
+ XJ =3.0e-7 SIGMA =6.3731e-18
+ CREC =0.0 CGSO =2.1e-10 CGDO =2.1e-10
+ PB =6.9e-1 CGBO = 1.1e-10 CJ =9.3e-4
+ CJSW =2.8e-10 MJ =3.1e-1 MJSW =1.9e-1
+ RSH =8.2e+1

.MODEL ACMP4 PMOS LEVEL=10

* Parametros ACM
+ UO =105.9903 TOX =7.7e-9
+ VTO =-0.5653 GAMMA =0.4132
+ PHI =0.8144 PCLM =2.0806
+ WETA = 0.26 LETA =0.44
+ DW =-0.1e-6 DL =-1.128e-8
+ UCRIT =1.887e7 THETA =0.1518
+ XJ =3.0e-7 SIGMA =3.369e-16
+ CREC =0.0 CGSO =2.1e-10 CGDO =2.1e-10
+ PB =1.02e0 CGBO = 1.1e-10 CJ =1.42e-3
+ CJSW =3.8e-10 MJ =5.1e-1 MJSW =3.9e-1
+ RSH =1.56e+2

```

FIGURA 30 – Arquivo de modelo de transistores MOSFET do tipo N e do tipo P, para a tecnologia AMS 0.35 μ m.

Outras especificações que devem ser inseridas na ferramenta são os dados do modelo, como nome presente no arquivo de modelo e se a modelagem é feita diretamente com transistores MOSFETs ou através de subcircuitos, o que vai implicar se a descrição SPICE do circuito será feita com dispositivos M (representação de transistores MOSFETs) ou com X (representação de subcircuitos), conforme ilustra a FIGURA 31 para as duas descrições.

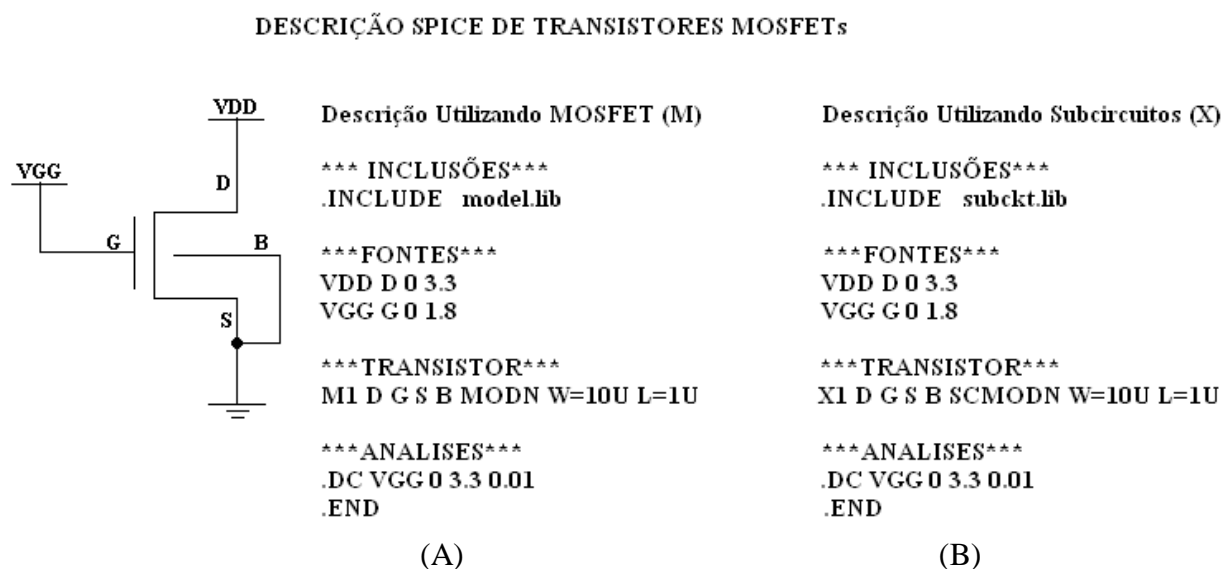


FIGURA 31 – Descrição SPICE de transistores utilizando dispositivos : (A) MOSFETs (M) e (B) subcircuitos (X).

Então, como entradas de configuração para o bloco de tecnologia, o framework apresenta:

- Arquivo de modelo : Arquivo que contém a lista de parâmetros com seus respectivos valores e o nível de modelo. Este arquivo é incluído em todos os processos de simulação.
- Nome do Modelo : O nome do modelo se refere à designação dada pelo arquivo de modelo para cada um dos transistores NMOS ou PMOS. Estes nomes servem para especificação do modelo de cada um dos transistores durante a escrita do arquivo de simulação.
- Tipo de Modelagem : Dispositivos MOSFETs (M) ou Subcircuitos (X).

- Dimensões dos transistores : As dimensões dos transistores com os valores mínimos permitidos pela tecnologia e os valores máximos especificados pelo usuário.
- Parâmetros Tecnológicos : Na metodologia de dimensionamento de transistores são necessárias alguns parâmetros de tecnologia, valores estes que estão presentes no arquivo de modelo e devem ser inseridos na ferramenta para o dimensionamento dos transistores. Estes parâmetros são: capacitâncias de junção (C_J) e de parede lateral (C_{JW}), espessura do óxido isolante (T_{OX}), comprimento da região de difusão (L_{DIFF}).

4.6 Simulador SPICE

Na parte de simulação elétrica do framework estão cadastrados os simuladores elétricos tipo SPICE. Estes simuladores são utilizados para a avaliação das especificações dos circuitos, através da simulação de um arquivo de texto que contém o circuito descrito.

Para a medição das especificações utilizam-se configurações de circuito, de forma que com a utilização das análises AC (análises no domínio da frequência), DC (análise de variação no nível de tensão ou corrente) e Transiente (análise no domínio do tempo) todas as especificações do circuito sejam obtidas através da simulação elétrica, conforme apresentado no Capítulo 2.

A escolha do simulador elétrico muitas vezes está relacionada aos parâmetros do modelo que se tem disponível e também com relação à convergência de determinadas simulações (KUKAL, 2003).

A ferramenta utiliza o simulador através da execução por linha de comando, onde são passados os dados de simulação através do circuito descrito. Após a simulação são gerados, em texto, os dados de resultados da simulação. Destes dados são extraídas as especificações de um circuito. Como um circuito possui inúmeras especificações que devem ser mensuradas, são necessárias várias simulações para análise de uma solução. Com isso, o maior tempo gasto na ferramenta se dá na tarefa de simulação do circuito.

A FIGURA 32 mostra um exemplo de código, implementado na ferramenta, para a simulação elétrica e medição das especificações de ganho para baixas frequências (Avo), produto ganho-largura de faixa (GBW) e margem de fase (MF). Neste código, primeiramente a descrição do circuito para a análise AC é escrita. Após isso, através de linha de comando (função *system*) o simulador é executado para simular o arquivo escrito. Com a simulação finalizada, os resultados da simulação são lidos e as especificações são extraídas dos resultados de simulação.

```

%Escreve Análise AC
  Escreve_AmpDiff_AC(x, AD, AS, PD, PS)
%Simula Análise AC
  global Projeto;
  switch Simulador
    case(1) %Smash
      Diretorio=[Projeto.Dir '\\' Projeto.Nome '\simulation_files\AMPDIFF_AC_SMASH.cir'];
      [zz, zzz]=system([Simul_Exe ' --batch --ac ' Diretorio]);
    end
  %Le Resultados Simulação
    AC=Le_AMPDIFF_AC() ;
  %Calcula Avo, GBW, MF
    [Avo, GBW, MF]=AV_Spec(AC);

```

FIGURA 32 – Código para a medição de especificações do circuito por simulação elétrica através da análise AC.

No bloco de simulação do framework é necessário configurar as seguintes variáveis:

- Simulador: Simulador escolhido para utilização na ferramenta. Nesta primeira versão da ferramenta está presente somente o simulador Dolphing Smash®, o qual é compatível com a maioria dos modelos atuais.
- Arquivo de Execução: representa o diretório em que está o arquivo para execução do simulador.

4.7 Topologia

A topologia se refere ao circuito integrado analógico que se deseja projetar automaticamente, de forma a encontrar uma solução (dimensão dos transistores e fontes de polarização) otimizada e que satisfaça as especificações mínimas requeridas no projeto.

Teoricamente, a forma de implementação do framework é compatível com qualquer circuito integrado que se deseja buscar por soluções otimizadas. O que restringe a execução de

um circuito é o poder de busca das heurísticas de otimização dentro do espaço não-linear de projeto.

Em uma topologia entende-se por variáveis livres de projeto o número de valores que se deve obter para o circuito ser totalmente projetado.

Nesta versão do framework foram implementados os circuitos amplificador diferencial e amplificador operacional de transcondutância tipo OTA Miller, cujos funcionamentos foram detalhados na Capítulo 2.

Para a inserção de novas topologias de circuito no framework é necessário programar em linguagem Matlab® de forma a especificar os arquivos de descrição do circuito necessários para a simulação SPICE, bem como as análises de simulação necessárias para medição das especificações de interesse e as especificações das variáveis livres de projeto. Para esta tarefa, são utilizadas as funções modulares presentes na ferramenta para os demais blocos. Com base nas funções modulares alguns ajustes definidos pelos usuários bastam para a função estar adaptada ao novo circuito.

4.8 Especificações

As especificações de uma topologia de circuito referem-se ao comportamento do circuito desejado em um projeto. Estes valores, na ferramenta projetada, servem de base para o dimensionamento dos transistores presentes na topologia de circuito.

No framework deve-se trabalhar com duas formas de especificações: especificações restritivas e especificações de otimização.

As especificações restritivas são as especificações que devem satisfazer valores mínimos ou máximos definidos pelo usuário. Uma solução da topologia só é factível se estes valores mínimos ou máximos forem atingidos. As especificações de otimização são escolhidas pelo usuário como características do projeto que se deseja otimizar, ou seja, estas especificações serão os objetivos da função custo do problema de otimização.

Além destas especificações é necessária também a inserção de especificações de polarização e carga do circuito, como fontes de alimentação, de tensão e de corrente, e capacitância de carga.

Como entradas de especificações a ferramenta apresenta os seguintes campos:

- Especificações Restritivas Relevantes: são as especificações que devem atingir um valor máximo ou mínimo. Com isso, para as especificações escolhidas deve-se inserir o valor mínimo ou máximo requerido.
- Especificações de Otimização: são as especificações cujo objetivo é otimizar o seu valor.
- Especificações de Operação: Estas especificações se referem aos valores de tensão de alimentação do circuito (VDD e VSS), Capacitância de carga (CL) e valores mínimos e máximos possíveis para as fontes de polarização dos circuitos.

Nas metodologias implementadas é possível medir e utilizar o framework com as seguintes especificações: ganho em baixas frequências (Avo), produto ganho-largura de faixa (GBW), margem de fase (PM), faixa de tensão no modo comum de entrada (ICMR), faixa de tensão de saída (OS), velocidade de resposta do amplificador (SR), potência dissipada e área de gate do circuito.

4.9 Projeto

O bloco projeto se refere à metodologia de dimensionamento dos transistores que compõem um circuito. Desta forma, a metodologia de projeto se refere à forma em que as variáveis livres de otimização são convertidas para as dimensões dos transistores do circuito e para as fontes de polarização.

Neste framework duas metodologias de projeto foram implementadas: Metodologia direta e metodologia gm/I_D.

Na metodologia direta as variáveis livres de otimização são as dimensões dos transistores (W e L) e as fontes de polarização. Assim, não é necessário fazer nenhum processamento adi-

cional neste dimensionamento, pois as variáveis de projeto de um dado circuito são as mesmas variáveis livres de otimização. Com isso, a solução gerada pela heurística pode ser avaliada diretamente com a simulação elétrica, conforme ilustra a FIGURA 33-(A).

Na metodologia gm/I_D as variáveis livres de otimização são os comprimentos de canal dos transistores (L) e um valor de gm/I_D . Possuindo as especificações mínimas de projeto e a curva gm/I_D com relação à corrente normalizada, pode-se obter a largura do canal do transistor (W) e as fontes de polarização do circuito, conforme ilustra a FIGURA 33-(B). Este procedimento foi tratado no Capítulo 2 deste trabalho.

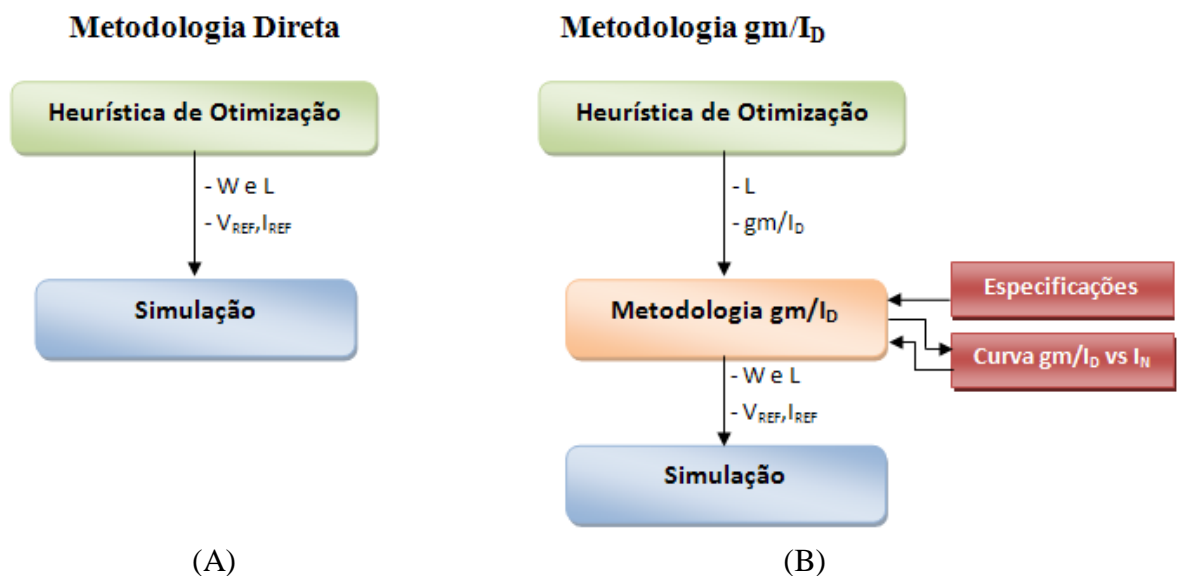


FIGURA 33 – Metodologias de Dimensionamento do Framework: (A) metodologia direta, (B) metodologia gm/I_D .

Na FIGURA 34 é mostrado o código de configuração e execução da otimização do framework desenvolvido, onde pode-se verificar a definição das variáveis livres de otimização para a metodologia direta e metodologia gm/I_D através da atribuição a variáveis *limites*.

Como configurações, neste bloco, o usuário deve escolher uma das metodologias e definir os limites mínimos e máximos das variáveis livres.

No caso da metodologia gm/I_D , o usuário ainda deve especificar a origem da curva gm/I_D , que pode ser carregada de um arquivo de texto ou gerada através de simulação elétrica pela ferramenta. No primeiro caso, pode-se utilizar a curva medida em transistores de testes, o que

faz com que a ferramenta utilize dados reais e tenda a aproximar mais fielmente o resultado obtido no projeto com o comportamento elétrico do bloco depois de fabricado.

```

switch Met_Select %Escolha da metodologia
case (1) %W,L (direta)
    %Limites das variáveis
    %      W_M1      W_M3      W_M5      L_M1      L_M3      L_M5      I_Bias
    limites = [W_Min W_Max; W_Min W_Max; W_Min W_Max; L_Min L_Max; L_Min L_Max; L_Min L_Max; IBias_Min IBias_Max];
    %Inicializa População
    fprintf('>> Initializing GA population...\n');
    iPop=initializega(NPOP,limites,'FCUSTO_AMP_DIFF_WL');
    evalOps=0;
    fprintf('>> Running Optimization...\n');
    [xstar,endPop,bPop,traceInfo]=ga(limites,'FCUSTO_AMP_DIFF_WL',evalOps,iPop,[EPSILON PROB DISP]);
    Sol_Fim=xstar;
    BestPop_GA=bPop;

case (2) %gm/ID
    %Limites das variáveis
    %      L_M1      L_M3      L_M5      GM_M1      GM_M3      GM_M5
    limites=[L_Min L_Max;L_Min L_Max;L_Min L_Max;GM_IDN.Min GM_IDN.Max;GM_IDP.Min GM_IDP.Max;GM_IDN.Min GM_IDN.Max];
    %Inicializa População
    fprintf('>> Initializing GA population...\n');
    initPop=initializega(NPOP,limites,'FCUSTO_AMP_DIFF_gmID');
    evalOps=0;
    fprintf('>> Running Optimization...\n');
    [xstar,endPop,bPop,traceInfo]=ga(limites,'FCUSTO_AMP_DIFF_gmID',evalOps,initPop,[EPSILON PROB DISP]);
    Sol_Fim=xstar;
    BestPop_GA=bPop;

end

```

FIGURA 34 – Código de configuração da heurística de otimização.

Para a geração da curva a ferramenta efetua a simulação com um transistor de dimensões quadradas, medindo dez vezes o comprimento mínimo de canal do transistor definido pela tecnologia de fabricação. Após a simulação da curva I_D vs V_G (corrente de dreno com relação à variação na tensão de gate), a transcondutância gm é obtida, dando origem à relação gm/I_D . Para melhorar a qualidade da curva são aplicados filtros. Uma curva gerada através de simulação para a tecnologia AMS $0.35\mu\text{m}$ é mostrada na FIGURA 35.

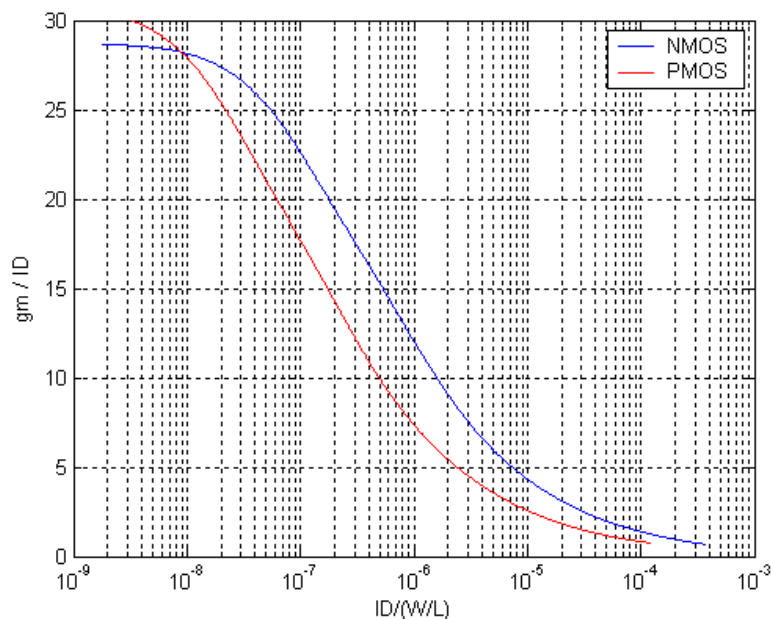


FIGURA 35 – Curva gm/ID para a tecnologia AMS 0.35µm

4.10 Otimização

O bloco de otimização é um dos principais blocos da ferramenta, visto que é este bloco que gera cada uma das possíveis soluções para a topologia de circuito e é devido à sua heurística associada que soluções otimizadas podem ser encontradas.

De maneira geral, a heurística recebe uma ou mais soluções iniciais e com base nestas soluções são geradas novas soluções para as variáveis livres de otimização. As soluções geradas devem possuir valores definidos dentro de um limite mínimo e máximo e também estarem dentro de um passo ou variação mínima para considerar duas soluções diferentes. As heurísticas avaliam a população com base no valor de função objetivo ou função de avaliação, cujo valor depende de algumas características do circuito de interesse do usuário. Na ferramenta proposta o valor de função custo é calculado utilizando uma função custo multiobjetivo.

Neste projeto foram inseridas duas heurísticas de otimização ao framework: Algoritmos Genéticos (GA) e *Simulated Annealing* (SA).

O Algoritmo Genético (GA), tem uma analogia com a evolução biológica e a genética, conforme teve o seu funcionamento mostrado no Capítulo 3. Como o objetivo deste trabalho

não é a implementação da heurística e sim a sua aplicação no projeto de circuitos integrados analógicos, foi utilizando como algoritmo genético o toolbox para Matlab® GAOT (do inglês Genetic Algorithm Optimization Toolbox) desenvolvido por (HOUCK, 2011).

O GAOT possui inúmeras configurações disponível ao usuário e pode ser utilizado de diversas formas. Dentre os principais parâmetros destacam-se o número de indivíduos da população, valor de variação necessária para considerar duas soluções distintas e o parâmetros que configura o tipo de algoritmo genético (binário ou real). Existem inúmeros outros parâmetros e configurações de recombinação, mutação e seleção, porém nesta ferramenta preferiu-se não levar em conta este parâmetros.

Quanto à heurística *Simulated Annealing*, que se trata de uma analogia com o sistema termodinâmico como mostrado no Capítulo 3, também não é o objetivo deste trabalho implementar esta técnica de otimização. Desta forma foi utilizada a biblioteca Asamin, desenvolvida por Shinichi Sakata (SAKATA, 2011), que é uma adaptação do Simulated Annealing, também chamada de Very Fast Simulated Annealing.

Para exemplificar o processo de otimização da ferramenta desenvolvida, a FIGURA 36 mostra o fluxograma de otimização da ferramenta com a heurística do algoritmo genético e a metodologia gm/I_D. A heurística de otimização recebe como entradas os valores das especificações requeridas no projeto, as especificações alvos de otimização e uma população de soluções iniciais gerada aleatoriamente por uma função de inicialização. Esta população inicial deve obedecer aos limites impostos para as variáveis livres de otimização, que no caso da metodologia gm/I_D são os valores mínimos e máximos de comprimento do canal (L) e valores de gm/I_D.

O início do algoritmo se dá na seleção de soluções pertencentes à população e na geração de novas soluções, baseando-se nos parâmetros de recombinação e mutação. Com a solução gerada, através da curva gm/I_D e das especificações requeridas, os valores de corrente normalizada I_N são obtidos. Assim, pode-se calcular o valor da relação W/L e conseqüentemente, o valor de W e das fontes de polarização do circuito, obtendo-se assim todas as variáveis do circuito. As especificações do circuito, para a solução analisada, são obtidas com a simulação elétrica do circuito. Com os valores das especificações do circuito a função custo é calculada, dando origem a um valor de avaliação da solução gerada. O critério de parada é verificado e se

satisfeito a otimização é finalizada, caso contrário, a população do algoritmo é atualizada de acordo com o valor da função custo e o processo de otimização continua.

Como critério de parada na ferramenta foi utilizado uma variação mínima na função custo, a qual corresponde a um valor de entrada de configuração da heurística.

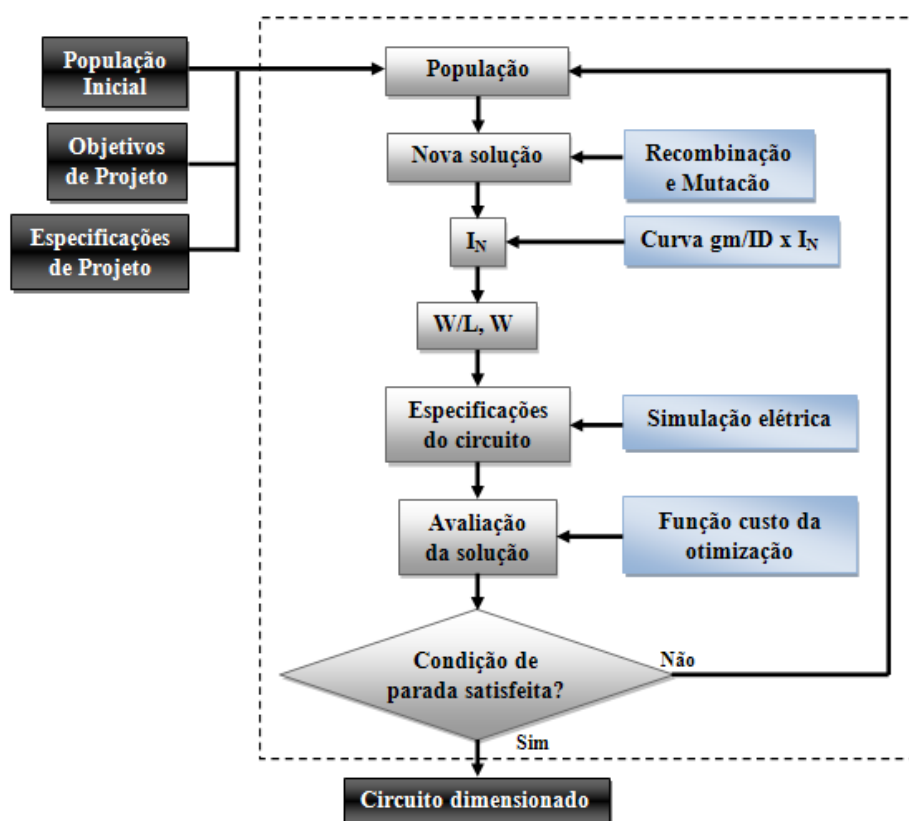


FIGURA 36 – Fluxograma de otimização da ferramenta com algoritmo Genético e a metodologia gm/ID.

4.11 Função Custo

A função custo é a especificação mais importante de uma otimização, pois é com base no seu valor que cada uma das soluções é avaliada.

Como na ferramenta proposta o usuário deve informar as especificações que são alvos de otimização e as especificações que restringem o espaço de projeto, a função custo deve levar em conta todas as especificações selecionadas pelo usuário. Assim, optou-se por utilizar uma função custo multiobjetivo, conforme mostrado no Capítulo 3, de forma que na avaliação

de uma solução sejam avaliadas as restrições de projeto e também as especificações que se deseja maximizar ou minimizar.

A função custo utilizada nesta ferramenta é dada pela Equação (23), onde E_i é a especificação i do circuito, P_O e P_R são os pesos (fator de ponderação) das especificações objetivos e das especificações restritivas, respectivamente.

Para escolher quais especificações são objetivos de otimização e quais especificações são restrições, a ferramenta recebe os valores de pesos de forma que, se a especificação i é considerada alvo de otimização, P_{O_i} deve possuir um valor diferente de zero (positivo para maximização e negativo para minimização).

Para as restrições, a mesma ideia das especificações objetivos é utilizada. Assim, se a especificação j é uma restrição do problema, o valor de P_{R_j} deve ser maior do que zero.

$$f_c = \sum_{i=1}^n P_{O_i} \cdot E_i + \sum_{j=1}^n P_{R_j} \cdot V(E_j) \quad (23)$$

Com relação ao valor de restrição na função custo ($V(E_j)$), o seu valor é calculado em função do valor desejado e do valor alcançado de uma especificação. Com isso se a especificação E_j está dentro do limite de restrição, $V(E_j)$ deve ser igual a zero. Caso contrário, se E_j está fora do valor mínimo ou máximo requerido, $V(E_j)$ deve ser proporcional à distância do valor requerido.

Desta forma, para o cálculo de $V(E_j)$ foi adotado uma normalização tomando como base um valor máximo (V_{MAX}).

Com isso, se uma restrição requerer um valor mínimo a ser atingido, $V(E_j)$ é calculado com a Equação 24, de forma que se a especificação E_j tiver valor igual a zero, $V(E_j)$ será igual à V_{MAX} e seu valor vai reduzindo de V_{MAX} a zero à medida que E_j se aproxima do valor mínimo requerido (E_{MINj}). Para ilustrar, a FIGURA 37-(A) apresenta a variação de $V(E_j)$, considerando V_{MAX} igual a 100 e E_{MINj} igual a 120.

$$V(E_j) = \begin{cases} -\left(\frac{V_{MAX}}{E_{MIN_j}}\right) \cdot E_j + V_{MAX} & : E_j < E_{MIN_j} \\ 0 & : E_j \geq E_{MIN_j} \end{cases} \quad (24)$$

Para especificações que requerem valores abaixo de um valor máximo, foi admitida a seguinte hipótese: se o valor da especificação for menor que o valor máximo, o valor desta restrição ($V(E_j)$) será igual a zero. Caso o seu valor seja maior que o valor máximo requerido, $V(E_j)$ aumenta linearmente com referência a um valor máximo (V_{MAX}) fixado a α vezes o valor máximo admitido da especificação (E_{MAX_j}), como mostrado na Equação 18. A FIGURA 37-(B) ilustra a variação de $V(E_j)$, assumindo α igual a 10, V_{MAX} igual a 100 e E_{MAX} igual a 12.

$$V(E_i) = \begin{cases} 0 & : E_i \leq E_{MAX_i} \\ \frac{V_{MAX}}{\alpha - 1} \cdot E_i - E_{MAX_i} & : E_i > E_{MAX_i} \end{cases} \quad (25)$$

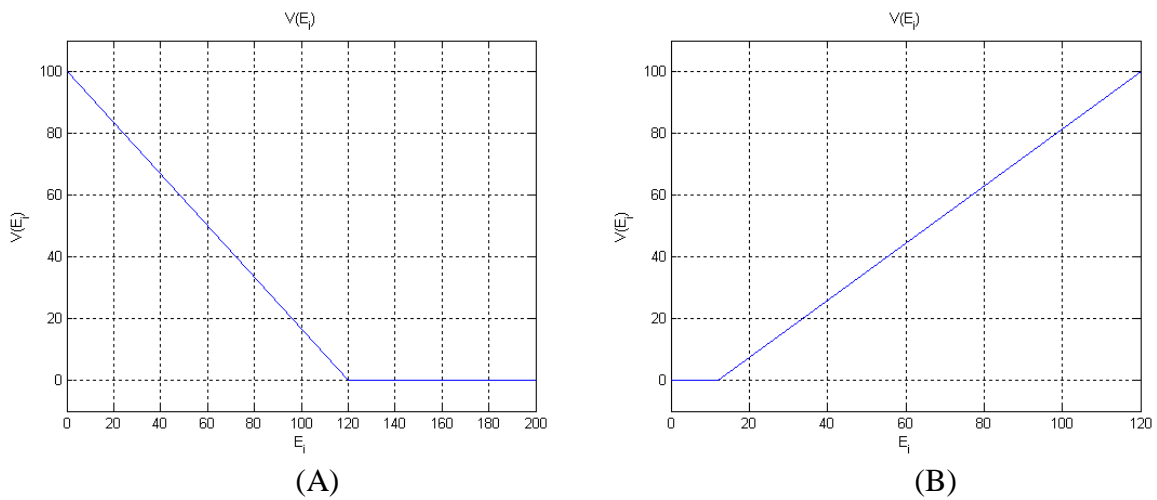


FIGURA 37 – Variação do valor da restrição com relação ao valor da especificação: (A) restrição de valor mínimo, (B) restrição de valor máximo.

A manipulação com as restrições mostrada anteriormente foi chamada de função custo do tipo restrição linear. No framework foram fixados α igual a 10 e V_{MAX} igual a 100. Com isso, o valor de restrição $V(E_j)$ tende a variar entre 0 e 100.

A FIGURA 39 mostra o código implementado para o cálculo da função custo. Na parte (A) é mostrada a implementação da Equação 23 e na parte (B) a implementação das Equações 24 e 25.

```

%Valor das especificações medidas
Objetivo=[Medida.Avo Medida.GBW Medida.MF Medida.SR Medida.ICMR_pos abs(Medida.ICMR_neg)...
          Medida.OS_pos abs(Medida.OS_neg) Medida.Area Medida.Potencia];
%Função para o cálculo da restrições
Restricao=Calc_Rest(Medida,FC_Select);
O=0;
R=0;
%Somatório
for (i=1:1:10)
    O=PObjetivo(i)*Objetivo(i)+O;    %Somatório Objetivos
    R=PRestricao(i).*Restricao(i)+R; %Somatório Restrições
end
Fcusto=O+R;

```

(A)

```

%Função de Normalização Linear para restrições com valor mínimo,
%considerando 0 se valor mínimo atingido
function Vnorm=Norm_linear_1_min(Valor,Max,Vmin)
    Valor=abs(Valor);
    Vmin=abs(Vmin);
    if(Valor<Vmin)
        Vnorm=Valor*(-Max/Vmin)+Max;
    else
        Vnorm=0;
    end
end
%Função de Normalização Linear para restrições com valor máximo,
%considerando 0 se valor maximo não atingido
function Vnorm=Norm_linear_1_max(Valor,Max,Vmax)
    Valor=abs(Valor);
    Vmax=abs(Vmax);
    if(Valor>Vmax)
        Vnorm=(Valor-Vmax)*(100/(9*Vmax));
    else
        Vnorm=0;
    end
end

```

(B)

FIGURA 38 – Funções para o cálculo da função custo: (A) cálculo da função custo, (B) função de cálculo das restrições.

Como entrada do framework, o bloco de função custo utiliza os dados de entrada do bloco especificação. Através do valor dos pesos, as especificações relevantes ao projeto são escolhidas e podem ser ponderadas.

A escolha dos valores de ponderação utilizados na função custo muitas vezes é difícil de fazer, pois existem inúmeras combinações possíveis e também muitas vezes não é conhecido de antemão a faixa de variação da especificações. Além disso, muitas vezes o processo de otimi-

zação se detem mais em encontrar soluções que atinjam as especificações impostas (soluções factíveis) do que otimizar as grandezas alvo de otimização.

Assim, o procedimento de escolha dos parâmetros de ponderação é experimental, onde o usuário insere valores e vai ajustando estes valores até as especificações serem atingidas.

```

%Valor das especificações medidas
Objetivo=[Medida.Avo Medida.GBW Medida.MF Medida.SR Medida.ICMR_pos abs(Medida.ICMR_neg)...
          Medida.OS_pos abs(Medida.OS_neg) Medida.Area Medida.Potencia];
%Função para o cálculo da restrições
Restricao=Calc_Rest(Medida,FC_Select);
O=0;
R=0;
%Somatório
for (i=1:1:10)
    O=PObjetivo(i)*Objetivo(i)+O; %Somatório Objetivos
    R=PRestricao(i).*Restricao(i)+R; %Somatório Restrições
end
Fcusto=O+R;

```

(A)

```

%Função de Normalização Linear para restrições com valor mínimo,
%considerando 0 se valor mínimo atingido
function Vnorm=Norm_linear_1_min(Valor,Max,Vmin)
    Valor=abs(Valor);
    Vmin=abs(Vmin);
    if (Valor<Vmin)
        Vnorm=Valor*(-Max/Vmin)+Max;
    else
        Vnorm=0;
    end
end
%Função de Normalização Linear para restrições com valor máximo,
%considerando 0 se valor maximo não atingido
function Vnorm=Norm_linear_1_max(Valor,Max,Vmax)
    Valor=abs(Valor);
    Vmax=abs(Vmax);
    if (Valor>Vmax)
        Vnorm=(Valor-Vmax)*(100/(9*Vmax));
    else
        Vnorm=0;
    end
end

```

(B)

FIGURA 39 – Funções para o cálculo da função custo: (A) cálculo da função custo, (B) função de cálculo das restrições.

4.12 Conclusões

Neste capítulo foi apresentada a ferramenta proposta, bem como os blocos que a compõem.

Como mostrado, o framework possui uma série de parâmetros de configurações, parâmetros estes que mostram o número de possibilidades de comparações e análises que são possíveis. Assim, inúmeras análises e comparações podem ser feitas.

Baseando-se nas comparações possíveis de serem feitas com a ferramenta, pode-se verificar para cada topologia de circuito qual é a melhor metodologia de projeto. Estas comparações podem ser utilizadas como auxílio na escolha da topologia que pode ser utilizada em um dado projeto ou até mesmo a escolha de uma tecnologia de fabricação.

Embora o framework tenha sido implementado com um número reduzido de topologias de circuito, metodologias de dimensionamento, entre outros, a idéia pode ser estendida para outras metodologias, bastando que estas novas funções sejam inseridas ao ambiente desta ferramenta.

Outra característica interessante é o fato de a ferramenta possuir interfaces de entradas de configurações e saídas de análise de resultados, de forma que o framework possa ser facilmente executado e os resultados gerados também sejam facilmente analisados.

5 RESULTADOS

5.1 Introdução

Nos capítulos anteriores foram apresentadas as características e o desenvolvimento do framework proposto.

No presente capítulo serão apresentados alguns resultados obtidos com a ferramenta e algumas comparações com respeito à tecnologia de fabricação, metodologia de projeto e heurística de otimização.

As subseções a seguir trazem os resultados para os dois blocos analógicos básicos implementados na ferramenta: amplificador diferencial e amplificador OTA tipo Miller.

Nas análises que serão feitas, serão mostrados valores de parâmetros utilizados como ponderação da função custo. Estes valores foram obtidos experimentalmente de forma a encontrar soluções que atinjam as especificações impostas e tentam deixar as especificações em ordem de grandezas semelhantes.

5.2 Amplificador Diferencial

O circuito amplificador diferencial teve seu funcionamento e modelagem mostrado no Capítulo 2 deste trabalho. Nesta seção busca-se por verificar os resultados obtidos no dimensionamento automático de seus transistores sob algumas especificações. Para o projeto deste circuito baseou-se na tecnologia AMS 0.35 μ m com a utilização do modelo ACM (MONTORO, 2007), compatível com o simulador Smash®.

Nesta análise foram impostas ao circuito as especificações mostradas na TABELA 1. E como parâmetros de ponderação da função custo foi utilizado um valor unitário para todas as especificações da função custo.

Os resultados obtidos são mostrados nas próximas seções.

TABELA 1 – Especificações impostas ao projeto do Amplificador Diferencial.

Especificação		Valor Requerido	Unidade
Ganho em baixas Frequências (Avo)		60,00	dB
Produto Ganho-Largura de Faixa (GBW)		1,00	MHz
Margem de Fase (PM)		60,00	°
Slew Rate (SR)		5,00	V/ μ s
Faixa de Tensão de Entrada em Modo Comum (ICMR)	Mínimo	-0,7	V
	Máximo	0,7	V
Potência Dissipada		Minimizar	μ W
Área de Gate		-	μ m ²

5.2.1 Automação do Projeto com GA com Populações de Tamanhos Distintos

Nesta análise o objetivo é verificar a importância do tamanho da população dos algoritmos genéticos nos resultados de exploração do projeto.

Utilizando as especificações da TABELA 1 e configurando o framework para o projeto de um amplificador diferencial com heurística de otimização dos Algoritmos Genéticos, com os parâmetros do modelo utilizado e com a metodologia direta (W e L), foram executadas três vezes este dimensionamento, sendo que para cada execução foram utilizados 10, 100 e 1000 indivíduos na população.

Os resultados de execução estão mostrados nas TABELA 2. Nesta tabela é possível verificar que as três execuções apresentaram resultados satisfatórios, pois todas as especificações foram atingidas (com exceção do GBW com 100 indivíduos na população). Analisando a po-

tência dissipada do circuito (alvo de otimização), verifica-se que o melhor resultado foi encontrado com uma população de 1000 indivíduos, porém à custa de um maior tempo de execução (25 minutos, contra 22 e 19 minutos das demais execuções).

Este resultado já era esperado, pois um aumento no número de indivíduos da população provoca uma maior diversidade nos membros da população, fato este que pode colaborar para encontrar soluções globalmente mais otimizadas. Devido a este incremento existem mais soluções possíveis a serem analisadas, o que explica o maior tempo de execução.

TABELA 2 – Resultados do Projeto de um Amplificador Diferencial utilizando a Metodologia Direta (W e L) com a Variação do Número de Indivíduos da população do Algoritmo Genético.

Parâmetro	Valor Requerido	População		
		10	100	1000
GBW	1MHz	3,91 MHz	949 kHz	5,95 MHz
SR	5,00 V/ μ s	5,12 V/ μ s	5,00 V/ μ s	5,00 V/ μ s
Av0	60dB	61,18 dB	62,29 dB	60 dB
ICMR-	-0,70V	-1,02 V	-0,94 V	-0,70 V
ICMR+	1,03V	1,07 V	0,81 V	1,03V
Potência	minimizar	148,33 μ W	148,80 μ W	139,46 μ W
Área de gate	-	1915.90 μ m ²	2354.90 μ m ²	1651.90 μ m ²
Tempo de processamento	-	22 min	19 min	25 min
Gerações	-	2524	2354	2026

5.2.2 Comparação GA e SA

Tendo como base o melhor resultado obtido no item anterior (população igual a 1000 indivíduos), nesta subseção será comparada esta execução com o resultado obtido com a execução do algoritmo de otimização *simulated annealing*.

Utilizando as mesmas especificações utilizadas na execução com algoritmos genéticos o framework foi executado utilizando a heurística *simulated annealing*. E o resultado obtido, junto à comparação com a melhor solução encontrada com os GA, está mostrado na TABELA 3.

TABELA 3 – Comparação entre Algoritmo Genético e *Simulated Annealing* no Projeto de um Amplificador Diferencial, utilizando a metodologia direta (W e L)

Parâmetro	Valor Requerido	GA (NPOP=1000)	SA
Tempo de processamento	-	25 minutos	28 minutos
W(M1, M2)	-	99,98 μm	45,76 μm
W(M3, M4)	-	24,17 μm	7,87 μm
W(M5, M6)	-	67,49 μm	77,03 μm
L(M1, M2)	-	1,85 μm	1,52 μm
L(M3, M4)	-	2,56 μm	1,55 μm
L(M5, M6)	-	23,96 μm	23,39 μm
Iref	-	51,22 μA	50,50 μA
Av0	60 dB	60 dB	55,07 dB
SR	5,00 V/ μs	5,00 V/ μs	8,09 V/ μs
ICMR+	0,7 V	1,03 V	1,11 V
ICMR-	-0,7 V	-0,70V	-0,83 V
GBW	1 MHz	5,95 MHz	7,00 MHz
Área	-	1651.90 μm^2	1883,49 μm^2
Potência	-	169,03 μW	165,66 μW

Nesta tabela verifica-se que a execução com SA apresentou bons resultados, pois com exceção da especificação de ganho em baixas frequências (A_{V_0}), as especificações requeridas foram satisfeitas.

Nestes resultados é verificado que o melhor resultado de otimização (redução na potência dissipada) foi encontrado com SA, porém à custa de um tempo de execução maior (28 minutos

contra 25 minutos). O melhor resultado com SA pode ser relacionado ao baixo valor encontrado para a especificação de ganho para baixas frequências, visto que esta especificação se relaciona diretamente com a potência dissipada do circuito.

Em geral as soluções encontradas, apresentaram praticamente os mesmos resultados, uma vez que os valores de potência dissipada e área de gate pelas soluções encontradas são próximos (3,37 μA e 231 μm^2 de diferença de potência e área, respectivamente). Assim, ambas as soluções são consideradas boas soluções para o circuito. Caso as restrições impostas representem valores que devem ser alcançados o mais próximo possível, deve-se adotar a solução encontrada com GA para o circuito, pois todas as especificações foram fielmente atingidas e seus valores estão o mais próximos do valor mínimo exigido.

5.3 Amplificador OTA Miller

O circuito Amplificador OTA Miller teve o seu funcionamento detalhado no Capítulo 2 deste trabalho. Neste capítulo como resultado, foram analisadas as tecnologias de fabricação XFAB XH0.18 μm e AMS 0.35 μm sobre a otimização das duas heurísticas implementadas na ferramenta.

Como alvos de otimização foram postos as especificações de potência dissipada e área de gate do circuito. Estes objetivos, área e potência, são objetivos conflitantes, uma vez que a redução do comprimento do canal (L) reduz a área do circuito, porém provoca um aumento na corrente de dreno do transistor que leva a um aumento na potência dissipada. A redução da largura do canal (W) é importante para ambas as especificações, pois reduz a área e a capacidade de condução de corrente do transistor.

Na função custo foi utilizado como parâmetro de ponderação de otimização para potência um valor unitário e para área de gate um valor igual a 0.1. Como ponderações das especificações foram utilizados valores unitários.

Para a tecnologia de 0.18 μm foi utilizado uma tensão de alimentação de 1.8V (-0.9 V a 0.9 V) e já para a tecnologia de 0.35 μm foram utilizadas fontes de alimentação de 3.3V (-1.65 V a 1.65 V).

5.3.1 Resultados Obtidos com a Tecnologia AMS 0.35 μ m

Para análise do projeto do amplificador OTA Miller nesta tecnologia, foram utilizados como base três especificações de projetos distintas, sendo que a diferença entre elas está relacionado às especificações de Slew Rate (SR) e Produto Ganho-Largura de faixa (GBW). Estas especificações estão mostradas na TABELA 4.

TABELA 4 – Conjunto de Especificações de Projeto de um Circuito Amplificador OTA Miller

Especificação	Valor Requerido Projeto 1	Valor Requerido Projeto 2	Valor Requerido Projeto 3
Ganho em baixas Frequências (Avo)	$Avo \geq 70$ dB	$Avo \geq 70$ dB	$Avo \geq 70$ dB
Produto Ganho-Largura de Faixa (GBW)	$GBW \geq 100$ kHz	$GBW \geq 1$ MHz	$GBW \geq 10$ MHz
Margem de Fase (PM)	$PM \geq 60^\circ$	$PM \geq 60^\circ$	$PM \geq 60^\circ$
Slew Rate (SR)	$SR \geq 0,1$ V/ μ s	$SR \geq 1$ V/ μ s	$SR \geq 10$ V/ μ s
Faixa de Tensão de Entrada em Modo Comum (ICMR)	$ICMR - \leq -0,7$ V	$ICMR - \leq -0,7$ V	$ICMR - \leq -0,7$ V
	$ICMR + \geq 0,7$ V	$ICMR + \geq 0,7$ V	$ICMR + \geq 0,7$ V
Faixa de Tensão de Saída (OS)	$OS - \leq -1,5$ V	$OS - \leq -1,5$ V	$OS - \leq -1,5$ V
	$OS + \geq 1,5$ V	$OS + \geq 1,5$ V	$OS + \geq 1,5$ V
Potência Dissipada	Minimizar	Minimizar	Minimizar
Área de Gate	Minimizar	Minimizar	Minimizar

Para a execução foi utilizada a metodologia de projeto gm/I_D , cuja curva para esta tecnologia foi gerada através de simulação elétrica. Esta curva está mostrada na FIGURA 40 (esta figura é a mesma mostrada na FIGURA 35 do capítulo anterior, mostrada novamente aqui por conveniência). Para esta execução foi utilizada a heurística dos algoritmos genéticos com uma população de 1000 indivíduos. Como objetivo da função custo foi adotado a otimização da potência dissipada e da área ocupada pelo circuito.

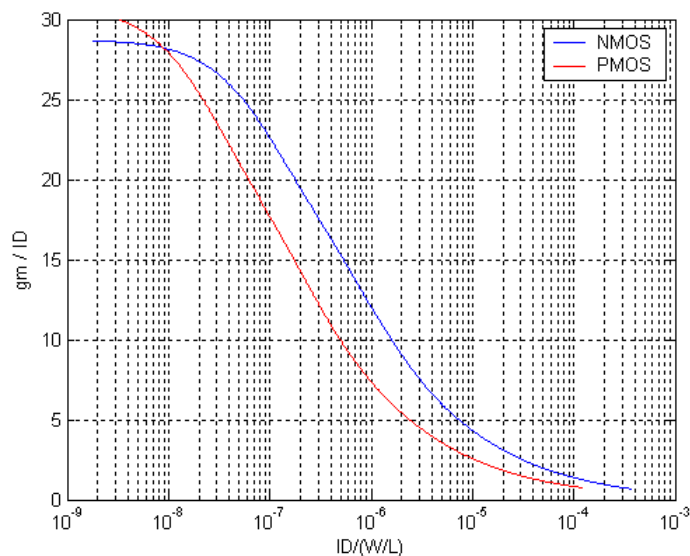


FIGURA 40 – Curva gm/ID para a tecnologia AMS 0.35 μ m

Os resultados de otimização estão mostrados na

TABELA 5. Analisando os resultados, verifica-se que todas as especificações foram atingidas (ou o valor encontrado encontra-se próximo do esperado), mostrando assim bons resultados, pois o algoritmo inicia em uma solução gerada aleatoriamente e no final uma solução factível é encontrada.

Com respeito à otimização, verifica-se que a heurística efetuou uma otimização no valor da função custo, pois conforme mostrado na FIGURA 41, a evolução da função custo para a melhor solução durante as execuções, é verificado que a função inicia em um valor grande e ao fim da execução seu valor é menor em relação ao ponto de partida. Uma característica interessante nestas curvas é o fato de que com o aumento do valor requerido de SR e GBW a função custo decresce seu valor mais lentamente, demonstrando assim um aumento na dificuldade de se encontrar soluções otimizadas, onde todas as especificações impostas são atingidas.

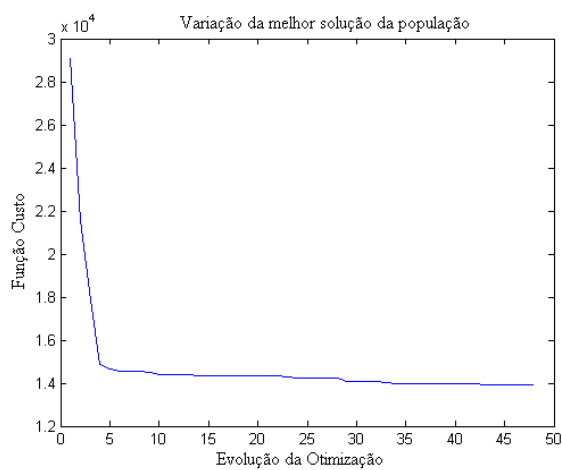
Como o valor de SR e GBW influenciam diretamente na corrente do circuito, a potência dissipada tende a aumentar o seu valor à medida que as restrições são mais severas, conforme pode ser visto com as potências dissipadas dos três projetos executados.

Os valores encontrados de solução do circuito para os três projetos são mostrados na TABELA 6. Analisando o transistor M1, nos três projetos este transistor está operando em regime de inversão moderada (valores de gm/I_D aproximadamente entre 10 e 26), sendo que o

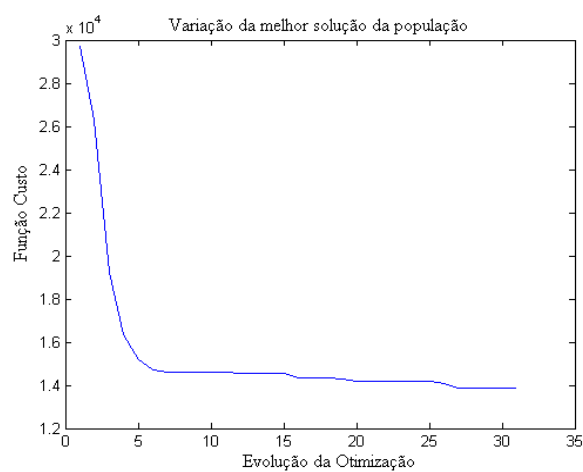
seu nível de inversão tende a inversão forte (valores de gm/I_D menores que 10) no projeto 3. M5 também permaneceu no nível de inversão moderada nos três projetos. Já o transistor M6, nos três projetos está operando em regime de inversão forte, sendo que o nível de inversão foi aumentando com o aumento das restrições de SR e GBW. Assim pode-se concluir que com o aumento das restrições de SR e GBW, o nível de inversão dos transistores M1 e M6, tendem a aumentar.

TABELA 5 – Resultados obtidos com no projeto do circuito Amplificador OTA Miller para três os conjuntos de especificações.

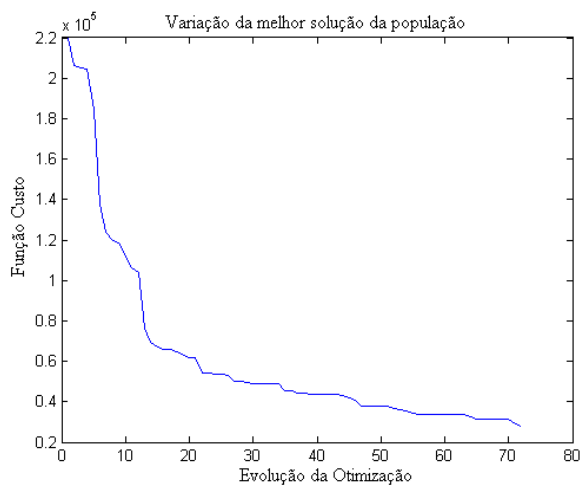
Especificação	Valor Requerido Projeto 1	Valor Obtido Projeto 1	Valor Requerido Projeto 2	Valor Obtido Projeto 2	Valor Requerido Projeto 3	Valor Obtido Projeto 3
Av0 [dB]	≥ 70	73,50	≥ 70	70,10	≥ 70	76,00
GBW [MHz]	$\geq 0,1$	0,1	≥ 1	1,0	≥ 10	10,00
Margem de Fase [°]	$\geq 60,0$	63	$\geq 60,0$	60,8	$\geq 60,0$	98,1
Slew Rate [V/ μ s]	$\geq 0,1$	0,1	≥ 1	0,99	≥ 10	9,9
ICMR+ [V]	$\geq 0,7$	1,3	$\geq 0,7$	1,35	$\geq 0,7$	1,31
ICMR- [V]	$\leq -0,7$	-1,64	$\leq -0,7$	-1,60	$\leq -0,7$	-1,64
Dissipação de Potência [μ W]	Mínimo	3,52	Mínimo	58,20	Mínimo	296,01
Área de gate [μ m ²]	Mínimo	740,8	Mínimo	502,5	Mínimo	6678,3



(A)



(B)



(C)

FIGURA 41 – Evolução da função custo do melhor indivíduo da população: (A) projeto 1, (B) projeto 2 e (C) projeto 3.

TABELA 6 – Soluções Obtidas com a Execução da Ferramenta para os Três Projetos do Amplificador OTA Miller.

Especificação	Projeto 1	Projeto 2	Projeto 3
W1 (μm)	1,81	4,19	320,18
L1 (μm)	1,31	0,44	10,01
W3 (μm)	19,80	10,21	54,80
L3 (μm)	9,92	3,48	0,43
W5 (μm)	47,60	100,02	186,90
L5 (μm)	3,62	3,75	0,37
W6 (μm)	9,96	3,74	7,10
L6 (μm)	15,71	5,50	11,30
W7 (μm)	1,32	1,61	4,11
L7 (μm)	5,51	10,00	9,94
(gm/ID)1	17,52	15,20	10,30
(gm/ID)5	23,50	14,15	22,73
(gm/ID)6	6,69	1,73	0,56

5.3.2 Resultados obtidos com a tecnologia XFAB XH0.18 μm

Esta análise tem o objetivo de verificar os resultados da execução do framework variando-se o número de indivíduos na população dos algoritmos genéticos e comparando o melhor resultado com a técnica de otimização *simulated annealing*. Para este projeto foram utilizados os parâmetros da XFAB para a tecnologia XH0.18 μm , tecnologia esta que opera com tensão de alimentação de 1.8 V.

As subseções a seguir apresentam os resultados obtidos.

5.3.3 Análise da variação do número de indivíduos na População

Para esta análise, foi utilizada a mesma ideia do projeto do circuito amplificador diferencial, onde foram feitas três análises alterando-se o número de indivíduos da população de 10, 100 e 1000 indivíduos. Nestas análises foi utilizada a metodologia direta (W e L). Nestas otimizações o objetivo é otimizar a potência dissipada e a área de gate do circuito.

TABELA 7 – Resultados Obtidos no Projeto do Amplificador OTA Miller em tecnologia XFAB XH0.18 μ m

Especificação	Valor Requerido	NPOP=10	NPOP=100	NPOP=1000
Ganho em baixas Frequências (Avo)	$Avo \geq 70$ dB	29 dB	70,65 dB	72,60 dB
Produto Ganho-Largura de Faixa (GBW)	$GBW \geq 1$ MHz	287 kHz	1,80 MHz	2,85 MHz
Margem de Fase (PM)	$PM \geq 60^\circ$	91°	$72,18^\circ$	$68,64^\circ$
Slew Rate (SR)	$SR \geq 5$ V/ μ s	4.87 V/ μ s	5 V/ μ s	5 V/ μ s
Faixa de Tensão de Entrada em Modo Comum (ICMR)	$ICMR^- \leq -0,4$ V	0,23 V	-0,88 V	-0,89 V
	$ICMR^+ \geq 0,4$ V	0,62 V	0,56 V	0,61 V
Faixa de Tensão de Saída (OS)	$OS^- \leq -0,8$ V	-0,89 V	-0,9 V	-0,9 V
	$OS^+ \geq 0,8$ V	0,81 V	0,81 V	0,81 V
Potência Dissipada	Minimizar	87,70 μ W	90,00 μ W	90,00 μ W
Área de Gate	Minimizar	2752 μ m ²	587,01 μ m ²	907,74 μ m ²
Iterações	-	2492	2316	2037
Tempo	-	56,03 min	52,09 min	45,04min

Os resultados obtidos estão mostrados na TABELA 7, onde pode-se perceber que com uma população de 10 indivíduos nem todas as especificações requeridas são atingidas. Porém, como aumento do número de indivíduos (100 e 1000) a heurística de otimização dos algoritmos genéticos consegue satisfazer as restrições impostas.

Quando analisado o melhor resultado encontrado, verifica-se que quanto ao valor de potência dissipada, ambas as execuções com 100 e 1000 indivíduos apresentam o mesmo valor (desconsiderando a solução com NPOP igual 10, por não satisfazer as restrições impostas). Já quando analisada a área de gate do circuito, a solução de 100 indivíduos na população apresenta um resultado mais otimizado. O resultado mais otimizado teve um tempo de otimização de 52.09 minutos. O gráfico de evolução da função custo deste resultado é mostrado na FIGURA 42, onde é possível visualizar a otimização da função custo.

TABELA 8 – Resultados Obtidos no Projeto do Amplificador OTA Miller em tecnologia XFAB XH0.18 μ m, com a variação do número de indivíduos na população do GA.

Especificação	NPOP=10	NPOP=100	NPOP=1000
W1	64,58 μ m	17,85 μ m	22,55 μ m
L1	7,04 μ m	2,50 μ m	22,94 μ m
W3	0,22 μ m	302,49 μ m	66,33 μ m
L3	3,23 μ m	0,44 μ m	0,44 μ m
W5	889,00 μ m	479,27 μ m	124,41 μ m
L5	1,54 μ m	0,18 μ m	0,18 μ m
W6	276,21 μ m	98,30 μ m	175,99 μ m
L6	1,02 μ m	0,72 μ m	1,24 μ m
W7	85,32 μ m	91,04 μ m	228,07 μ m
L7	1,13 μ m	0,41 μ m	1,11 μ m
Iref	48,72 μ A	50,00 μ A	50,00 μ A

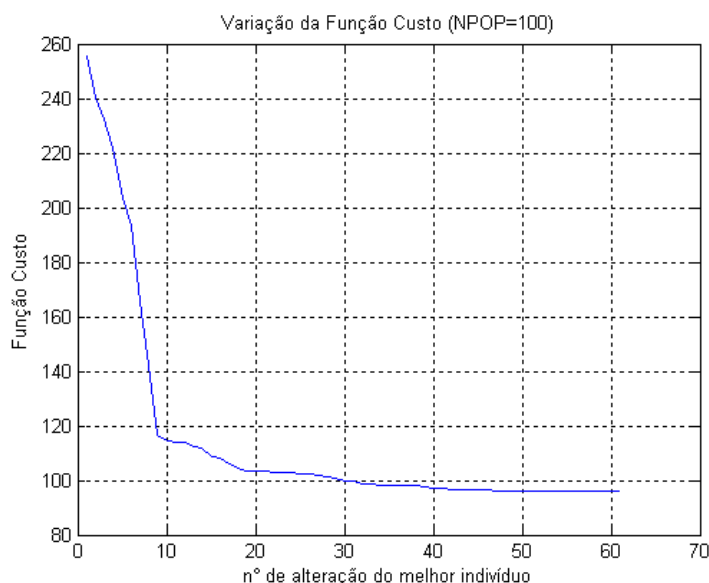


FIGURA 42 – Evolução da Função Custo do melhor indivíduo da população para o projeto em tecnologia XH0.18µm com uma população de 100 indivíduos

5.3.4 Comparação GA e SA em Tecnologia XH0.18µm

Para esta análise, o framework foi executado com as mesmas especificações da seção anterior, porém com a técnica de otimização do *simulated annealing*. A TABELA 9 mostra os resultados obtidos bem como a comparação com a melhor solução da seção anterior.

Na análise destes resultados verifica-se que com SA, somente a especificação de Slew Rate não é atingida, sendo que o valor encontrado é bastante próximo do requerido. Quando analisados os valores de potência dissipada e de área de gate encontrados, observa-se que os resultados são muito melhores com a técnica *simulated annealing*, pois levando em conta os mesmos parâmetros, esta heurística encontra uma solução com menor valor de potência dissipada e área de gate do circuito.

Tudo isso em um tempo de execução cerca de 55% menor em relação ao GA. A solução encontrada com SA é mostrada na TABELA 10.

TABELA 9 – Resultados Obtidos no Projeto do Amplificador OTA Miller em tecnologia XFAB XH0.18 μ m

Especificação	Valor Requerido	Alcançado SA	Alcançado GA
Ganho em baixas Frequências (Avo)	$A_{vo} \geq 70$ dB	76,44 dB	72,60 dB
Produto Ganho-Largura de Faixa (GBW)	$GBW \geq 1$ MHz	7,22 MHz	2,85 MHz
Margem de Fase (PM)	$PM \geq 60^\circ$	84,39 °	68,64°
Slew Rate (SR)	$SR \geq 5$ V/ μ s	4,91 V/ μ s	5 V/ μ s
Faixa de Tensão de Entrada em Modo Comum (ICMR)	ICMR - $\leq -0,4$ V	-0,85 V	-0,89 V
	ICMR + $\geq 0,4$ V	0,67 V	0,61 V
Faixa de Tensão de Saída (OS)	OS - $\leq -0,8$ V	-0,89 V	-0,9 V
	OS + $\geq 0,8$ V	0,82 V	0,81 V
Potência Dissipada	Minimizar	88,34 μ W	90,00 μ W
Área de Gate	Minimizar	217,84 μ m ²	907,74 μ m ²
Iterações	-	1476	2037
Tempo de execução	-	24.6 min	45.04min

TABELA 10 – Resultados Obtidos no Projeto do Amplificador OTA Miller em tecnologia XFAB XH0.18 μm com a heurística *simulated annealing*.

Especificação	Alcançado
W1	21,51 μm
L1	0,56 μm
W3	15,00 μm
L3	1,29 μm
W5	168,94 μm
L5	0,20 μm
W6	85,66 μm
L6	0,76 μm
W7	1,56 μm
L7	1,77 μm
Iref	49,06 μA

5.3.5 Comparação entre tecnologias de fabricação de circuitos integrados

Para analisar os resultados entre as duas tecnologias de fabricação AMS 0.35 μm e XFAB XH0.18 μm , o framework foi executado com especificações requeridas iguais para ambas as tecnologias.

As únicas especificações diferentes utilizadas são a tensão de alimentação, 1.8V para a tecnologia 0.18 μm e 3.3V para a tecnologia AMS 0.35 μm , e os valores mínimos de W e L, na tecnologia 0.18 μm o W mínimo é de 22 μm e o L mínimo é de 0.18 μm e na tecnologia de 0.35 μm o W mínimo é de 1 μm e o L mínimo de 0.35 μm .

Como alvo de otimização da função custo foram utilizadas a potência dissipada e a área de gate do circuito. Como heurística de otimização foi utilizada a técnica *simulated annealing*.

As especificações requeridas, bem como os resultados obtidos estão mostradas na TABELA 11.

TABELA 11 – Resultados Obtidos no Projeto do Amplificador OTA Miller em tecnologia XFAB XH0.18 μ m e AMS 0.35 μ m

Especificação	Valor Requerido	0.18 μ m	0.35 μ m
Ganho em baixas Frequências (Avo)	$Avo \geq 70$ dB	85,71 dB	73,88 dB
Produto Ganho-Largura de Faixa (GBW)	$GBW \geq 1$ MHz	1,80 MHz	1,14 MHz
Margem de Fase (PM)	$PM \geq 60^\circ$	72,35 $^\circ$	85,87 $^\circ$
Slew Rate (SR)	$SR \geq 1$ V/ μ s	1 V/ μ s	1 V/ μ s
Faixa de Tensão de Entrada em Modo Comum (ICMR)	ICMR - $\leq -0,4$ V	-0,87 V	-1,62 V
	ICMR + $\geq 0,4$ V	0,62 V	1,3 V
Faixa de Tensão de Saída (OS)	OS - $\leq -0,8$ V	-0,89 V	-1,64 V
	OS + $\geq 0,8$ V	0,82 V	1,50 V
Potência Dissipada	Minimizar	18,05 μ W	33,00 μ W
Área de Gate	Minimizar	108,39 μ m ²	546,21 μ m ²
Iterações	-	1572	2292
Tempo de execução	-	52.0 min	45.0min

Nos resultados obtidos verifica-se que todas as especificações requeridas foram alcançadas. Quando analisado os objetivos de otimização, potência dissipada e área de gate, verifica-se que com a tecnologia de 0.18 μ m é encontrado um valor de potência dissipada cerca de 45% menor em relação à tecnologia de 0.35 μ m e uma área de gate 80% menor para a tecnologia 0.18 μ m.

De forma geral, a tecnologia 0.18 μ m apresentou melhores resultados. Com a relação à potência dissipada, o menor valor justifica-se por a tensão de alimentação desta tecnologia ser

a metade da utilizada na outra tecnologia, uma vez que a potência dissipada é diretamente relacionada à tensão de alimentação. Com relação à área de gate, o menor valor justifica-se pela tecnologia possuir dimensões mínimas de W e L menores que a tecnologia 0.35 μm . Desta forma em geral os transistores em tecnologia de 0.18 μm apresentaram dimensões menores que os transistores da tecnologia de 0,35 μm , conforme pode ser visto na TABELA 12.

TABELA 12 – Resultados Obtidos no Projeto do Amplificador OTA Miller em tecnologia XFAB XH0.18 μm e AMS 0.35 μm com a heurística *simulated annealing*.

Especificação	Alcançado (0.18 μm)	Alcançado (0.35 μm)
W1	6,73 μm	3,63 μm
L1	0,64 μm	2,45 μm
W3	13,59 μm	34,97 μm
L3	0.80 μm	3,07 μm
W5	51,15 μm	215,13 μm
L5	0,24 μm	0,64 μm
W6	97,81 μm	83,28 μm
L6	0,39 μm	0,81 μm
W7	34,78 μm	20,11 μm
L7	0,38 μm	2.72 μm
Iref	10,03 μA	10.03 μA

Nestes resultados verifica-se que o valor da fonte de corrente de polarização do circuito foi o mesmo em ambas as tecnologias. Está igualdade de valores, se deve ao fato de que a especificação de SR está relacionada diretamente ao valor desta fonte de corrente.

Com base nos resultados obtidos a tecnologia de fabricação pode ser escolhida, onde se verifica que se for desejado um circuito com menor dissipação de potência e menor área de gate a tecnologia de 0.18 μm deve ser escolhida. Além destes resultados para a escolha da tecnologia deve-se levar em conta o preço de fabricação de um circuito integrado nesta tecnologia e as variações de processo de fabricação, variações estas que tende a serem maiores em tecnologias com menores dimensões de transistores.

5.4 Conclusão

Neste capítulo foram apresentados os resultados obtidos com a ferramenta desenvolvida e algumas comparações foram feitas.

Os resultados encontrados foram bons, pois a partir de soluções iniciais aleatórias foram encontradas soluções otimizadas que em geral satisfizeram as restrições impostas ao projeto.

Nos resultados foi verificado que na otimização com algoritmos genéticos o tamanho da população é uma especificação de enorme importância, uma vez que esta interfere na diversidade das soluções e com isso influencia na qualidade da solução encontrada, bem como no tempo de execução. Quando comparadas as heurísticas de otimização GA e SA, verifica-se que na maioria dos resultados a heurística SA encontrou soluções mais otimizadas para o circuito, porém algumas vezes não atingindo os valores requeridos em algumas especificações.

Com os resultados obtidos verificou-se que o framework projetado pode ser utilizado para análise e comparação de resultados entre metodologias de projeto automático de circuitos integrados analógicos, onde inúmeros parâmetros podem ser variados.

Além da comparação entre as metodologias verifica-se também que o framework pode ser utilizado como tomada de decisão para a escolha da tecnologia de fabricação de circuitos integrados, uma vez que os resultados obtidos com o framework podem ser comparados com o preço de fabricação de uma dada tecnologia e com as variabilidades do processo de fabricação.

6 CONCLUSÕES

Foi apresentado neste documento o Trabalho de Conclusão de Curso (TCC), cujo objetivo é o desenvolvimento de uma ferramenta computacional para o dimensionamento automático de circuitos integrados analógicos, que sirva de framework para análise e comparações de metodologias de automação de projeto.

Verificou-se que este tema é bastante relevante e importante para o ramo da microeletrônica, pois no que se sabe não existe nenhuma ferramenta comercial atualmente para este fim.

Nos resultados a ferramenta demonstrou bons resultados, pois em todas as análises a otimização iniciou em um valor inicial aleatório e no final, em geral, as especificações foram atingidas e segundo o gráfico de evolução da função custo verifica-se que a solução encontrada é uma solução otimizada.

Como resultado também foi verificado que não pode-se afirmar qual a técnica empregada, tanto na otimização, quanto no dimensionamento, apresenta melhores resultados, pois os resultados são particulares a cada projeto.

O framework demonstrou bons resultados quando se refere à comparação entre as heurísticas de otimização, metodologias de projeto e tecnologias de fabricação. Quanto à comparação entre as tecnologias de fabricação de circuitos integrados, o resultado de o framework pode ser uma métrica de comparação para escolha da tecnologia de fabricação.

Como trabalho futuro é indicado que seja inserido na ferramenta análises de variabilidade nas soluções geradas, devido ao fato do processo de fabricação de circuitos integrados sofrer inúmeras variações, que podem fazer com que as soluções requeridas não sejam satisfeitas. Também é indicado que seja inserido um modelo analítico de análise das especificações, de forma a reduzir o tempo de execução, e que sejam fabricados circuitos para extrair os parâmetros de tecnologia e validar o framework fisicamente.

7 RESULTADOS DE PUBLICAÇÕES

7.1 Pesquisa Científica

No decorrer deste trabalho, por se caracterizar como um trabalho de pesquisa que está inserido nos demais trabalhos do Grupo de Arquitetura de Computadores e Microeletrônica (GAMA) da Universidade Federal do Pampa, algumas publicações foram feitas.

O último artigo submetido para publicação no “XI Microelectronics Students Forum - SFORUM 2011” cujo objetivo é demonstrar o framework desenvolvido neste trabalho de conclusão de curso, está presente no Anexo 1.

Nas subseções a seguir estão mostrados os resultados das publicações realizadas durante a execução deste trabalho.

7.1.1 Prêmios acadêmicos

- 2010 - Destaque em Microeletrônica, XXII Salão de Iniciação Científica, UFRGS
- 2009 - Destaque em Microeletrônica, XXI Salão de Iniciação Científica, UFRGS

7.1.2 Capítulo de livro

- GIRARDI, A. G., SEVERO, L. C., Analog CMOS Design Automation Methodologies for Low-Power Applications, In: Advances in Analog Circuits ed.: InTech, 2011.

7.1.3 Publicações em eventos nacionais e internacionais

- SEVERO, L. C., GIRARDI, A. G., Gm/ID Methodology Using Evolutionary Algorithms and Electrical Simulation for Integrated CMOS OTA Design Automation, In: 10th Microelectronics Students Forum (SFORUM 2010) - Chip in Sampa, 2010, São Paulo - SP.
- SEVERO, L. C., GIRARDI, A. G., Parameter variation and sensitivity analysis of a two-stage Miller amplifier, In: Argentine School of Micro-Nanoelectronics Technology and Applications (EAMTA), 2010, Montevideo - Uruguay.
- SEVERO, L. C., GIRARDI, A. G., An Optimization-Based Tool For Circuit Level Synthesis Analog Integrated Circuits, In: 9th Microelectronics Student Forum - SFORUM, 2009, Natal - RN.
- SEVERO, L. C., GIRARDI, A. G., Automatic Synthesis of Analog Integrated Circuits Using Genetic Algorithms and Electrical Simulations, In: 24th South Symposium on Microelectronics, 2009, Pelotas - RS.
- SEVERO, L. C., GIRARDI, A. G., Projeto Automático de Blocos Analógicos, Integrados Usando Métodos de Otimização Não-Linear In: XV Workshop Iberchip, 2009, Buenos Aires - Argentina.
- SEVERO, L. C., GIRARDI, A. G. Automatic Synthesis Of Analog Basic Blocks Using A Simulated-Based Algorithm And Compact Mosfet Model, In: 8th Microelectronics Student Forum - SFORUM, 2008, Gramado - RS.
- SEVERO, L. C., GIRARDI, A. G., Uma Ferramenta Computacional para o Dimensionamento Automático de Circuitos Amplificadores Operacionais em Tecnologia CMOS de 0.35 μ m, In: II Salão Internacional de Ensino, Pesquisa e Extensão – SIEPE, 2010, Uruguaiana - RS.
- SEVERO, L. C., GIRARDI, A. G., Uma Ferramenta para o Dimensionamento Automático de Circuitos Integrados Analógicos Utilizando a Metodologia gm/ID e Heurística de Otimização Evolucionária, In: XXII Salão de Iniciação Científica da UFRGS, 2010, Porto Alegre-RS.

- SEVERO, L. C., GIRARDI, A. G., Uma Ferramenta para a Automação do Projeto de um Amplificador Diferencial Usando Técnicas de Inteligência Artificial, In: I Salão Internacional Integrado de Ensino, Pesquisa e Extensão, 2009, Uruguaiana - RS.
- SEVERO, L. C., GIRARDI, A. G., Uma Ferramenta para o Dimensionamento Automático de Transistores para Circuitos Integrados Analógicos, In: XXI Salão de Iniciação Científica da UFRGS, Porto Alegre - RS.
- SEVERO, L. C., GIRARDI, A. G., Síntese Automática de Circuitos Integrados Analógicos Através de Métodos de Otimização Não-Linear, In: XX Salão de Iniciação Científica da UFRGS, 2008, Porto Alegre - RS.
- SEVERO, L. C., GIRARDI, A. G., Dimensionamento Automático de Circuitos Amplificadores Operacionais em Tecnologia CMOS de $0.35\mu\text{m}$ Utilizando Heurística Evolucionária, In: CONGREGA URCAMP 2010, 2010, Alegrete-RS.
- SEVERO, L. C., GIRARDI, A. G., Uma Ferramenta para o Projeto Automático de Circuitos Integrados Analógico com Sensibilidade a Variação de Parâmetros, In: 2º Seminário Interno de Pesquisa e Extensão do Centro de Tecnologia De Alegrete - SIPE 2009, 2009, Alegrete-RS.
- SEVERO, L. C., GIRARDI, A. G., Síntese automática de um amplificador diferencial integrado usando técnicas de otimização não-linear, In: I Seminário Interno de Pesquisa e Extensão do Centro de Tecnologia De Alegrete - SIPE 2008, 2008, Alegrete - RS.

REFERÊNCIAS BIBLIOGRÁFICAS

- ALLEN, Phillip E., HOLBERG, Douglas R., **CMOS Analog Circuit Design**, Oxford University Press, Segunda Edição, 2002.
- BALKIR, Sina, DÜNDAR, Günhan, ÖGRENCI, A. Selçuk, **Analog VLSI Design Automation**, CRC press, 2003.
- BOYLESTAD, L. Robert, NASHELSKY, Louis, **Dispositivos Eletrônicos e Teoria de Circuitos**, Prentice hall, Sexta Edição, 1996.
- CATHEY, J. Jimmie, **Dispositivos e Circuitos Eletrônicos**, Coleção Schaum, Bookman, Segunda Edição, 2003.
- CEITEC-SA, **Chip do Boi**, disponível em: <<http://www.ceitec-sa.com/pt/radiofrequencia>>, acesso em: Maio de 2011.
- CORTES, Fernando Paixão, FABRIS, Eric, BRITO, Juan Pablo M., BAMPI, Sergio, **Análise e Projeto de Módulos Amplificadores e Comparadores em Tecnologia 0.35µm**, IX Workshop Iberchip, La Habana, Cuba, 2003.
- DEGRAUWE, M.G.R. NYS, VITTOZ, E.A, MEIXENBERGER, Cserveny, S., STAPPEN, C. van der, OGUEY, G. H.J., **IDAC: an interactive design tool for analog CMOS circuits**, IEEE Journal of Solid-State Circuits, Vol: 22 , I: 6, p.1106, 1987.
- ENZ, Christian C., **A Short Story of the EKV MOS Transistor Model**, IEEE Solid State Circuit Newsletter, vol.13, Is.32, p. 24, 2008.
- FLOUDAS, C. A., PARDALOS, P.M., **Encyclopedia of Optimization**, Springer, Segunda Edição, 2008.
- GIELEN, G. G., .RUTENBAR, R. A., **Computer-Aided Design of Analog and Mixed-Signal Integrated Circuits**, Proceedings of the IEEE, vol. 88, pp. 1825-1852, 2000.
- GIRARDI, Alessandro, BAMPI, Sergio, **Power Constrained Design Optimization of Analog Circuits Based on Physical gm/ID Characteristics**, 19th annual symposium on Integrated circuits and systems design, 2006.
- GRAEB, Helmut E., **Analog Design Centering and Sizing**, Springer, 2007.
- HÄGGLUND, Robert, **Studies on Design Automation of Analog Circuits–Performance Metrics**, Linköpings Universitet, 2003.
- HASTINGS, Alan, **The Art of Analog Layout**, Prentice Hall, Segunda Edição, 2005.
- HOUCK, Christopher, R., Jeffery, A. Joine, KAY, Michael G., **A Genetic Algorithm for Function Optimization: A Matlab Implementation**, Universidade da Carolina do Norte,

disponível em: < <http://www.ise.ncsu.edu/mirage/GAToolBox/gaot>>, acesso em: Janeiro de 2011.

KUKAL, Taranjit Singh, SHARMA, Shilpa, **Application Note - SPICE Modeling Convergence Explored**, Cadence®, 2003.

LEE, Thomas H., **The Design of CMOS Radio-Frequency Integrated Circuits**, Cambridge University Press, Segunda Edition, 2003.

LINDEN, R., **Algoritmos Genéticos – Uma importante ferramenta da inteligência artificial**, Brasport, Rio de Janeiro, 2006.

MARTENS, E, GIELEN, G. G, **Classification of analog synthesis tools based on their architecture selection mechanisms**, VLSI Journal Integration, Vol 41 Issue 2, February, 2008.

MICHALEWICZ, Zbigniew, FOGEL, David B., **How to Solve it: Modern Heuristic**, Springer, Segunda Edição, 2000.

MONTORO, C. Galup, SCHEIDER, M. C., CUNHA, A. I.A.. **The advanced compact MOSFET (ACM) model for circuit analysis and design**, IEEE Custom Integrated Circuits Conference, pp. 519–526. 2007.

MORSHED, Tanvir, **Modelo BSIM 3v3**, Disponível em: <http://www.device.eecs.berkeley.edu/~bsim3/latenews.html>, Acesso em Maio de 2011.

PETTEY, Christy, **Says Worldwide Semiconductor Revenue to Grow 31.5 Percent in 2010**, Gartner, disponível em: <http://www.gartner.com/it/page.jsp?id=1430013>, acesso em: Abril de 2011.

PHELPS, R., KRASNICKI, M., RUTENBAR, R.A.; CARLEY, L.R.; HELSUMS, J.R., **Anaconda: simulation-based synthesis of analog circuits via stochastic pattern search**, IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, Vol. 19, Is. 6, p.703-717, 2000.

RABAEY, Jan M., CHANDRAKASAN, Anantha, NIKOLIC, Borivoje, **Digital Integrated Circuits**, Prentice Hall, Segunda Edição, 2003.

RITCHIE, G. J., **Transistor Circuit Techniques**, Chapman and Hall, Terceira Edição, 1993.

SAKATA, S., **ASAMIN: a Matlab gateway routine to adaptive simulated annealing (ASA)**, Disponível em: http://www.econ.ubc.ca/ssakata/public_html/software/, Acesso em: Janeiro de 2011.

SCHNEIDER, Márcio Cherem, MONTORO, Carlos Galup, **CMOS Analog Design Using All-Region MOSFET Modeling**, Cambridge University Press, 2010.

SILVEIRA, F., FLANDRE, D., JESPER, P.G., **A gm/ID Based Methodology for the Design of CMOS Analog Circuits and Its Application to the Synthesis of a Silicon-on-**

Insulator Micropower OTA, IEEE Journal of Solid-State Circuits, vol. 31, pp. 1314-1319. 1996.

STACKHOUSE, B., BHIMJI, S., BOSTAK, C., BRADLEY, D., CHERKAUER, B., DESAI, J., FRANCOM, E., GOWAN, M., GRONOWSKI, P., KRUEGER, D., MORGANTI, C., TROYER, S., **A 65 nm 2-Billion Transistor Quad-Core Itanium Processor**, IEEE Journal of Solid-State Circuits, vol. 44-1, pp. 18-31, 2009.

STEFANOVIC, Danica, KAYAL, Maher, PASTRE, Marc, LITOVSKI, Vanco B., **Procedural Analog Design (PAD) Tool**, Fourth International Symposium on Quality Electronic Design, pp.313, 2003.

SWART, Jacobus, MORIMOTO, Nilton Itiro, JÚNIOR, Armando Gomes. **Pesquisa, Desenvolvimento e Inovação Em Microeletrônica**, Brasília, 28 de Maio de 2010.

TSIVIDIS, Yannis, **Operation and Modeling of the MOS Transistor**, Oxford University Press, Terceira Edição, 2010.

VENKATARAMAN, P., **Applied Optimization with Matlab Programming**, John Wiley & Sons, New York, 2002.

VYTYAZ, I., LEE, D. C., HANUMOLU, P.K, **Automated Design and Optimization of Low-Noise Oscillators**, IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, vol. 28, pp. 609-622, 2009.

ZEBULUM, R. S., PACHECO, M. A. C., Vellasco, M. M. B. R., **Evolutionary Electronics: Automatic Design of Electronic Circuits and Systems by Genetic Algorithms**. CRC press, 2002.

APÊNDICE A - RELATÓRIO DE EXECUÇÃO GERADO PELA FERRAMENTA NO PROJETO DE UM CIRCUITO AMPLIFICADOR DIFERENCIAL

```
#####  
### Automatic Anlog Integrated Design Tool ###  
### Developed By Lucas Compassi Severo ###  
### Computer Architecture and Microelectronics Group ###  
### Federal University of Pampa - UNIPAMPA ###  
### Campus Alegrete - Alegrete - RS - BRAZIL ###  
#####
```

Date: 24-May-2011 01:00:21

Design Name: AMP_DIFF_WL_NPOP10

Circuit Topology: Differential Amplifier
Electrical Simulator: Smash
Design Metodology: W, L and Ibias
Heuristic: GA
Execution Time: 1.4740e+003 s
Iterations Executed: 2.4590e+003

Final Solution

W1: 2.1094e+001 um
W3: 9.1309e+000 um
W5: 1.0002e+000 um
L1: 1.0008e+000 um
L3: 1.0000e+000 um
L5: 3.7440e-001 um
Ibias: 3.5000e-001 uA

Design Specifications

VDD: 1.6500e+000
VSS: -1.7500e+000
CL: 1.0000e-011

Low Frequency Gain (dB):

Minimun Required: 6.0000e+001
Achiaved: 6.2130e+001
Weighting: 1.0000e+000

Gain Bandwidth (Hz):

Minimun Required: 1.0000e+009
Achiaved: 1.1393e+006
Weighting: 1.0000e+000

Phase Margin (°):

Minimun Required: 6.0000e+001
Achiaved: 7.5015e+001
Weighting: 1.0000e+000

Slew Rate (V/us):

Minimun Required: 5.0000e+000
Achiaved: 1.0229e-001
Weighting: 1.0000e+000

ICMR + (V):

Minimun Required: 7.0000e-001
Achiaved: 1.2900e+000
Weighting: 1.0000e+000

ICMR - (V):

Minimun Required: -7.0000e-001
Achiaved: -1.5500e+000
Weighting: 1.0000e+000

Output Swing + (V): Is not Relevant

Output Swing - (V): Is not Relevant

Gate Area (μm^2):

Maximun Required: MIN

Achiaved: 2.3831e+001

Weighting: 1.0000e-002

Power Dissipation (μW):

Maximun Required: MIN

Achiaved: 3.3755e+000

Weighting: 1.0000e+000

End

ANEXO 1 - ARTIGO SUBMETIDO PARA PUBLICAÇÃO NO “XI MICROELECTRONICS STUDENTS FORUM - SFORUM 2011”

UCAF – A FRAMEWORK FOR ANALOG INTEGRATED CIRCUIT ANALYSIS AND DESIGN

Lucas Compassi Severo and Alessandro Girardi

Federal University of Pampa - UNIPAMPA
Alegrete - RS - Brazil

ABSTRACT

This paper presents a fully configurable framework for analog integrated circuit design automation. The goal of this framework, named as UCAF, is to provide in a single environment several optimization heuristics, design methodologies and technology options in order to allow for the designer the possibility to perform a set of comparisons and selections aiming the optimized design.

UCAF was implemented in Matlab® and has a friendly graphical interface (GUI) for input and output.

As results and examples of use we present the design automation of a Miller Operational Transconductance Amplifier (OTA), comparing design objectives and fabrication processes.

1. INTRODUCTION

Design automation of analog integrated circuits is a demanding task in microelectronics industry because of the crescent necessity for low-power and reduced time-to-market, which requires an efficient design space exploration for finding optimized design solutions.

Typically, most of analog integrated circuit designs are done manually – with some aid of simulation tools and equation-based models - and the quality of the resulting circuit is dependent on the expertise of the designer. A system-on-chip (SOC) design can have analog and digital parts in the same die, each one designed with different methodologies and tools. The analog design time must be compatible with the highly automated digital design time, which employs advanced design automation tools [1].

According to Graeb [2], about 75% of the integrated circuits (ICs) have analog parts. In these ICs, about 20% of the area is occupied by the analog parts, but these parts demand about 40% of the overall design effort. Moreover, analog parts are responsible to 50% of the design defects. Two main causes of this are the complexity of analog circuit design and the lack of design automation tools. According to Häggglund [3], Computer-Aided Design (CAD) and Electronics Design Automation (EDA) tools growing are not following the CMOS technology evolution, creating a design gap, as shown in Figure 1. Thus, the development of analog design tools is very important to design circuit with high productivity, reliability and low time-to-market.

The design of analog integrated circuits can be divided in 3 steps: topology selection, transistor sizing and layout generation. This paper will focus on the

second step, which is critical for achieving the desired circuit performance under a set of constraints.

The design space for the automatic synthesis of analog CMOS integrated amplifiers is highly nonlinear. There are about ten free variables in a typical operational transconductance amplifier design, related to gate dimensions - width (W) and length (L) -, bias currents and inversion levels.

As the relation between transistor sizes and circuit specifications (design objectives) is nonlinear and sometimes conflicting, the problem of finding an optimum solution point is difficult to be exactly solvable and it usually must be approximated by analytical or numerical analysis. Some previous works have been done in this theme describing the development of tools for analog design automation (ADA). The goal is always the automation of time-consuming tasks and complex searches in highly non-linear design spaces [4][5]. Different automatic design strategies have been proposed, using different meta-heuristics and algorithms [6][7]. Basically all of them can be categorized as equation-based or simulation-based automatic designs. In the equation-based design strategy, analytical equations are used for modeling device electrical characteristics, such as drain current, inversion level and small-signal parameters. These models are often simplified or manipulated in order to fit certain limitations imposed by optimization heuristics. The simulation-based strategy is based on the result of the electrical simulation of the circuit to extract device parameters and design characteristics. The simulation can be automated and performed several times until reaching the design objective.

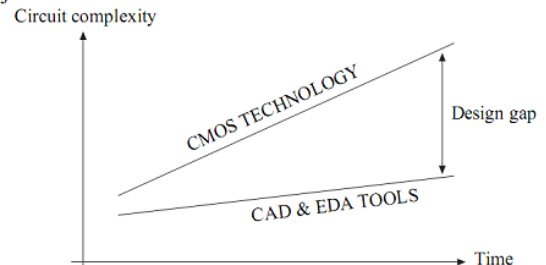


Figure 1 – The increase in circuit complexity compared to the productivity growth rate due to CAD and EDA tools [3].

Based on the demand for analog integrated circuit design tools, this paper has the goal to present a framework, named as UCAF, capable to analyze and design basic analog blocks. UCAF allows the

configuration of a series of design options. Thus, it is possible to analyze the results and make comparisons of automatic design using a variety of functions and configurations, as, for example, different optimization heuristics, fabrication technologies and circuit topologies.

As design example, this paper presents the sizing procedure of a power and area constrained design of a two-stage CMOS Miller operational transconductance amplifier (OTA), considering different design specifications and fabrication technologies.

2. UCAF ANALOG INTEGRATED CIRCUIT FRAMEWORK

This work proposes a fully configurable tool for analog integrated circuit design automation, aiming to be a framework integrating several design strategies. The tool, named as UCAF, is implemented in Matlab. The general design flow is shown in Figure 2. The tool receives as input an initial design solution, design requirements and fabrication technology parameters. These information are the inputs of the optimization heuristic algorithm, which, based on the free variables bounds, generates an optimized solution for the circuit.

To analyze the quality of the generated solution it is used a cost function, which is calculated based on the specifications obtained by electrical simulation.

UCAF is composed by an user-friendly input interface used to configure the design procedure and an output graphical interface used to analyze the execution results. These interfaces are linked to the core of the tool, which contains modular functions implemented in order to automate the design, as shown in the Figure 3. The modular functions are described in next subsections.

2.1. Technology

It is used to setting the tool with the transistor model and the technology parameters. Several transistor models are supported, such as BSIM3v3, ACM, EKV, etc, depending on the electrical simulator tool to be used. The fabrication process is also configurable and must be informed by the user.

2.2. SPICE Simulator

This module selects the third-part SPICE electrical simulator to be used to analyze the results of a generated solution. The framework does not have a built-in electrical simulator, but it can automatically interface with a series of SPICE simulators.

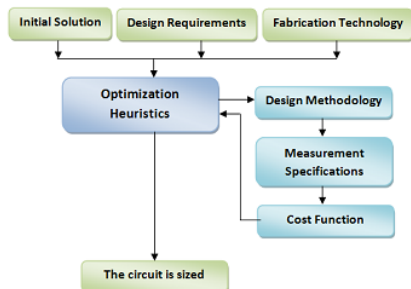


Figure 2 – Analog circuit design automation tool.

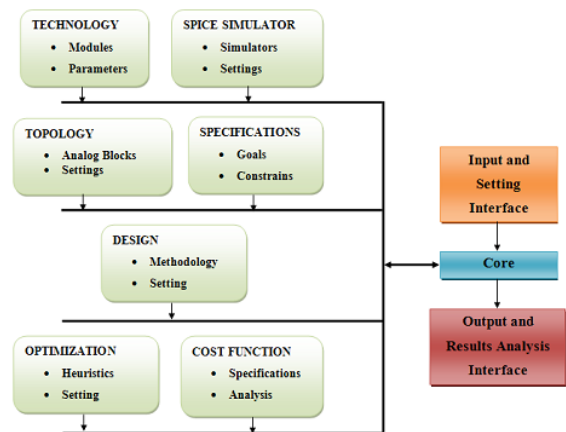


Figure 3 – Framework block diagram.

2.3. Topology

The topologies are the circuits that are available in the framework for optimization. In general they are basic analog building blocks, such as current mirrors, amplifiers and comparators. As the UCAF framework is composed by modular functions, it is easy to insert new topologies in the tool environment.

2.4. Specifications

In this module the user sets the specifications values and the optimizations goals of the design, indicating the minimum and maximum values. The user also must inform which are the design objectives and the design constraints.

2.5. Design

This module is used to size the MOSFET transistors. In other words it is the form to convert the optimization free variables in the transistor sizes. In the current version of UCAF there are available two methodologies: Direct and gm/I_D . These methodologies are shown in the Figure 4.

In the Direct Methodology the optimization heuristic has as free variables the transistor dimensions W and L . In the gm/I_D Methodology it is used the design technique proposed by [8] and the optimization heuristic has the transistor lengths (L) and the gm/I_D values as free variables. Based on the circuit specifications and on the gm/I_D vs I_N (normalized current) curve, the transistor sizes are obtained.

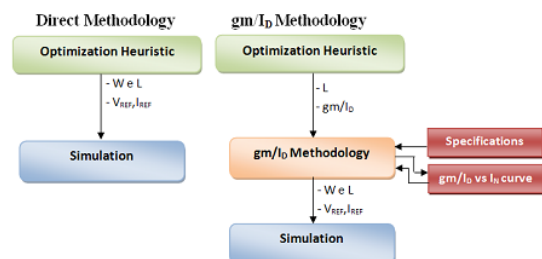


Figure 4 – Design methodology.

2.6. Optimization

The user can select the optimization heuristic to be used to explore the design space for finding optimized solutions that met design constrains. Two heuristics are implemented: Genetic Algorithms and Simulated Annealing. We used the GAOT [9] for genetic algorithm and ASAMIN [10] for simulated annealing.

2.7. Cost Function

The optimization process uses a cost function to evaluate the generated solution. This function is a multi-objective function, in the format of the Equation 1, where the first sum is formed by the design specifications to optimize (E_i) and the second sum is formed by normalized values of design constraints. The value of $V(E_j)$ is equal to zero for a specification that met the required value or positive if otherwise. P_{O_i} and P_{R_j} are the weighting values for design objectives and design constraints, respectively.

$$f_c = \sum_{i=1}^n P_{O_i} \cdot E_i + \sum_{j=1}^n P_{R_j} \cdot V(E_j) \quad (1)$$

3. DESIGN AND ANALYSIS OF RESULTS

As a design example using the proposed UCAF framework, described in this paper, we used a two-stage CMOS Miller operational transconductance amplifier (OTA). The schematic of this amplifier is shown in Figure 5. The Miller OTA is composed by an input differential pair and a current mirror with active load in the first stage. The second stage is composed by an inverter amplifier. Between the first and second stages is connected a compensation capacitor for stability purposes [11].

The main specifications of this circuit are low frequency gain (A_{v_0}), slew rate (SR), phase margin (PM), input common-mode range (ICMR), output swing (OS), power consumption and gate area.

3.1. Specifications Analysis

For this design example we used the parameters of the AMS 0.35 μm technology extracted to ACM model [12], the Smash® simulator, the g_m/I_D methodology and the Genetic Algorithms heuristics. In this design the goal is minimize the power dissipation and the gate area of the circuit.

Table 1 shows the required specifications in the three different designs and Tables 2 and 3 shows the results of this analysis. Analyzing the results it is possible to notice that all specifications values are met. The power dissipation increase with the increasing of SR and GBW requirements, which is expected because these specifications are proportional to the consumed electrical current, proportional to power dissipation.

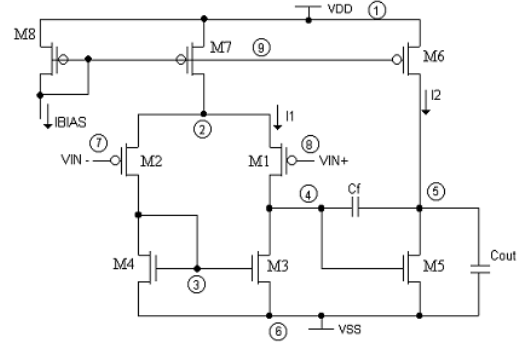


Figure 5 - Schematics of a two-stage Miller operational transconductance amplifier.

In Table 3, obtained values of g_m/I_D for transistors M1, M5 and M6 are presented. They are inversely proportional to the inversion level. It can be verified that the inversion levels of transistor M1 and M6 increase with SR and GBW specifications.

3.2. Technology analysis

In this design results the goal is to analyze the design of an OTA Miller in two different technologies: AMS 0.35 μm and XFAB 0.18 μm .

The UCAF framework was setting to use the Smash® simulator, Simulated Annealing heuristic, direct methodology and used the same specifications values for both technologies. The goal of optimizations is minimize the power dissipation and the gate area.

The required values as well as the reached values are shown in the Table 4. In these results it is possible to see that all specifications required are met. Analyzing the best result, minimum power dissipation and gate area, is possible see that the best result is obtained with the XFAB 0.18 μm technology. In the best result were found the power dissipation about 45% less than AMS 0.35 μm technology and the gate area of the circuit about 80% less than 0.35 μm technology.

The reached result is justified because the XFAB 0.18 μm has smaller transistor sizes and voltage supply, these specifications are important to find circuit with reduced size and low power dissipation.

Table 1 – Design specifications of the three designs

Specification	Design 1	Design 2	Design 3
Avo (dB)	≥ 70	≥ 70	≥ 70
GBW (MHz)	≥ 0.10	≥ 1	≥ 10
PM ($^\circ$)	$\geq 60^\circ$	$\geq 60^\circ$	$\geq 60^\circ$
SR (V/ μs)	$\geq 0,1$	≥ 1	≥ 10
ICMR+ (V)	$\geq 0,7$	$\geq 0,7$	$\geq 0,7$
ICMR- (V)	$\leq -0,7$	$\leq -0,7$	$\leq -0,7$
Pdiss (μW)	\downarrow	\downarrow	\downarrow
Gate area (μm^2)	\downarrow	\downarrow	\downarrow

Table 2 – Design results of the three designs

Specification	Design 1	Design 2	Design 3
Avo (dB)	73,50	70,10	76,00
GBW (MHz)	0,1	1,0	10,00
PM (°)	63	60,8	98,1
SR (V/μs)	0,1	0,99	9,9
ICMR+ (V)	1,3	1,35	1,31
ICMR- (V)	-1,64	-1,60	-1,64
Pdiss (μW)	3,52	58,20	296,01
Gate area (μm ²)	740,8	502,5	6678,3

Table 3 – Variables values of the three designs

Specification	Design 1	Design 2	Design 3
W1 (μm)	1,81	4,19	320,18
L1 (μm)	1,31	0,44	10,01
W3 (μm)	19,80	10,21	54,80
L3 (μm)	9,92	3,48	0,43
W5 (μm)	47,60	100,02	186,90
L5 (μm)	3,62	3,75	0,37
W6 (μm)	9,96	3,74	7,10
L6 (μm)	15,71	5,50	11,30
W7 (μm)	1,32	1,61	4,11
L7 (μm)	5,51	10,00	9,94
(gm/ID)1	17,52	15,20	10,30
(gm/ID)5	23,50	14,15	22,73
(gm/ID)6	6,69	1,73	0,56

Table 4 – Design results of the technology

Comparison		Required	XFAB	AMS
Specifications			0.18μm	0.35 μm
Avo (dB)		≥ 70	85.71	73.88
GBW (MHz)		≥ 1	1.80	1.14
PM (°)		≥ 60°	72.35	85.87
SR (V/μs)		≥ 1.00	1.00	1.02
ICMR+ (V)		≥ 0.4	0.62	1.30
ICMR- (V)		≤ -0.4	-0.87	-1.62
OS+ (V)		≥ 0,8	0.82	1.50
OS- (V)		≤ -0.8	-0.89	-1.64
Pdiss (μW)		↓	18.05	33.00
Gate Area (μm ²)		↓	108.39	546.21
Iterations		-	1572	2292
Execution time (min)		-	52.0	45.0

4. CONCLUSION

In this paper a framework for fully configurable automatic analog integrated circuit design and analysis, named as UCAF, is presented. With UCAF framework it is possible to analyze and configure the fabrication technology, optimization heuristics, sizing methodology and circuit topologies.

Two design examples of an OTA Miller were presented. In this designs were compared the results for three set of design specifications and two different fabrication technologies, all with optimization of the gate area and power dissipation.

The design results show that with the UCAF framework is possible to analyze and design analog integrated circuits in several configuration profiles.

As future work we intend to insert new circuit topologies in the framework, insert a parameter variation analysis and fabricate circuits designed with the tool for physical validation.

5. ACKNOWLEDGMENTS

The authors would like to thank FAPERGS research agency for supporting this work.

6. REFERENCES

- [1] G. Gielen and R.A. Rutenbar, "Computer-Aided Design of Analog and Mixed-Signal Integrated Circuits," *Proceedings of the IEEE*, vol. 88, pp. 1825-1852, 2000.
- [2] Graeb, H.E., *Analog Design Centering and Sizing*, Springer, 2007.
- [3] Häggglund, R., *Studies on Design Automation of Analog Circuits-Performance Metrics*, Linköpings University, 2003.
- [4] B. Liu, F.V. Fernández, G. Gielen, R. Castro-López, and E. Roca, "A Memetic Approach to the Automatic Design of High-Performance Analog Integrated Circuits," *ACM Transactions on Design Automation of Electronic Systems*, vol. 14, 2009.
- [5] I. Vityaz, D.C. Lee, and P.K. Hanumolu, "Automated Design and Optimization of Low-Noise Oscillators," *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. 28, pp. 609-622, 2009.
- [6] B. de Smedt and G. Gielen, "WATSON: Design Space Boundary Exploration and Model Generation for Analog and RF IC Design," *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. 22, pp. 213-224, 2003.
- [7] M.D. Hershenson, S.P. Boyd, and T.H. Lee, "Optimal Design of a CMOS Op-Amp Via Geometric Programming," *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. 20, pp. 1-21, 2001.
- [8] F. Silveira, D. Flandre, and P.G. Jespers, "A gm/ID Based Methodology for the Design of CMOS Analog Circuits and Its Application to the Synthesis of a Silicon-on-Insulator Micropower OTA," *IEEE Journal of Solid-State Circuits*, vol. 31, pp. 1314-1319, 1996.
- [9] Christopher R.H., Jeffery A.J., and Michael G. K., *A Genetic Algorithm for Function Optimization: A Matlab Implementation*, North Carolina State University, available at <http://www.ise.ncsu.edu/mirage/GAToolBox/gaot/>.
- [10] Sakata S., *ASAMIN: a Matlab gateway routine to adaptive simulated annealing (ASA)*, available at http://www.econ.ubc.ca/ssakata/public_html/software/.
- [11] Allen, P. E. and Holberg, D. R., *CMOS Analog Circuit Design*, Oxford University Press, 2002.
- [12] Montoro C.G., Schneider M.C., Cunha A.I.A., "The advanced compact MOSFET (ACM) model for circuit analysis and design", *IEEE Custom Integrated Circuits Conference*, pp. 519-526, 2007.