

UNIVERSIDADE FEDERAL DO PAMPA

Sound Cedieu

**Conversores multiníveis com aterramento comum para sistemas de geração solar
fotovoltaica conectados à rede elétrica**

Alegrete-RS

19/12/2023

Sound Cedieu

**Conversores multiníveis com aterramento comum para sistemas de geração solar
fotovoltaica conectados à rede elétrica**

Dissertação apresentada ao Programa de Pós-graduação Stricto Sensu em Engenharia Elétrica da Universidade Federal do Pampa, como requisito parcial para obtenção do Título de Mestre em Engenharia Elétrica.

Orientador: Felipe Bovolini Grigoletto

Alegrete-RS
19/12/2023

Ficha catalográfica elaborada automaticamente com os dados fornecidos
pelo(a) autor(a) através do Módulo de Biblioteca do
Sistema GURI (Gestão Unificada de Recursos Institucionais) .

C389c Cedieu, Sound

Conversores multiníveis com aterramento comum para sistemas
de geração solar fotovoltaica conectados à rede elétrica /
Sound Cedieu.

103 p.

Dissertação(Mestrado)-- Universidade Federal do Pampa,
DOUTORADO EM CIÊNCIA ANIMAL, 2023.

"Orientação: Felipe Bovolini Grigoletto ".

1. Energia solar fotovoltaica. 2. Conversores multiníveis.
3. Tensão de modo comum. 4. Corrente de fuga. 5. Micro
inversor. I. Título.

SOUND CEDIEU

**CONVERSORES MULTINÍVEIS COM ATERRAMENTO COMUM PARA SISTEMAS DE
GERAÇÃO SOLAR FOTOVOLTAICA CONECTADOS À REDE ELÉTRICA**

Dissertação apresentada ao Programa de Pós-graduação em Engenharia Elétrica da Universidade Federal do Pampa, como requisito parcial para obtenção do Título de Mestre em Engenharia Elétrica.

Dissertação defendida e aprovada em: 19 de dezembro de 2023.

Banca examinadora:

Prof. Dr. Felipe Bovolini Grigoletto
Orientador
UNIPAMPA

Prof. Dr. Julian Cezar Giacomini
IFFar

Prof. Dr. Guilherme Sebastião da Silva

UNIPAMPA



Assinado eletronicamente por **GUILHERME SEBASTIAO DA SILVA, PROFESSOR DO MAGISTERIO SUPERIOR**, em 19/12/2023, às 16:33, conforme horário oficial de Brasília, de acordo com as normativas legais aplicáveis.



Assinado eletronicamente por **FELIPE BOVOLINI GRIGOLETTO, PROFESSOR DO MAGISTERIO SUPERIOR**, em 19/12/2023, às 17:20, conforme horário oficial de Brasília, de acordo com as normativas legais aplicáveis.



Assinado eletronicamente por **Julian Cezar Giacomni, Usuário Externo**, em 20/12/2023, às 09:04, conforme horário oficial de Brasília, de acordo com as normativas legais aplicáveis.



A autenticidade deste documento pode ser conferida no site https://sei.unipampa.edu.br/sei/controlador_externo.php?acao=documento_conferir&id_orgao_acesso_externo=0, informando o código verificador **1317819** e o código CRC **46134544**.

*Este trabalho é dedicado às crianças adultas que,
quando pequenas, sonharam em se tornar cientistas.*

AGRADECIMENTOS

Antes de qualquer coisa, agradeço a Deus por me manter saudável e permitir que eu chegasse onde estou hoje. Minha vida nem sempre foi fácil, mas Deus sempre cuidou de mim e continua cuidando.

Agradeço à minha mãe, Ymose Fleurvil. Ela sempre foi uma guerreira. Depois que meu pai morreu, ela não nos abandonou, nos criou sozinha com ajuda de Deus. Não sei se ela sabia que eu acabaria chegando a esse ponto, mas sei que ela deu tudo de si para isso.

Conheci muitos homens incríveis que me edificaram como homem e me ensinaram a ser disciplinado, valores que estão desaparecendo hoje em dia. Entre eles, agradeço ao Pastor Samuel Delay, que me incentivou a vir estudar para o mestrado quando eu ainda estava em dúvida, e ao Maestro Nelio Datus, que sempre me deu o apoio paternal de que eu precisava.

Agradeço a todos os professores que me ensinaram, desde aqueles que me ensinaram a escrever até aqueles que me mostraram como projetar e dimensionar um conversor. Agradeço ao professor Ones Jean. Além de ser um dos melhores professores que já conheci, ele é um amigo para qualquer pessoa que queira ter sucesso. Também agradeço ao meu orientador, Professor Felipe Bovolini Grigoletto, por sua paciência. No início, foi difícil interagir com ele por causa do idioma. No entanto, ele me deu o apoio de que eu precisava para concluir meu mestrado. Ele ama a sua profissão, é o tipo de professor que um aluno sonha em ser.

Agradeço a todos no LAPEC, incluindo professores e alunos. O ambiente foi propício para meu desenvolvimento, tanto no meu trabalho quanto no aprendizado do idioma. Vocês sempre continuaram conversando comigo, mesmo sabendo que eu estava com dificuldades para responder. Vocês não me deixaram para trás.

Agradeço a todas as pessoas que fizeram e ainda fazem parte de minha vida. Em todos os casos, vocês contribuíram com uma parte do que sou hoje. Talvez você não tenha percebido isso, e talvez eu também não tenha percebido, mas estou ciente disso. Agradeço a Deus por tê-los trazido até mim.

*"Prepara-se o cavalo para o dia da batalha,
mas o Senhor é que dá a vitória."
(Provérbios 21:31)*

RESUMO

As energias renováveis têm sido amplamente exploradas nos últimos anos, a ponto de contribuírem consideravelmente para a produção global de eletricidade. Particularmente, os sistemas de geração solar fotovoltaica conectados à rede podem dispensar o uso do transformador. Este fato agrega ao conversor maior eficiência, menor custo e menor volume/peso. Entretanto, as tensões de modo comum geradas pelo conversor podem dar origem às correntes de fuga que circulam pelas capacitâncias parasitas e indutâncias de filtro. Estas correntes devem ser mitigadas a fim de não trazer prejuízos para equipamentos e pessoas. Assim, este trabalho trata do desenvolvimento de conversores que dispensam o uso de transformador de baixa frequência, com aterramento comum para mitigar a corrente de fuga. Eles são compostos por um número menor de semicondutores em comparação às outras topologias da mesma categoria e sintetizam tensão de saída com cinco níveis. São propostos dois conversores: o primeiro conversor opera em modo abaixador de tensão e o outro com dupla possibilidade de ganho (abaixador e elevador). O projeto dos dispositivos ativos e passivos, bem como a análise de perdas são apresentados em detalhes na presente dissertação. A Modulação *Space-Vector* é empregada para a geração dos sinais de comando dos interruptores de potência e o controlador Proporcional Ressonante (PR) é projetado para rastrear a corrente injetada na rede. Além disso, o desempenho dos conversores foi testado por meio de simulações e experimentalmente com protótipos de 500W.

Palavras-chave: Energia solar fotovoltaica, Conversores multiníveis, Tensão de modo comum, Corrente de fuga.

ABSTRACT

Renewable energies have been widely explored in recent years, to the point of contributing considerably to global electricity production. Particularly, photovoltaic solar generation systems connected to the grid can eliminate the need for a transformer. This fact adds to the converter greater efficiency, lower cost and lower volume/weight. However, the common mode voltages generated by the converter can give rise to leakage currents that flow through the parasitic capacitances and filter inductances. These currents must be mitigated in order not to cause damage to equipment and people. Therefore, this work deals with the development of converters that do not require the use of a low-frequency transformer, with common grounding to mitigate leakage current. They are composed of a smaller number of semiconductors compared to other topologies in the same category and synthesize output voltage with five levels. Two converters are proposed: the first converter operates in voltage step-down mode and the other with dual gain possibilities (step-down and step-up). The design of active and passive devices, as well as loss analysis are presented in detail in this dissertation. Space-Vector Modulation is used to generate the power switch command signals and the Proportional Resonant (PR) controller is designed to track the current injected into the network. Furthermore, the performance of the converters was tested through simulations and experimentally with 500W prototypes.

Keywords: Photovoltaic solar energy, Multilevel converters, Common-mode voltage, Leakage current.

LISTA DE ILUSTRAÇÕES

Figura 1 – Circuito básico do inversor	30
Figura 2 – (a) Circuito equivalente de modo comum de conversor monofásico conectado à rede. (b) circuito equivalente simplificado para a tensão total de modo comum.	30
Figura 3 – Circuito básico do inversor com aterramento comum	31
Figura 4 – Classificação dos inversores monofásicos	32
Figura 5 – A Four-Switch Single-Stage Single-Phase Buck–Boost Inverter	34
Figura 6 – Um novo inversor SEPIC de fonte Z com três interruptores	35
Figura 7 – Capacitores flutuantes	35
Figura 8 – Inversores sem transformador do tipo aterramento comum para sistemas solares fotovoltaicos monofásicos: Tipo I	36
Figura 9 – Inversores sem transformador do tipo aterramento comum para sistemas solares fotovoltaicos monofásicos: Tipo II	36
Figura 10 – Inversores sem transformador do tipo aterramento comum para sistemas solares fotovoltaicos monofásicos: Tipo III. (a) negativo. (b) positivo.	37
Figura 11 – Forma geral do inversor multinível	37
Figura 12 – Indutor acoplado	38
Figura 13 – HBDC	38
Figura 14 – Inversor sem transformador de cinco níveis para aplicações solares fotovoltaicas monofásicas	39
Figura 15 – Um novo inversor de cinco níveis com boost comutado em aterramento comum, adequado para aplicações vinculadas à rede monofásica e trifásica	40
Figura 16 – Um novo inversor de cinco níveis com capacitor comutado com aterramento comum com controle de corrente de histerese adaptável para aplicações conectadas à rede	40
Figura 17 – Inversor sem transformador de aterramento comum multinível para aplicações fotovoltaicas	41
Figura 18 – Um novo inversor multinível generalizado de capacitor comutado de aterramento comum adequado para aplicações conectadas à rede sem transformador	41
Figura 19 – Um inversor sem transformador monofásico de cinco níveis e aterramento comum com baixo número de componentes para aplicações fotovoltaicas	42
Figura 20 – Inversor de capacitor comutado de cinco níveis de boost duplo com aterramento comum	42
Figura 21 – Descrição do inversor proposto	43

Figura 22 – Estados de comutação e tensão de saída correspondente. (a) Estado A. (b) Estado B. (c) Estado C. (d) Estado D. (e) Estado E. (f) Estado F. (g) Estado G. (h) Estado H.	45
Figura 23 – Sequências de comutação, razões cíclicas e sinal portador triangular. (a) Região: R1. (b) Região: R2. (c) Região: R3. (d) Região: R4.	46
Figura 24 – Diagrama dos estados de operação inversor	47
Figura 25 – (a) Tensão de saída v_o , Razões cíclicas d_{S1} , d_{S2} , d_{S3} e d_{S4} . (b) Sequências de comutação, S_1 , S_2 , S_3 , e S_4	48
Figura 26 – Circuito do indutor acoplado. (a) Modelo genérico. (b) Modelo simplificado.	49
Figura 27 – Espectro harmônico da corrente de saída i_o e das correntes $i_{1,2}$ ($f_s=20\text{kHz}$). 50	
Figura 28 – Correntes do indutor acoplado i_1 , i_2 e i_M , corrente e tensão no capacitor. 51	
Figura 29 – Circuito equivalente de carga do capacitor	52
Figura 30 – A resposta da corrente de carga do capacitor	54
Figura 31 – Distribuição de perdas nos semicondutores de potência para um inversor de 500-W.	59
Figura 32 – Diagrama de blocos do sistema do inversor 5L-CI.	59
Figura 33 – Diagrama de blocos do sistema do inversor 5L-CI.	60
Figura 34 – Modelo simplificado do circuito.	60
Figura 35 – Diagrama de bode da planta e controlador.	62
Figura 36 – Característica da curva P-V.	63
Figura 37 – Fluxograma do MPPT.	64
Figura 38 – Tensão de saída v_o , Corrente de saída i_o , Correntes do indutor acoplado i_1 , i_2 e i_M	67
Figura 39 – (a) Corrente de saída i_o e corrente de S_1 , S_2 , S_3 , e S_4 . (b) Corrente de saída i_o e corrente de D_1 , D_2 , D_3 , e C_1	68
Figura 40 – Tensão da fonte V_{PV} , Corrente da fonte I_{PV} , Potência rastreada com: (a) Irradiância variável e Temperatura contante. (b) Irradiância constante e Temperatura variável.	69
Figura 41 – Imagem da bancada experimental.	70
Figura 42 – (a) Tensão PWM v_o , Tensão da rede v_g , Corrente de saída i_o e Tensão do capacitor v_{C1} . (b) Tensão da rede v_g , Corrente de saída i_o e correntes do indutor acoplado i_1 e i_2	71
Figura 43 – Funcionamento conectado na rede :(a) Tensão PWM v_o , Tensão da rede v_g , Corrente de saída i_o e Tensão do capacitor v_{C1} . (b) Tensão do indutor acoplado v_M , Corrente interna i_M , Corrente da rede i_o e correntes do indutor acoplado i_1 e i_2	72

Figura 44 – Corrente de saída i_o , Tensão da rede v_g , Corrente do capacitor i_{C1} , correntes do indutor acoplado i_1 e i_2 para diferente valor de α_M . (a) $\alpha_M=0$. (b) $\alpha_M=0.03$	73
Figura 45 – Tensão nos dispositivos semicondutores. (a) Chaves S_1, S_2 e S_3 . (b) Diodos D_1, D_2 e D_3	74
Figura 46 – Descrição do inversor proposto 5L-DM	75
Figura 47 – Estados de comutação e tensão de saída correspondente. (a) Estado A. (b) Estado B. (c) Estado C. (d) Estado D. (e) Estado E. (f) Estado F.	77
Figura 48 – Estados de comutação e tensão de saída correspondente. (a) Estado G. (b) Estado H. (c) Estado I. (d) Estado J. (e) Estado L. (f) Estado M.	78
Figura 49 – Diagrama dos estados de operação inversor II	78
Figura 50 – Formas de onda principais para os modos de operação (a) <i>Step-up</i> and (b) <i>Step-down</i>	80
Figura 51 – Temperatura de junção dos semicondutores de potência para os modos de operação (a) <i>Step-up</i> (b) <i>Step-down</i>	82
Figura 52 – Distribuição de perdas nos dispositivos para os modos de operação (a) <i>Step-up</i> (b) <i>Step-down</i>	82
Figura 53 – Diagrama de blocos do sistema do inversor 5L-DM.	83
Figura 54 – Resultados de simulação para a transição entre os modos <i>step-up</i> e <i>step-down</i> . (a) PWM voltage, dc input voltage, output current, capacitor voltages, capacitor currents. (b) voltage across the switches.	86
Figura 55 – Resultados de simulação para degrau na tensão de reentrada. (a) Modo <i>Step-up</i> . (b) Modo <i>Step-down</i>	87
Figura 56 – Imagem da bancada experimental.	87
Figura 57 – Formas de onda principais para o modo <i>step-up</i> . (a)-(b) Tensões de saída e do capacitor, Correntes de saída e do capacitor para PF=0.99. (d)-(e) Tensões de saída e do capacitor, Correntes de saída e do capacitor para PF=0.56. (c) Tensão em S_1, S_2, S_5 . (f) Tensão em S_3, S_4, S_6	88
Figura 58 – Formas de onda principais para o modo <i>step-up</i> . (a) Degrau na carga de 250 W a 500 W. (b) Degrau na carga de 500 W a 250 W. (c) Vista ampliada da diminuição da carga. (d) Vista ampliada da diminuição da carga.	89
Figura 59 – Formas de onda principais para o modo <i>step-down</i> . (a)-(b) Tensões de saída e do capacitor, Correntes de saída e do capacitor para PF=0.99. (c)-(d) Tensões de saída e do capacitor, Correntes de saída e do capacitor para PF=0.56. (e) Tensão em S_1, S_2, S_5 . (f) Tensão em S_3, S_4, S_6	90

Figura 60 – Formas de onda principais para o modo <i>step-down</i> . (a) Degrau na carga de 250 W a 500 W. (b) Degrau na carga de 500 W a 250 W. (c) Vista ampliada da diminuição da carga. (d) Vista ampliada do aumento da carga.	91
Figura 61 – Formas de onda principais para o modo <i>step-up</i> em operação conectada à rede com PF unitário. (a) Tensões da rede e do capacitor, Correntes da rede e do capacitor. (b) Tensão PWM, corrente de saída, correntes dos capacitores.	91
Figura 62 – Formas de onda para o modo <i>step-up</i> em operação conectada à rede. (a) Tensão PWM, corrente de saída, correntes dos capacitores, Tensão do barramento CC, Corrente de fuga com PF unitário. (b) Tensões da rede e do capacitor, Correntes da rede e do capacitor com PF avanço e atraso. (c) Tensão PWM, corrente de saída, correntes dos capacitores com PF avanço e atraso. (d) Espectro da corrente da rede.	92
Figura 63 – Formas de onda principais para o modo <i>step-down</i> em operação conectada à rede com PF unitário. (a) Tensões da rede e do capacitor, Correntes da rede e do capacitor. (b) Tensão PWM, corrente de saída, correntes dos capacitores.	92
Figura 64 – Formas de onda principais para o modo <i>step-down</i> em operação conectada à rede. (a) Tensão PWM, corrente de saída, correntes dos capacitores, Tensão do barramento CC, Corrente de fuga com PF unitário. (b) Tensões da rede e do capacitor, Correntes da rede e do capacitor com PF avanço e atraso. (c) Tensão PWM, corrente de saída, correntes dos capacitores com PF avanço e atraso. (d) Espectro da corrente da rede.	93
Figura 65 – Partida do inversor. (a) Corrente da rede, tensão do capacitor, correntes dos capacitores. (b) Vista ampliada da partida.	93
Figura 66 – Degrau na tensão V_{dc} . (a) modo <i>Step-up</i> . (b) modo <i>Step-down</i>	94

LISTA DE TABELAS

Tabela 1 – Estados de comutação do inversor proposto.	44
Tabela 2 – Regiões, sequência de comutação e ciclos de operação para S_1 , S_2 , S_3 , e S_4	48
Tabela 3 – Comparação entre topologias de 5 níveis.	65
Tabela 4 – Parâmetros do protótipo.	66
Tabela 5 – Estados de comutação, Tensão de saída e Fluxo de carga dos capacitores para os modos <i>step-up</i> e <i>step-down</i>	76
Tabela 6 – Definição das razões cíclicas d_{S1} to d_{S6} para a estratégia de modulação nos modos <i>step-up</i> e <i>step-down</i>	79
Tabela 7 – Comparação entre topologias <i>Dual mode</i>	84
Tabela 8 – Parâmetros do protótipo.	85

SUMÁRIO

1	INTRODUÇÃO	25
1.1	Objetivo	26
1.2	Organização do Trabalho	27
2	REVISÃO BIBLIOGRÁFICA	29
2.1	Introdução	29
2.2	Modelo da corrente de fuga	29
2.3	Inversores monofásicos sem transformador	31
2.3.1	H6	32
2.3.2	H-Bridge	33
2.3.3	Buck-boost	33
2.3.4	<i>Common-ground</i>	33
2.3.4.1	Inversor baseado em circuito básico de Chopper	34
2.3.4.2	INVERSOR BASEADO EM SEMI-Z SOURCE	34
2.3.4.3	Inversor baseado em capacitores flutuantes	35
2.4	Inversores Multiníveis	37
2.5	Conclusão	42
3	INVERSOR DE CINCO NÍVEIS COM INDUTOR ACOPLADO 5L-CI	43
3.1	Introdução	43
3.2	Descrição do inversor proposto 5L-CI	43
3.2.1	Estratégia de modulação	45
3.2.2	Dimensionamento dos elementos passivos	49
3.2.3	Dimensionamento do capacitor	50
3.3	Determinação da corrente de carga do capacitor	51
3.3.1	Resposta subamortecida	52
3.3.2	Resposta super-amortecida	53
3.3.3	Resposta criticamente amortecida	53
3.4	Máxima tensão sobre os semicondutores	54
3.5	Determinação teórica das perdas	55
3.5.1	Perdas de condução	55
3.5.2	Perdas de comutação	56
3.5.3	Perdas no capacitor em regime permanente	57
3.5.4	Perdas de carregamento do capacitor	58
3.6	ESTRATÉGIA de controle	58
3.6.1	Modelo dinâmico do circuito	60
3.6.2	Projeto do sistema de controle	61

3.6.3	Algoritmo de MPPT	63
3.7	Comparação entre topologias de 5 níveis	64
3.8	Resultados de simulação	66
3.9	Resultados experimentais	68
3.10	Conclusão	70
4	INVERSOR DE CINCO NÍVEIS COM DUPLO MODO DE OPE- RAÇÃO 5L-DM	75
4.1	Introdução	75
4.2	Descrição do inversor 5L-DM	75
4.2.1	Modo <i>Step-up</i> (Elevador de tensão)	75
4.2.2	Modo <i>Step-down</i> (Abaixador de tensão)	76
4.3	Estratégia de modulação	77
4.4	Dimensionamento dos elementos passivos	79
4.4.1	Dimensionamento dos capacitores	79
4.4.2	Dimensionamento do indutor L_r	80
4.5	Máxima tensão sobre os semicondutores	81
4.6	Perdas nos semicondutores	82
4.7	ESTRATÉGIA de controle	83
4.8	Comparação entre topologias de 5 níveis (Dual mode)	83
4.9	Resultados de simulação	84
4.10	Resultados experimentais	85
4.11	Conclusão	90
5	CONCLUSÃO	95
	REFERÊNCIAS	97

1 INTRODUÇÃO

O consumo de energia está em ascensão em todos os setores da economia, sendo impulsionado pelo crescimento populacional que já está próximo de 8 bilhões e que, em 2059, pode ultrapassar os 10 bilhões, de acordo com um estudo da ONU (ECONOMIC; AFFAIRS, 2022). A energia, em geral, é consumida em três setores: transportes, residências e indústria. Portanto, à medida que a população mundial cresce, esses três setores consumirão mais energia. De acordo com (IEA, 2022a), em 2020, a demanda de energia nos setores de transporte e da residência diminuiu 14% e 1%, respectivamente. Em 2021, cresceram 8% e 5%. Dos três, apesar do crescimento do consumo de energia de residências em 2021, continua a ser o setor menos intensivo em energia nos últimos anos. A demanda de energia aumentou 5.4% em 2021 e causa um aumento nas emissões de CO_2 de 2 Gigatons (Gt)

A demanda de eletricidade representa apenas 17% do consumo total da energia e toda a eletricidade produzida mundialmente é dividida entre 28% de energias renováveis, 62% de combustíveis fósseis e 10% de energia nuclear (REN21, 2022). Entre as usinas de energia renovável instaladas, há uma ligeira predominância da hidroeletricidade, porque só ela representa 15% da produção total de eletricidade, ou seja, uma capacidade instalada de 1195 GW das 3146 GW instaladas de usinas de energia renovável. De acordo com as previsões feitas para 2027, a energia solar fotovoltaica terá a maior capacidade instalada.

Devido à disponibilidade do potencial solar, as usinas solares fotovoltaicas são mais adequadas para instalação. De acordo com (KHAN; ARSALAN, 2016), a energia que o sol fornece à terra por dia é suficiente para atender às demandas de energia elétrica por mais de uma década. A energia fotovoltaica é limpa, sustentável e muito acessível, independentemente do ambiente (rural ou urbano). Portanto, a capacidade instalada de usina solar fotovoltaica cresceu entre 2020 a 2021 de 767 GW a 942 GW (REN21, 2022). De acordo com (IEA, 2022b), três cenários estão previstos para a futura produção de eletricidade. Em particular, no cenário de zero emissões de CO_2 em 2050, as energias renováveis aumentam muito rapidamente e atingem uma percentagem de 90% da produção total. Esse fato traz segurança energética porque é independente das importações, entretanto, devido à sua intermitência, as usinas de energia renovável não podem produzir continuamente e exigem que os conversores possam integrar a rede de distribuição já existente e manter o sistema eficiente e confiável.

Para um melhor desempenho do sistema fotovoltaico, conversores estáticos são usados para realizar a transferência de energia entre os módulos fotovoltaicos e a saída CA. O sistema pode ser para uso isolado ou conectado à rede. Dependendo do tipo de conversão ou do resultado desejado, os conversores podem ser classificados em quatro grupos: conversores CA-CA, retificadores CA-CC, conversores CC-CC, inversor CC-CA (JR; SILVA, 2001). Em sistemas fotovoltaicos, os mais utilizados são os conversores CC-CC e CC-CA. Os conversores CC-CC incluem os mais conhecidos, como Boost, Buck, Flyback e outros. Seu principal papel é adaptar a tensão ao nível desejado, mesmo que a tensão de

entrada e a carga possam flutuar. Os conversores CC-CA, por outro lado, são usados para transformar a forma do sinal de energia em um sinal senoidal.

Os conversores CC-CA ou inversores são quase indispensáveis ao sistema de geração solar fotovoltaica. Pois, a maior parte do consumo é em corrente alternada. Nesse sentido, é necessário ter um sinal senoidal de boa qualidade com o menor conteúdo harmônico possível. Assim, mostram-se importantes os conversores multiníveis. Os inversores que sintetizam tensão de saída multinível traz vantagem de possuir corrente de saída mais próxima de um sinal senoidal, em outros termos, uma taxa reduzida de THD (*Total Harmonic Distortion*) e diminuição ou até mesmo eliminação de filtros passivos.

Topologias tradicionais de conversores comumente empregados em sistemas de conversão de energia podem gerar tensões de modo comum. Sistemas fotovoltaicos não-isolados conectados à rede apresentam um caminho alternativo para correntes de fuga por meio capacitâncias parasitas e indutâncias de filtro (ESTÉVEZ-BÉN et al., 2020). Transformadores de alta ou baixa frequência podem ser empregados para isolar galvanicamente os lados CC e CA, e mitigar tais correntes, entretanto agregam custo e volume ao sistema. Quando se trata de sistemas não isolados, o projeto de filtros de modo comum, estratégias de modulação e controle (GIACOMINI et al., 2018; CHAVES; GRIGOLETTO, 2020) são algumas alternativas para reduzir ou mitigar as correntes de fuga a fim de atender as normas de conexão a rede elétrica.

Com a ideia de tornar o sistema fotovoltaico mais eficiente, novas tecnologias de conversores que dispensam o transformador são propostas e assim permitem menores custos de instalação (KHAN et al., 2020). Entretanto, algumas dessas topologias dependem dos parâmetros de elementos passivos para a adequada mitigação da corrente de fuga (TEY; MEKHILEF, 2016). Por outro lado, dentre as recentes topologias desenvolvidas, os inversores com aterramento comum são uma interessante alternativa para resolver o problema da corrente de fuga (GAAFAR et al., 2021). Por meio do aterramento do terminal negativo do barramento CC nestes conversores, a tensão de modo comum se torna constante e a corrente de fuga então é teoricamente eliminada.

1.1 OBJETIVO

Este trabalho tem por objetivo o desenvolvimento de conversores CC-CA multiníveis aplicados aos sistemas de geração solar fotovoltaica. São micro-inversores com aterramento comum conectados à rede e capazes de rastrear a potência máxima de módulos fotovoltaicos sem a presença transformadores e de conversores CC-CC.

De forma detalhada, os objetivos específicos associados do trabalho são:

- Desenvolver conversores que dispensam o uso de transformador, e que resultem em alta eficiência, baixo volume e baixo custo;
- Propor conversores cujo terminal negativo do barramento CC esteja conectado

diretamente ao neutro da rede elétrica, que, por sua vez é aterrado. Assim, a corrente de fuga é teoricamente eliminada;

- Projetar conversores que apresentam padrão PWM de saída com cinco níveis de tensão distintos. Isto resulta em reduzida distorção harmônica necessitando de um menor filtro de saída.
- Propor conversores que apresentam reduzido número de dispositivos interruptores de potência, a fim de reduzir o custo de instalação do sistema fotovoltaico.

1.2 ORGANIZAÇÃO DO TRABALHO

No Capítulo 2, é apresentada uma revisão da literatura que apresenta o principais conversores que operam sem o uso do transformador. Mais precisamente, a análise é focada sobre inversores com aterramento comum (*Common ground*) de cinco níveis de tensão de saída apresentando o seu princípio de funcionamento e as suas vantagens.

O Capítulo 3 faz a descrição da topologia proposta de cinco níveis com indutor acoplado. São evidenciados os diferentes estados de comutação, apresentadas as tensões e correntes para cada estado e também o dimensionamento dos elementos ativos e passivos do inversor. Além disso, é proposta uma estratégia de modulação *space vector* para acionar os interruptores, onde são derivadas as regiões, as sequências de comutação, as razões cíclicas das chaves, bem como as perdas de comutação e condução. São apresentados os detalhes do projeto dos elementos passivos e do controlador ressonante de corrente de saída. Por fim, são apresentados os resultados experimentais para o conversor proposto, obtidos a partir de um protótipo de 500 W.

O Capítulo 4 descreve o inversor de cinco níveis com duplo modo de operação que é capaz de operar em modo abaixador e elevador de tensão. Para cada modo, são descritos os diferentes estados de comutação, a estratégia de modulação aplicada para acionar os interruptores, e os detalhes do projeto dos elementos passivos e dos controladores. O desempenho do inversor é testado por meio de resultados de simulação e experimentais. Além disso, é apresentada uma análise comparativa com os principais inversores de categoria similar encontrados na literatura.

Finalmente, o Capítulo 5 apresenta uma visão geral do trabalho, especialmente das topologias dos inversores propostos.

2 REVISÃO BIBLIOGRÁFICA

2.1 INTRODUÇÃO

Estudos recentes demonstram que em diversos aspectos de implantação de um sistema geração de baixa potência, o uso de micro inversores é mais eficiente do que o sistema fotovoltaico tradicional com inversor *multi-string* (KHAN et al., 2017). Como resultado, novas topologias de micro inversor devem atender às determinadas condições, tais como: melhor eficiência e confiabilidade durante um longo período, uma redução de custos e capacidade de processamento de potência reativa para contribuir com a estabilidade de tensão da rede (IKKURTI; SAHA, 2015).

Os micro inversores podem ser equipados ou dispensar o transformador. Aqueles que são equipados com transformador, resultam em isolamento galvânico, ou seja, não há compartilhamento de conexões elétricas entre o lado CC e lado CA. No entanto, o volume e o custo do sistema são consideráveis. Por outro lado, quando o transformador é removido, a eficiência aumenta e o custo diminui (KHAN et al., 2017). Portanto, os micro inversores sem transformador têm muito mais vantagens. Entretanto, a corrente de fuga originada por capacitâncias parasitas do sistema e pela variação da tensão do modo comum pode trazer prejuízos materiais e pessoais (TEY; MEKHILEF, 2016) .

De acordo com (PATRAO et al., 2011), para melhorar o desempenho dos micro inversores sem transformador, alguns aspectos precisam ser atendidos. A corrente de fuga deve ser reduzida ou eliminada. O número e a tensão dos semicondutores devem ser limitados, pois estão relacionados ao custo e às perdas do sistema. Além disso, é necessário que a tensão de saída tenha boa qualidade para que a corrente atenda os limites de distorção harmônica para a conexão a rede elétrica.

2.2 MODELO DA CORRENTE DE FUGA

Por questões de segurança, a norma IEC 62109-2 estipula que as carcaças metálicas dos módulos fotovoltaicos sejam aterradas. Com o compartilhamento do aterramento entre a rede e módulos PV, a corrente de fuga pode fluir pelos elementos parasitas em caso de sistemas não isolados.

O processo de geração da corrente de fuga pode ser explicado através do circuito equivalente de modo comum de conversor monofásico conectado à rede. A carcaça metálica dos painéis fotovoltaicos geralmente é aterrada. Existem capacitâncias parasitas intrínsecas aos painéis entre a carcaça e os polos positivos e negativos. Na presença de tensões de modo comum, estes capacitores oferecem um caminho para a corrente de fuga, como mostrado na Figura 2.2.

Este capacitor é formado principalmente pela natureza do painel fotovoltaico e depende de sua potência e características construtivas. Na Figura 2, v_1 e v_2 são tensões produzidas pelos braços do inversor. A variação das tensões v_1 e v_2 induz no sistema a

corrente de fuga que é a corrente i_{cm} dada por(2.1).

Figura 1 – Circuito básico do inversor

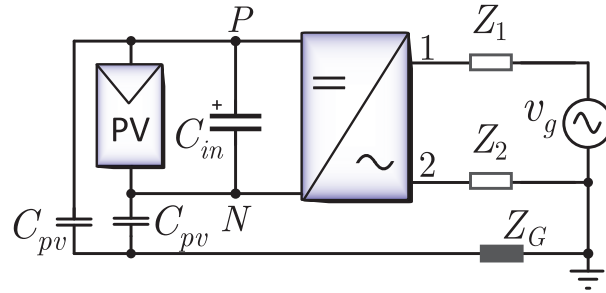
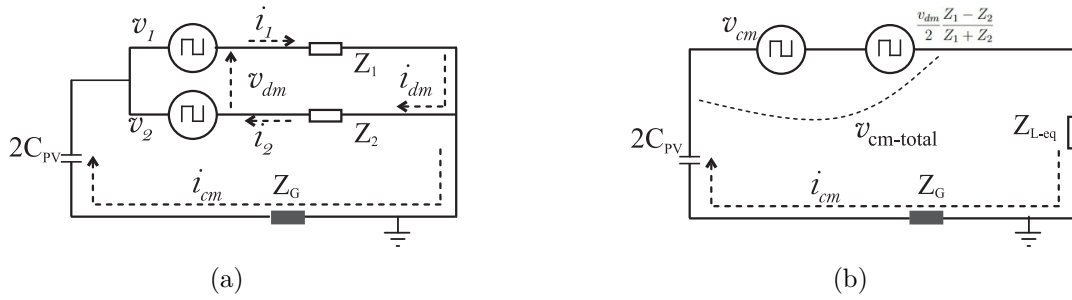


Figura 2 – (a) Circuito equivalente de modo comum de conversor monofásico conectado à rede. (b) circuito equivalente simplificado para a tensão total de modo comum.



Fonte: (GAAFAR et al., 2021)

$$i_{cm} = C_{PV} \frac{dV_{cm-total}}{dt} \quad (2.1)$$

As tensões de modo comum e de modo diferencial podem ser escritas em função de v_1 e v_2 da seguinte forma:

$$v_{cm} = \frac{v_1 + v_2}{2} \quad (2.2)$$

$$v_{dm} = v_1 - v_2 \quad (2.3)$$

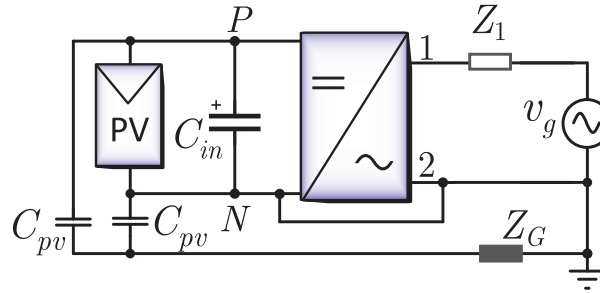
Com relação ao circuito simplificado na Figura 2 (b), $Z_{L-eq} = \frac{Z_1 \cdot Z_2}{Z_1 + Z_2}$ representa a impedância equivalente, Z_g a impedância de aterramento e v é igual a $\frac{v_{dm}}{2} \frac{Z_2 - Z_1}{Z_2 + Z_1}$. A tensão total de modo comum é calculada por:

$$v_{cm-total} = v_{cm} + \frac{v_{dm}}{2} \frac{Z_2 - Z_1}{Z_2 + Z_1} \quad (2.4)$$

$$v_{cm-total} = v_{cm} - \frac{v_{dm}}{2} \quad (2.5)$$

Ao substituir (2.5) em (2.1), a expressão da corrente de modo comum torna-se:

Figura 3 – Circuito básico do inversor com aterramento comum



$$i_{cm} = 2C_{PV} \frac{d}{dt} \left(v_{cm} - \frac{v_{dm}}{2} \right) \quad (2.6)$$

No caso do circuito do inversor com aterramento comum mostrado na Figura 2.2, pode-se notar que o conversor com aterramento comum apresenta $Z_2 = 0$ e $v_2 = 0$. Logo, a tensão de modo comum é constante, e a corrente de fuga é teoricamente nula, ou seja: $v_{cm-total} = v_2$ e $i_{cm} = 0$.

De acordo com norma IEC 62109-2, a corrente de fuga deve ser limitada seguindo duas modalidades. A primeira modalidade consiste em limitar o valor eficaz da corrente de fuga em 30 mA. Esse valor deve ser medido por um dispositivo de corrente residual capaz de ser integrado ao inversor ou instalado separadamente.

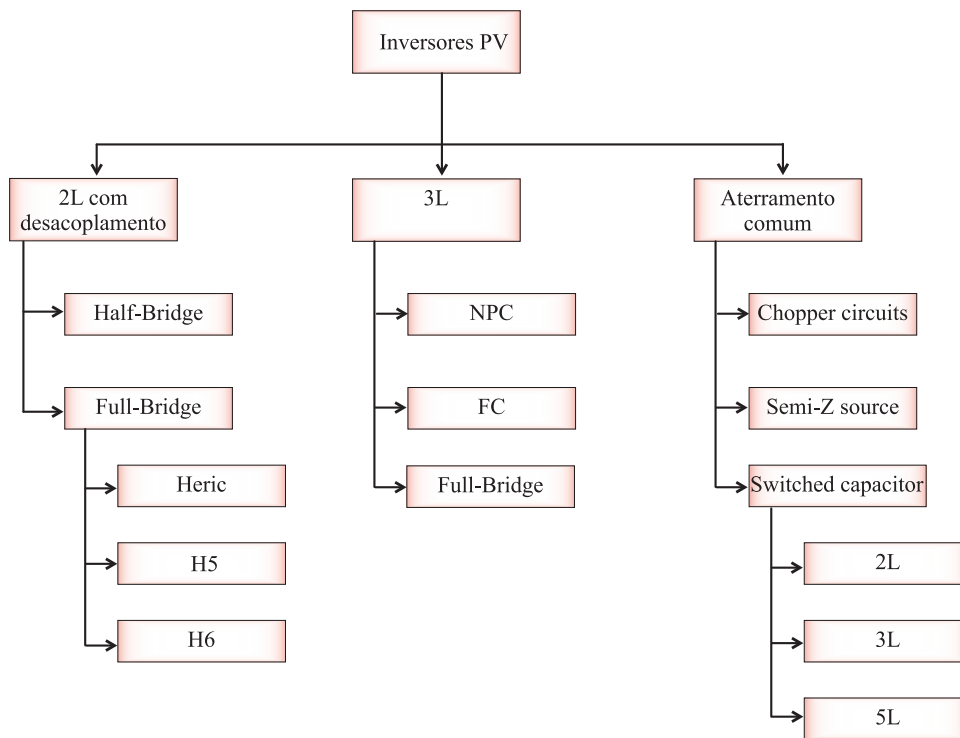
Quanto à segunda modalidade, o valor limite da corrente de fuga permanece o mesmo da primeira para sistemas com potência igual ou inferior a 30 kW. Entretanto, esse valor limite aumenta em 10 mA para cada 1 kW de potência adicional. Além disso, ao detectar variação repentina acima de 30 mA, o inversor tem que se desconectar da rede. Portanto, para mudança brusca de: 30 a 59 mA, de 60 a 149 mA e de 150 mA, a desconexão da rede deve ser ativada em no máximo: 0.3 s, 0.15 s e 0.04 s, respectivamente.

2.3 INVERSORES MONOFÁSICOS SEM TRANSFORMADOR

Nos estudos realizados em (KHAN et al., 2020), um conjunto de padrões de sistemas fotovoltaicos conectados à rede e códigos de rede em diferentes países apresenta as limitações do projeto de micro-inversores PV. Em conformidade com essas diretrizes, várias topologias foram propostas e são classificadas em duas categorias principais de micro inversor sem transformador: inversor com ganho 1 e com ganho 0.5.

Entre as topologias de conversor com ganho 0.5, podemos observar o Half Bridge (HB) com 2 chaves. Estes conversores apresentam 2 níveis de tensão de saída e, por consequência, maior THD. Para resultar em reduzida THD de tensão de saída, o conversor com ponto neutro grampeado foi proposto. Assim, este conversor apresenta reduzido filtro de saída, mas apresenta maiores perdas de condução quando comparado com o conversor HB.

Figura 4 – Classificação dos inversores monofásicos



Fonte: Autor

Quanto à categoria de conversor com ganho 1, esses micro inversores são derivados da ponte completa (Full-Bridge) que podem operar com dois tipos de modulações: o SPWM (*Sinusoidal Pulse Width Modulation*) unipolar e o SPWM bipolar. Com o bipolar, a corrente de fuga é significativamente reduzida, mas a THD, as perdas de comutação e o EMI são elevados. Enquanto o SPWM unipolar reduz o THD e o tamanho da indutância do filtro (LI et al., 2015). Conforme a Figura 2.3, há 3 tipos principais de inversores que foram propostos: inversores de dois níveis com desacoplamento, inversores de três níveis (3L) e inversores com aterramento Comum (*Common-ground*), dos quais são derivados outros inversores como *Full-Brige*, *Half-Brige*, NPC, *Flying Capacitor*, *Switched Capacitor*, etc...

2.3.1 H6

A estrutura básica da topologia do tipo H6 é uma ponte completa com dois interruptores adicionais. As chaves operam independentemente com alta frequência ou a da rede, dependendo da polaridade da tensão de saída. Oferece uma tensão de saída de 3 níveis e evita a troca de energia reativa durante o tempo de roda livre. Possui perdas moderadas, corrente de fuga baixa e interferência eletromagnética. No entanto, uma grande perda de condução causada pelo grande número de interruptores que operam durante os estados ativos do inversor. (KHAN et al., 2020)(KHAN et al., 2017).

2.3.2 H-BRIDGE

O inversor *H-bridge* é o circuito básico de um grande número de inversores como: H5, H6, HERIC e muitos outros. O inversor *H-Bridge* é dividido em duas partes de acordo com a estratégia SPWM utilizada: *H-Bridge* bipolar e *H-Bridge* unipolar. Quando a estratégia de modulação é bipolar, o inversor *H-bridge* opera com uma tensão de modo comum que oscila em 60 Hz e uma baixa corrente de fuga. No entanto, a eficiência e o THD não são aceitáveis. Quando a estratégia de modulação é unipolar, o problema da eficiência e do THD é resolvido. Entretanto, existe tensão do modo comum em alta frequência resultando em elevada corrente de fuga (KABALC₁, 2021).

2.3.3 BUCK-BOOST

Os inversores *Buck-Boost* são baseados no circuito *Buck* e/ou *Boost*. Como resultado, estes são inversores que possuem a vantagem de aumentar ou diminuir a tensão da energia fotovoltaica usando a razão cíclica. Esta família de inversores é frequentemente combinada com algumas outras famílias. Em algumas topologias mencionadas em (GAA-FAR et al., 2021), os inversores *Boost* melhoram a operação do MPPT por apresentarem contínua corrente de entrada e a capacidade de conversão desses conversores reduz a necessidade de desacoplamento. Quanto aos inversores *Buck*, é necessária uma conexão de vários módulos para integrar a rede. No entanto, um grande capacitor é necessário para o desacoplamento de energia. *Buck-Boost* têm a vantagem de uma faixa de potência mais ampla.

2.3.4 COMMON-GROUND

Este tipo de topologia é projetada principalmente para reduzir a corrente de fuga. Em um inversor *Common-ground*, o neutro da rede está diretamente interligado ao terminal negativo dos painéis fotovoltaicos, como mostrado na Figura 2.2. O capacitor parasita do painel C_{PV} é conectado em paralelo com a impedância de aterramento. Isso permite uma grande redução da corrente de fuga i_{cm} .

De acordo com (GAAFAR et al., 2021), a atenuação da corrente de fuga não é a única vantagem dos inversores de aterramento comum. O aterramento de sistemas fotovoltaicos permite minimizar o efeito de certos surtos, reduzir a injeção de corrente CC e ter operações de tensão multinível. Além disso, o aterramento comum impede a degradação induzida por potencial que pode causar perdas significativas de potência ao longo do tempo. No entanto, isso requer um trabalho meticuloso para garantir um melhor custo e uma operação eficiente.

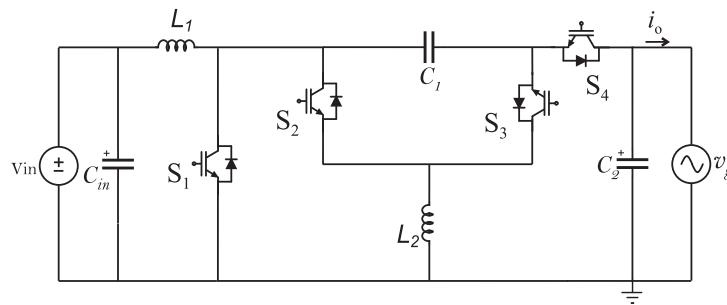
Com o neutro da rede que está diretamente ligado ao ponto terminal de tensão CC, o circuito do inversor pode ser baseado em qualquer família já mencionada nas subseções

anteriores. E isso produz um grande número de inversores com aterramento comum que podem ser classificados de acordo com a Figura 2.3.

2.3.4.1 INVERSOR BASEADO EM CIRCUITO BÁSICO DE CHOPPER

A topologia do inversor *Four-Switch Single-Stage Single-Phase Buck-Boost Inverter* da Figura 2.3.4.1 é um dos inversores baseados em circuito básico de Chopper. Ele funciona em dois modos. No primeiro modo, a chave S_2 permanece aberta enquanto a chave S_3 permanece fechada. Com 2 interruptores S_1 e S_4 que são complementares, o circuito restante é semelhante a um conversor indutor primário simples (SEPIC). No segundo modo, é a ação oposta: as chaves S_1 e S_4 são complementares. Em cada modo, há um intervalo onde a corrente do indutor é da mesma direção que a corrente de referência i_o e outro em que eles são de direção oposta.

Figura 5 – A Four-Switch Single-Stage Single-Phase Buck-Boost Inverter



Fonte: (KUMAR; SENSARMA, 2017)

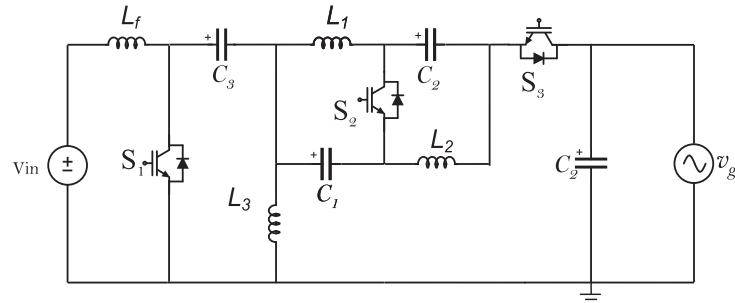
Esta categoria de inversor Common Ground geralmente contém inversores baseados em Buck-Boost, CUK e SEPIC. Combina as características dos conversores mencionados com a principal característica do Common Ground. Várias topologias nesta categoria foram estudadas em (GUO et al., 2022). O inversor *Four-Switch Single-Stage Single-Phase Buck-Boost Inverter* oferece melhor eficiência: 95.7 %. Quando comparado com outros, as perdas são menores por causa do número de chaves e elementos passivos. A tensão de saída sintetizada por esse inversor apresenta THD relativamente baixa (THD=4.3%).

2.3.4.2 INVERSOR BASEADO EM SEMI-Z SOURCE

A estrutura geral deste grupo de inversores consiste em circuitos de fonte de impedância (*source-Z*), semi-fonte Z e terra comum. De acordo com (PENG, 2003), os inversores de fonte Z são capazes de superar as limitações dos inversores de fonte de tensão e inversores de fonte de corrente. Eles têm a característica de fornecer uma faixa de tensão de corrente alternada de zero ao infinito, independentemente da tensão de base na entrada.

Uma das vantagens desses inversores é o número reduzido de interruptores, mas gera uma forte interferência eletromagnética.

Figura 6 – Um novo inversor SEPIC de fonte Z com três interruptores

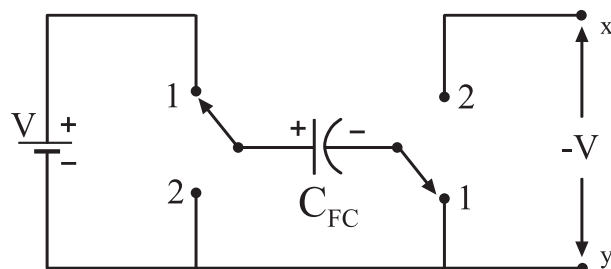


Fonte: (WANG; TANG, 2019)

Existe uma topologia apresentada em (WANG; TANG, 2019) que consiste em tres interruptores, quatro indutores e quatro capacitores. É a combinação de inversor de fonte Z e SEPIC, como mostrado na Figura 2.3.4.2. Assim, possui vantagens como a mesma polaridade de entrada e saída, isolamento de entrada e saída. Entre os inversores de fonte Z, é o que contém menos interferência eletromagnética.

2.3.4.3 INVERSOR BASEADO EM CAPACITORES FLUTUANTES

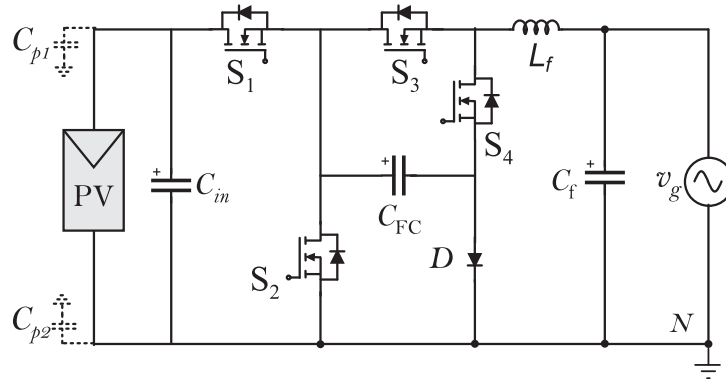
Figura 7 – Capacitores flutuantes



Fonte: (SIWAKOTI; BLAABJERG, 2017)

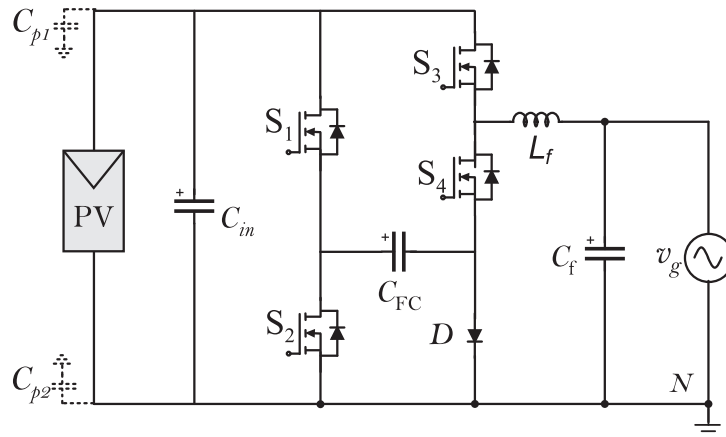
(SIWAKOTI; BLAABJERG, 2017) propuseram três topologias de inversores com aterramento comum baseadas no princípio do capacitor flutuante descrito na Figura 2.3.4.3. O princípio consiste em comutação do interruptor entre as posições '1' e '2' em alta frequência para sintetizar uma tensão alternada na carga. Quando os interruptores estão na posição 1, o capacitor carrega até atingir a amplitude da tensão de entrada. E quando os interruptores estão na posição 2, a tensão nos terminais do capacitor é igual e oposta à tensão de entrada. Os circuitos dessas topologias podem ser compostos por MOSFET, IGBT, RB-IGBT e/ou diodos.

Figura 8 – Inversores sem transformador do tipo aterramento comum para sistemas solares fotovoltaicos monofásicos: Tipo I



Fonte: (SIWAKOTI; BLAABJERG, 2017)

Figura 9 – Inversores sem transformador do tipo aterramento comum para sistemas solares fotovoltaicos monofásicos: Tipo II



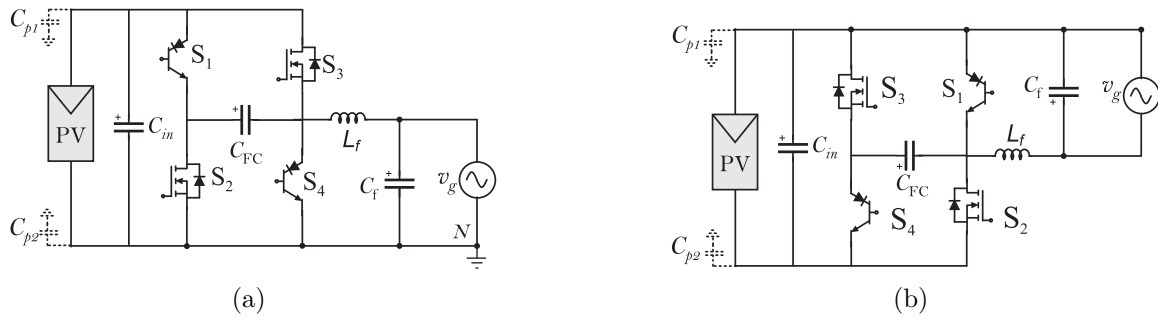
Fonte: (SIWAKOTI; BLAABJERG, 2017)

O circuito na Figura 2.3.4.3 é constituído de cinco semicondutores de potência, incluindo quatro interruptores e um diodo. A estratégia de modulação utilizada é o SPWM unipolar que reduz perdas, interferências eletromagnéticas e tamanho do filtro. Nesta topologia, o capacitor é carregado por S_1 e o diodo D enquanto é descarregado por S_2 e S_4 . O estresse de tensão é uniforme e igual à tensão CC para todos os interruptores.

A topologia da Figura 2.3.4.3 é semelhante à anterior, onde em cada ciclo de comutação, o capacitor é carregado por S_1 e S_2 e é criado um ciclo de potência negativo descarregando o capacitor via S_4 . O estresse de tensão é uniforme e igual à tensão CC apenas para S_1 , S_2 e S_4 . Para S_3 , O estresse de tensão é igual ao dobro da tensão CC.

Como mostra a Figura 10, essa topologia é semelhante à ponte H convencional. Os semicondutores de potência S_1 e S_4 estão sujeitos a um estresse de tensão bipolar igual à

Figura 10 – Inversores sem transformador do tipo aterramento comum para sistemas solares fotovoltaicos monofásicos: Tipo III. (a) negativo. (b) positivo.



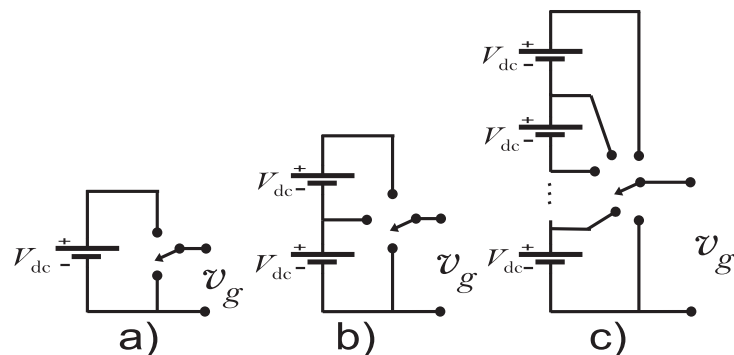
Fonte: (SIWAKOTI; BLAABJERG, 2017)

tensão de entrada ($\pm V_{dc}$) e requerem ser MOSFET e, S_2 e S_3 estão sujeitos a um estresse de tensão unipolar polar igual ao dobro da tensão de entrada ($2V_{dc}$) e requerem ser do tipo RB-IGBT. Essa topologia tem a capacidade de ser um inversor com aterramento comum negativo ou positivo.

2.4 INVERSORES MULTINÍVEIS

Os inversores multiníveis são assim chamados devido ao número de níveis da tensão de saída. Em geral, eles são considerados como tal a partir de três níveis de tensão. Estes são inversores cuja tensão de saída aumenta somando as tensões de acordo com a comutação do interruptor V_{dc} na Figura 2.4. De acordo com (KABALC1, 2021), os inversores multiníveis são capazes de melhorar a taxa de distorção harmônica total, reduzir esforços de tensão em dispositivos de comutação e interferência eletromagnética e ter baixa tensão de modo comum.

Figura 11 – Forma geral do inversor multinível

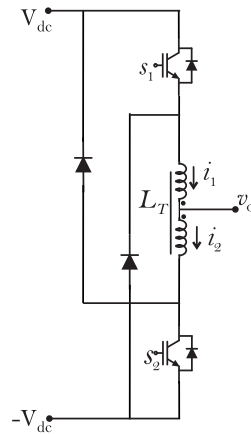


Fonte: Elaborado pelo autor

Na Figura 2.4, é apresentado um inversor de tipo *Half-bridge* baseado no uso de indutor acoplado. Essa topologia contém quatro semi-condutores: duas chaves e dois

diodos. Esse inversor é capaz de sintetizar tensão de saída de três níveis, o que significa que v_o pode ser igual a V_{dc} , $0.5V_{dc}$, 0 quando a fonte da tensão de entrada for aterrada e V_{dc} , 0 , $-V_{dc}$ quando houver um divisor capacitivo com ponto central aterrado.

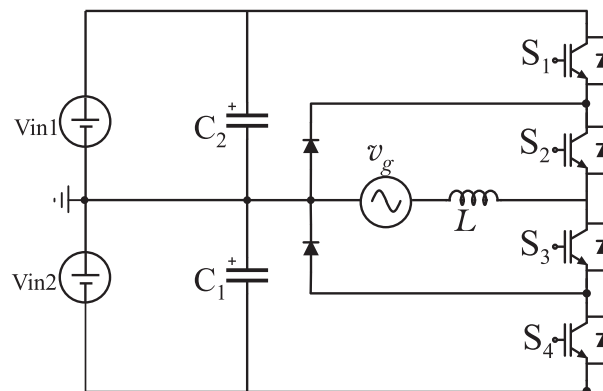
Figura 12 – Indutor acoplado



Fonte: (CHAPELSKY; SALMON; KNIGHT, 2009)

Em (KABALC1, 2021), os autores fazem uma comparação entre todos os tipos de inversores multinível. Nesta seção, consideraremos os inversores multinível de *Common-Ground*. (NABAE; TAKAHASHI; AKAGI, 1981) propõe o inversor de três níveis *Half Bridge Diode Clamped* que contém quatro interruptores, dois diodos, dois capacitores e um indutor como mostra a Figura 2.4. Obviamente, ele tem a capacidade de mitigar a corrente de fuga e aumentar o número de níveis, adicionando módulos e interruptores adicionais. A principal desvantagem deste inversor é o desequilíbrio de carga entre os diferentes módulos fotovoltaicos.

Figura 13 – HBDC

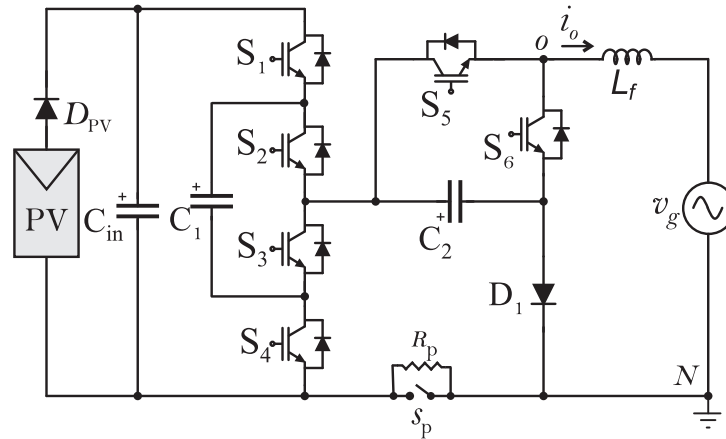


Fonte: (NABAE; TAKAHASHI; AKAGI, 1981)

A topologia na Figura 2.4 proposta em (GRIGOLETTO, 2020) é um inversor de

cinco níveis com um circuito de *flying-capacitor*. Este inversor usa seis interruptores, três capacitores, um diodo e um resistor acompanhado por um interruptor para pré-carregar os capacitores. Além disso, contém oito estados de comutação. Em cada um desses estados, o inversor é capaz de fornecer simultaneamente tensão positiva e corrente negativa, e vice-versa. Este recurso permite controlar a potência reativa.

Figura 14 – Inversor sem transformador de cinco níveis para aplicações solares fotovoltaicas monofásicas



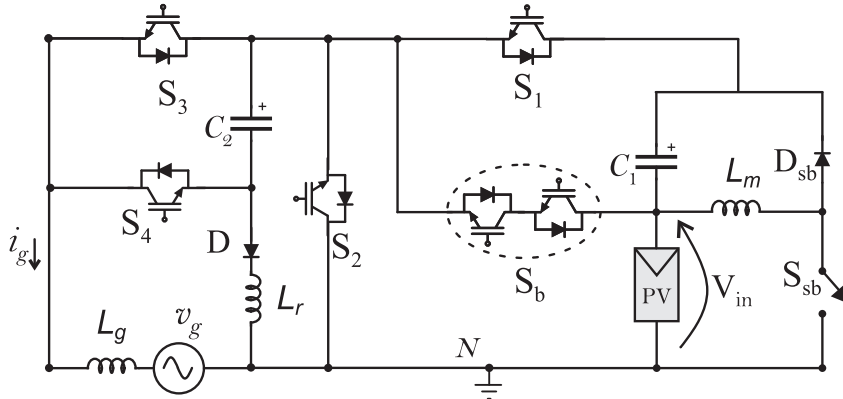
Fonte: (GRIGOLETTO, 2020)

Como mostrado na Figura 2.4, essa topologia é um inversor multinível do tipo *Common Ground* com seis interruptores dos quais apenas S_b é bidirecional, dois capacitores, três indutores e dois diodos. Ele contém uma célula S_b que fornece dois níveis de tensão diferentes para a tensão de saída. A indutância da célula S_b (L_m) é usada para recarregar o capacitor C_1 . Este inversor sem transformador oferece a vantagem de operar tanto monofásico quanto trifásico, mantendo a célula S_b (BARZEGARKHOO et al., 2021a).

O inversor com aterramento comum sem transformador mostrado na Figura 2.4 é proposto por (BARZEGARKHOO et al., 2021c). Consiste em uma célula SC (*Switched-Capacitor*) contendo dois interruptores bidirecionais que acionam com o mesmo pulso de comutação. Esta célula tem a característica de amplificar a tensão duas vezes com uma operação de comutação série-paralela e gerar dois níveis de tensão diferentes. Esta topologia de cinco níveis de tensão de saída contém uma célula baseada em CPC (*Charge Pumped Circuit*) que inclui a célula SC. Em cada momento, apenas dois interruptores que estão em estado de condução.

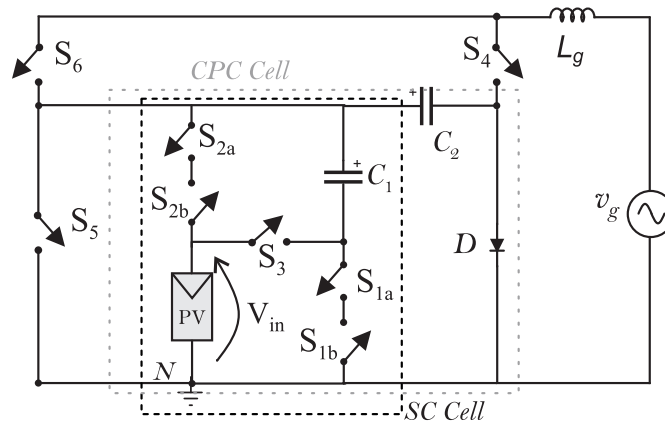
A topologia proposta por (GRIGOLETTO, 2021) é um inversor sem transformador contendo três capacitores e sete interruptores, seis dos quais são complementares, como mostrado na Figura 2.4. Sua corrente de fuga é teoricamente zero porque o terminal negativo da tensão de entrada e o da rede têm o mesmo aterramento. Na ideia de minimizar a distorção da tensão de saída, a modulação FF-SVM (*Feed-Forward Space Vector Modulation*) é aplicada para desacoplar a tensão de saída das tensões dos capacitores.

Figura 15 – Um novo inversor de cinco níveis com boost comutado em aterramento comum, adequado para aplicações vinculadas à rede monofásica e trifásica



Fonte: (BARZEGARKHOO et al., 2022)

Figura 16 – Um novo inversor de cinco níveis com capacitor comutado com aterramento comum com controle de corrente de histerese adaptável para aplicações conectadas à rede



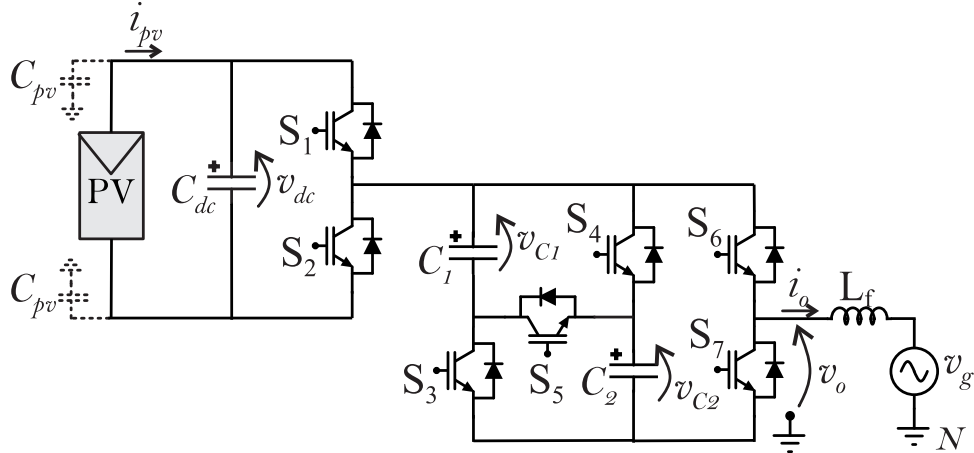
Fonte: (BARZEGARKHOO et al., 2021c)

Além disso, reduz as oscilações de tensão, selecionando a mais adequada. Sua eficiência é de 96,3 % e a distorção harmônica total é de 3,7%.

A topologia proposta por (BARZEGARKHOO et al., 2021a) é um inversor Common-Ground de cinco níveis de tensão de saída. Esta topologia tem oito comutadores de potência, dois capacitores e uma célula QSC (*Quasi-Soft Charging*) com uma pequena indutância ressonante L_r e um capacitor de entrada para atenuar a corrente de carga dos capacitores C_1 e C_2 , como mostra a Figura 2.4. Ao adicionar uma célula SC (*Switched Capacitor*), este inversor sintetiza uma tensão de sete níveis de tensão. O ganho de tensão de saída é respectivamente 2 e 3 para o nível 5 e 7. Em geral, para $n + 2$ células capacitores comutadas, o nível de tensão de saída é $2n + 5$.

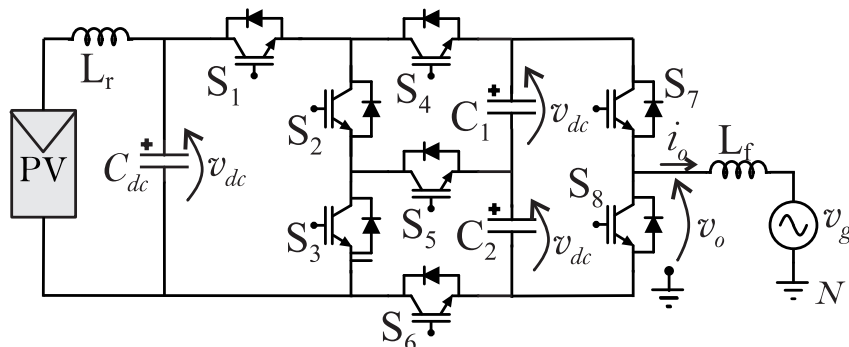
O inversor proposto em (GUO et al., 2023) opera com um diodo, três capacitores

Figura 17 – Inversor sem transformador de aterramento comum multinível para aplicações fotovoltaicas



Fonte: (GRIGOLETTO, 2021)

Figura 18 – Um novo inversor multinível generalizado de capacitor comutado de aterramento comum adequado para aplicações conectadas à rede sem transformador

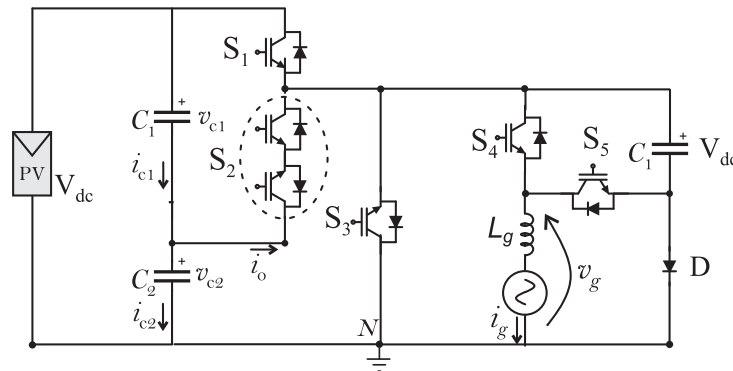


Fonte: (BARZEGARKHOO et al., 2021a)

e seis interruptores de potência. As chaves S_1 , S_2 , S_3 e S_4 são unidirecionais, enquanto a S_2 , que consiste em 2 interruptores, é bidirecional, como mostrado na Figura 2.4. O capacitor comutado C_3 (SC) atua como um barramento contínuo virtual para gerar a tensão de saída negativa. Esta topologia sintetiza uma tensão de saída de cinco níveis e sua eficiência é relativamente alta devido ao equilíbrio da tensão através do C_3 em um ciclo de frequência fundamental.

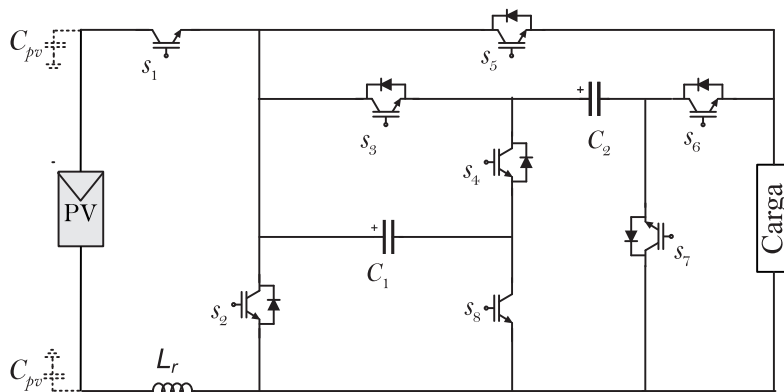
A topologia proposta em ((ANAND; SINGH; ALI, 2023) na Figura 2.4 é composta por dois capacitores, oito chaves e um indutor que, para garantir um QSC, permite redução das ondulações da corrente de carga do capacitor para a operação segura de capacitores e chaves. Esse inversor sintetiza uma tensão de saída de cinco níveis que representa o dobro da tensão de entrada.

Figura 19 – Um inversor sem transformador monofásico de cinco níveis e aterramento comum com baixo número de componentes para aplicações fotovoltaicas



Fonte: (GUO et al., 2023)

Figura 20 – Inversor de capacitor comutado de cinco níveis de boost duplo com aterramento comum



Fonte: (ANAND; SINGH; ALI, 2023)

2.5 CONCLUSÃO

Ao comparar com os inversores tradicionais, os inversores monofásicos sem transformador são melhores para geração solar fotovoltaica. Pois, eles apresentam uma eficiência maior para uma instalação menor e custo reduzido. Além disso, com o compartilhamento do aterramento, a corrente de modo comum que existe nos inversores devido a variabilidade da tensão de modo comum é teoricamente nula. Já que, no caso dos inversores com aterramento comum, a tensão de modo comum total é constante. Existe várias categorias desses inversores em função das suas características como tensão de saída multinível, ganho (*Boost ou Buck*) constante ou variável, fonte de impedância. Esses recursos permitem que eles sintetizem energia de boa qualidade reduzindo a taxa de THD e de EMI.

3 INVERSOR DE CINCO NÍVEIS COM INDUTOR ACOPLADO 5L-CI

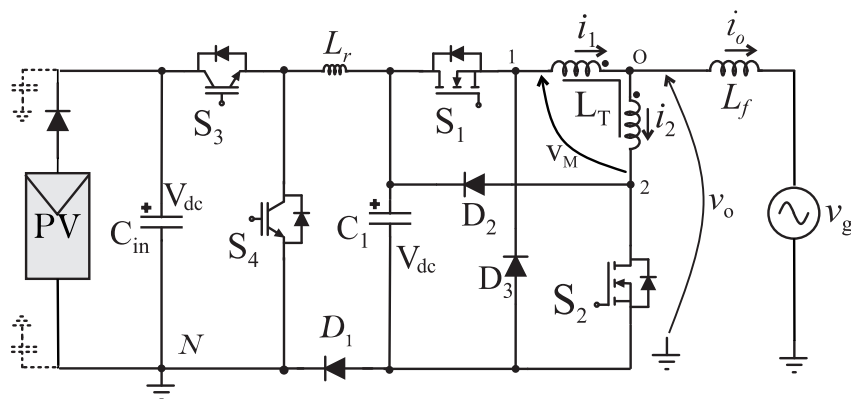
3.1 INTRODUÇÃO

Os inversores multiníveis convencionais, tais como o conversor com neutro grampeado (NPC) ou o conversor com capacitores flutuantes (FLC) sintetizam uma tensão de saída com múltiplos níveis, entretanto, podem resultar em elevada corrente de fuga. Para contemplar essa questão, este Capítulo propõe um conversor com aterramento compartilhado entre o lado CA e CC, que resulta em tensão de modo comum constante e corrente de fuga teoricamente nula. Além disso, este conversor apresenta reduzido número de interruptores de potência e elevada eficiência.

3.2 DESCRIÇÃO DO INVERSOR PROPOSTO 5L-CI

A topologia proposta 5L-CI (*Five-level Coupled Inductor Inverter*) é um micro-inversor multinível que contém sete semicondutores, incluindo quatro chaves ($S_1...S_4$) e três diodos ($D_1...D_3$), todos alimentados pela tensão de entrada V_{dc} . As chaves S_1 e S_2 são MOSFETs enquanto S_3 e S_4 são IGBTs por que comutam respectivamente em alta frequência e baixa frequência. Além disso, contém dois capacitores (C_{in} e C_1), um pequeno indutor L_r para atenuar os picos de corrente e um indutor magneticamente acoplado L_T , como mostra a Figura 3.2. De acordo com a Figura 22, o inversor tem oito estados de comutação que são detalhados na Tabela 1, mostrando a tensão de saída, a corrente do capacitor C_1 e a tensão através do indutor correspondentes a cada estado.

Figura 21 – Descrição do inversor proposto



Fonte: Autor

Os estados de operação do inversor são descritos abaixo em termos modo de acionamento dos interruptores, o valor e a orientação das correntes e tensões:

Estado A: Os interruptores S_1 , S_3 , D_1 e D_3 estão em condução e a tensão de saída é $v_o = V_{dc}$. O capacitor C_1 é conectado em paralelo com a tensão de entrada e carregado pela corrente i_{ch} que é exatamente a corrente da fonte neste estado.

Tabela 1 – Estados de comutação do inversor proposto.

Estados	S_1	S_2	S_3	S_4	v_M	i_{C1}	v_o
A	1	0	1	0	0	i_{ch}	V_{dc}
B	1	1	1	0	V_{dc}	i_{ch}	$0.5 V_{dc}$
C	0	0	1	0	$-V_{dc}$	i_{ch}	$0.5 V_{dc}$
D	1	0	0	1	0	i_{ch}	0
E	0	1	1	0	0	i_{ch}	0
F	1	1	0	1	V_{dc}	$-i_2$	$-0.5 V_{dc}$
G	0	0	0	1	$-V_{dc}$	i_{ch}	$-0.5 V_{dc}$
H	0	1	0	1	0	i_o	$-V_{dc}$

Estado B: S_1 , S_2 , S_3 e D_3 estão em condução; a tensão do barramento CC é dividida pelo indutor acoplado e a tensão de saída $v_o=0.5V_{dc}$. A tensão sobre a indutância mútua do indutor acoplado é $V_M=V_{dc}$. O capacitor C_1 fica carregando pela corrente i_{ch} .

Estado C: S_3 , D_1 , D_2 e D_3 estão em condução e a tensão de saída é $v_o=0.5V_{dc}$. A tensão sobre o indutor acoplado é $V_M=-V_{dc}$. É importante notar que os estados "B" e "C" são redundantes, uma vez que sintetizam a mesma tensão de saída. Uma vez que esses estados podem ser distribuídos uniformemente ao longo da sequência de comutação, a corrente magnetizante do indutor acoplado é limitada.

Estado D: S_1 , S_4 e D_1 estão em condução e a tensão de saída é $v_o=0$.

Estado E: S_2 , S_3 , D_2 e D_3 estão em condução e a tensão de saída é $v_o=0$. A tensão através do capacitor C_1 fica igual a tensão de entrada V_{dc} e o capacitor C_1 está sendo carregando pela corrente i_{ch} .

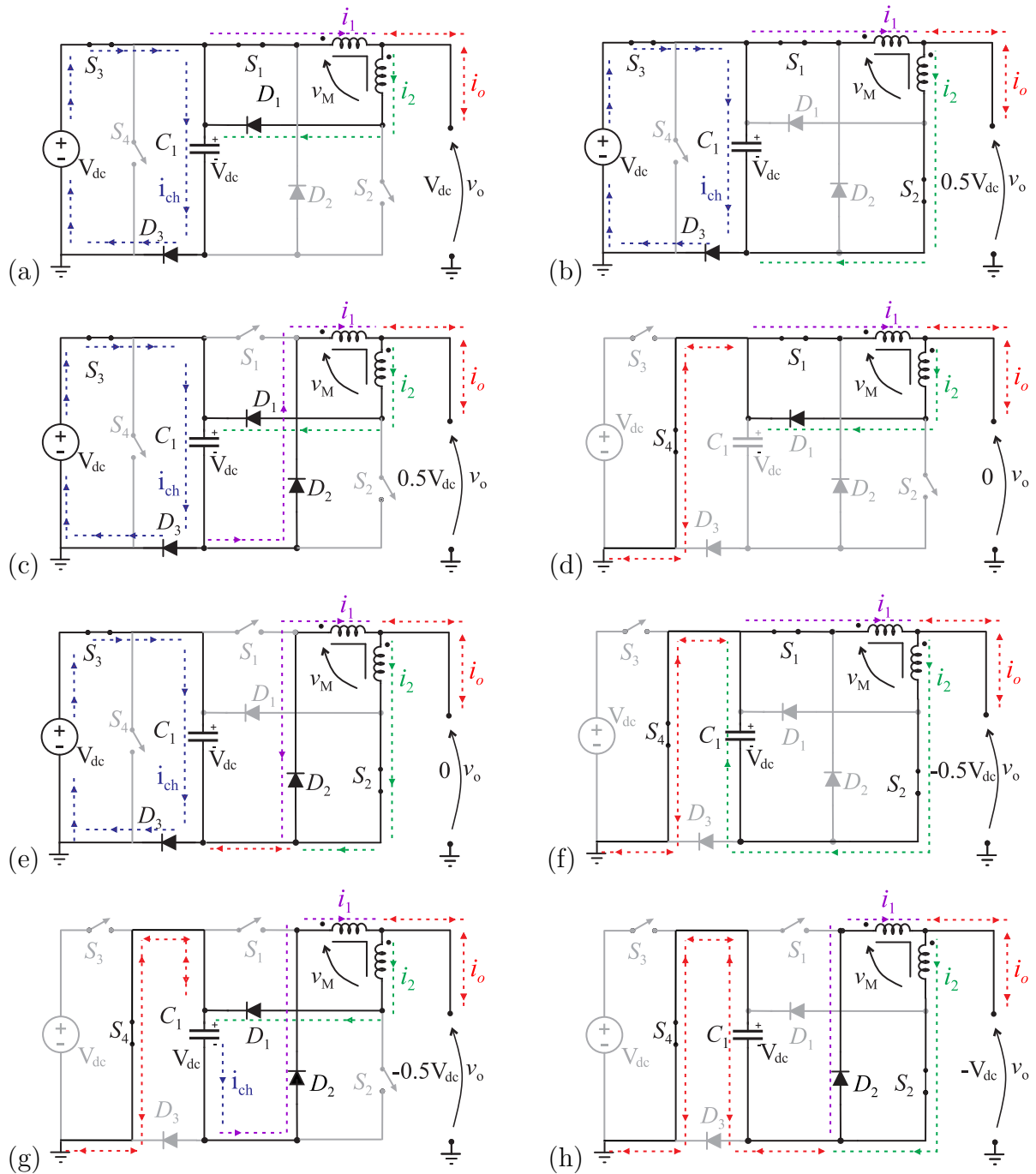
Estado F: S_1 , S_2 e S_4 estão em condução e a tensão de saída é $v_o=-0.5V_{dc}$. A corrente que passa através do capacitor C_1 é a corrente do indutor acoplado i_2 . Além disso, a tensão terminal do indutor de torque é $V_M=V_{dc}$.

Estado G: S_4 , D_1 e D_2 estão em condução e a tensão de saída $v_o=-0.5V_{dc}$. A corrente do indutor acoplado i_2 passa através do capacitor C_1 . A tensão terminal do indutor é $V_M=-V_{dc}$.

Estado H: S_2 e S_4 estão em condução, e a tensão de saída é $v_o=-V_{dc}$. O capacitor C_1 alimenta a saída e coloca o diodo D_3 em polarização reversa e nele está fluindo a corrente de saída i_o .

Todos os modos de operação são capazes de sintetizar uma corrente de saída positiva e negativa. Este fato permite a operação com um fator de potência não unitário, uma vez que o inversor proposto pode sintetizar uma tensão positiva e uma corrente negativa simultaneamente ou vice-versa. Além disso, C_1 atua como um capacitor chaveado nos momentos em que flui corrente i_{ch} por ele. Esses modos de operação carregam o capacitor e mantêm sua tensão aproximadamente em V_{dc} .

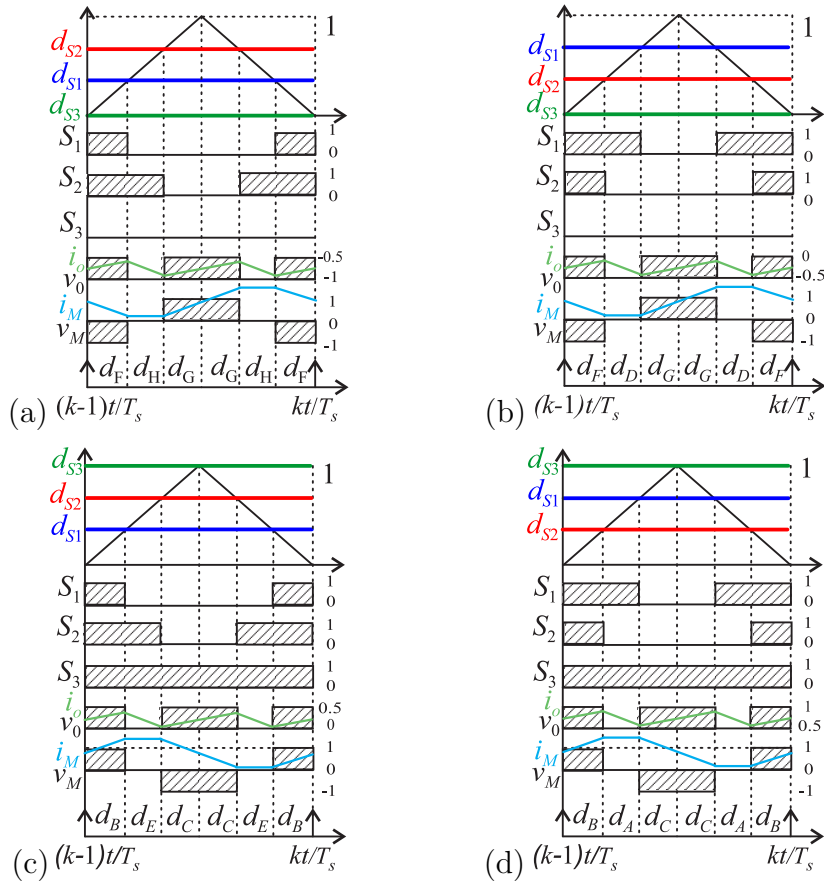
Figura 22 – Estados de comutação e tensão de saída correspondente. (a) Estado A. (b) Estado B. (c) Estado C. (d) Estado D. (e) Estado E. (f) Estado F. (g) Estado G. (h) Estado H.



3.2.1 ESTRATÉGIA DE MODULAÇÃO

A fim de definir os sinais de acionamento para os interruptores de potência, devem ser derivadas as razões cíclicas correspondentes. Assim, assumindo uma referência de tensão de saída senoidal $v_o^*(t)$, a tensão terminal do indutor acoplado v_M^* e a razão cíclica $d(t)$ dadas por:

Figura 23 – Sequências de comutação, razões cíclicas e sinal portador triangular. (a) Região: R1. (b) Região: R2. (c) Região: R3. (d) Região: R4.

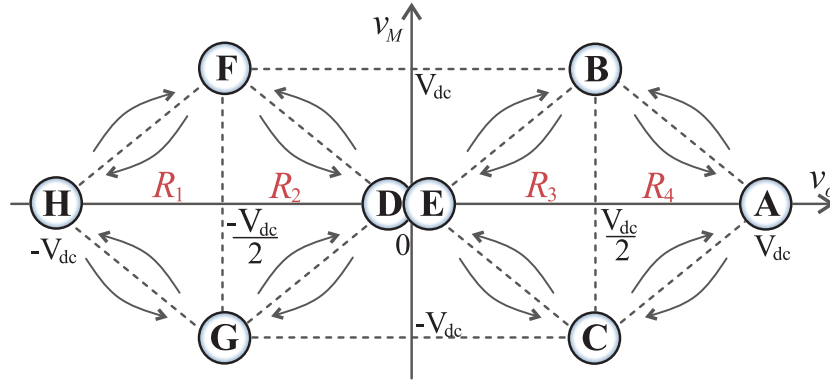


$$\begin{aligned}
 v_o^*(t) &= d(t)V_{dc}, \\
 d(t) &= D_m \sin(\omega t), \\
 v_M^* &= \alpha_M V_{dc},
 \end{aligned} \tag{3.1}$$

onde D_m é o índice de modulação e α_M é um fator que varia de -1 a 1 e determina a tensão média sobre o indutor acoplado. Além disso, é possível dividir um período fundamental em quatro regiões R_1 , R_2 , R_3 e R_4 . Com base em uma referência de tensão desejada v_o^* , uma região é selecionada usando um algoritmo simples, neste caso R_1 para $-V_{dc} \leq v_o^* < -0.5V_{dc}$, R_2 para $-0.5V_{dc} \leq v_o^* < 0$, R_3 para $0 \leq v_o^* < 0.5V_{dc}$, e R_4 para $0.5V_{dc} \leq v_o^* < V_{dc}$.

A Figura 24 mostra os estados de comutação dispostos ao longo de duas linhas que representam a tensão de saída v_o e a tensão terminal do indutor acoplado V_M . As sequências de comutação para cada região R_1, \dots, R_4 devem ser selecionadas para obter um padrão PWM de cinco níveis e distribuir a relação tensão-segundo sobre o indutor acoplado.

Figura 24 – Diagrama dos estados de operação inversor



As razões cíclicas são obtidas genericamente para cada região da seguinte forma:

$$\begin{bmatrix} d_X(t) \\ d_Y(t) \\ d_Z(t) \end{bmatrix} = \begin{bmatrix} X & Y & Z \\ 0 & 1 & -1 \\ 1 & 1 & 1 \end{bmatrix}^{-1} \begin{bmatrix} v_o^*(t) \\ v_M^*(t) \\ 1 \end{bmatrix} \quad (3.2)$$

onde X, Y e Z são os estados de comutação mais próximos de v_o^* . Além disso, $d_X(t)$, $d_Y(t)$ e $d_Z(t)$ são as durações normalizadas de X, Y e Z, respectivamente. Os sinais de acionamento das chaves S_1 , S_2 e S_3 são gerados comparando-se as razões cíclicas mostrados na Tabela 2 com uma portadora de sinal triangular. Deve-se notar que o interruptor S_4 é controlado pelo complemento de S_3 , ou seja, $S_4 = \bar{S}_3$. Além disso, a Tabela 2 mostra as sequências de comutação utilizadas em cada região.

A figura 23(a) apresenta a sequência dos estados na região R_1 . Em cada meio período T_S , os estados G, H e F aparecem simetricamente. Cada um permanece durante um instante de $\frac{d_G}{2}$, $\frac{d_H}{2}$ e $\frac{d_F}{2}$. Ao substituir os vetores dos estados G, H e F na equação 3.2, as razões cíclicas d_G , d_H e d_F são expressas por:

$$\begin{aligned} d_H &= -2d(t) - 1, \\ d_G &= d(t) + 0.5\alpha_M + 1, \\ d_F &= d(t) - 0.5\alpha_M + 1, \end{aligned} \quad (3.3)$$

Na primeira parte do período T_S , os interruptores S_1 e S_2 estão ativados respectivamente durante $\frac{d_G}{2}$ e $\frac{d_H}{2} + \frac{d_G}{2}$. Portanto, a razão cíclica de S_1 pode ser relacionada de forma seguinte:

$$\begin{aligned} T_{PER} &\rightarrow \frac{T_s}{2} \\ cmp_1 &\rightarrow \frac{d_G}{2}, \\ cmp_1 &= \frac{d_G}{2} \frac{T_{PER}}{\frac{T_s}{2}} \\ d_{S1} &= d_G = d(t) + 0.5\alpha_M + 1 \end{aligned} \quad (3.4)$$

Por outro lado, para o interruptor S_2 pode ser escrito:

$$\begin{aligned}
 T_{PER} &\rightarrow \frac{T_s}{2} \\
 cmp_2 &\rightarrow \frac{d_G}{2} + \frac{d_H}{2}, \\
 cmp_2 &= \left(\frac{d_G}{2} + \frac{d_H}{2}\right) \frac{T_{PER}}{\frac{T_s}{2}} \\
 d_{S2} &= -d(t) + 0.5\alpha_M
 \end{aligned} \tag{3.5}$$

Tabela 2 – Regiões, sequência de comutação e ciclos de operação para S_1 , S_2 , S_3 , e S_4 .

Região	Sequência	d_{S1}	d_{S2}	d_{S3}	d_{S4}
R_1	G-H-F-H-G	$1 + d(t) + 0.5\alpha_M$	$-d(t) + 0.5\alpha_M$	0	1
R_2	G-D-F-D-G	$1 + d(t) + 0.5\alpha_M$	$-d(t) + 0.5\alpha_M$	0	1
R_3	B-E-C-E-B	$d(t) + 0.5\alpha_M$	$1 - d(t) + 0.5\alpha_M$	1	0
R_4	B-A-C-A-B	$d(t) + 0.5\alpha_M$	$1 - d(t) + 0.5\alpha_M$	1	0

É importante notar que a estratégia de modulação proposta divide as durações igualmente entre os estados B e C e F e G. Este ponto é muito importante para garantir o equilíbrio tensão-segundo do indutor e evitar a saturação do indutor acoplado L_T . No entanto, o fator α_M pode ser eventualmente alterado no caso o equilíbrio não for garantido. A Figura 25 mostra as principais formas de onda do inversor ilustrando as quatro áreas de operação.

Figura 25 – (a) Tensão de saída v_o , Razões cíclicas d_{S1} , d_{S2} , d_{S3} e d_{S4} . (b) Sequências de comutação, S_1 , S_2 , S_3 , e S_4 .

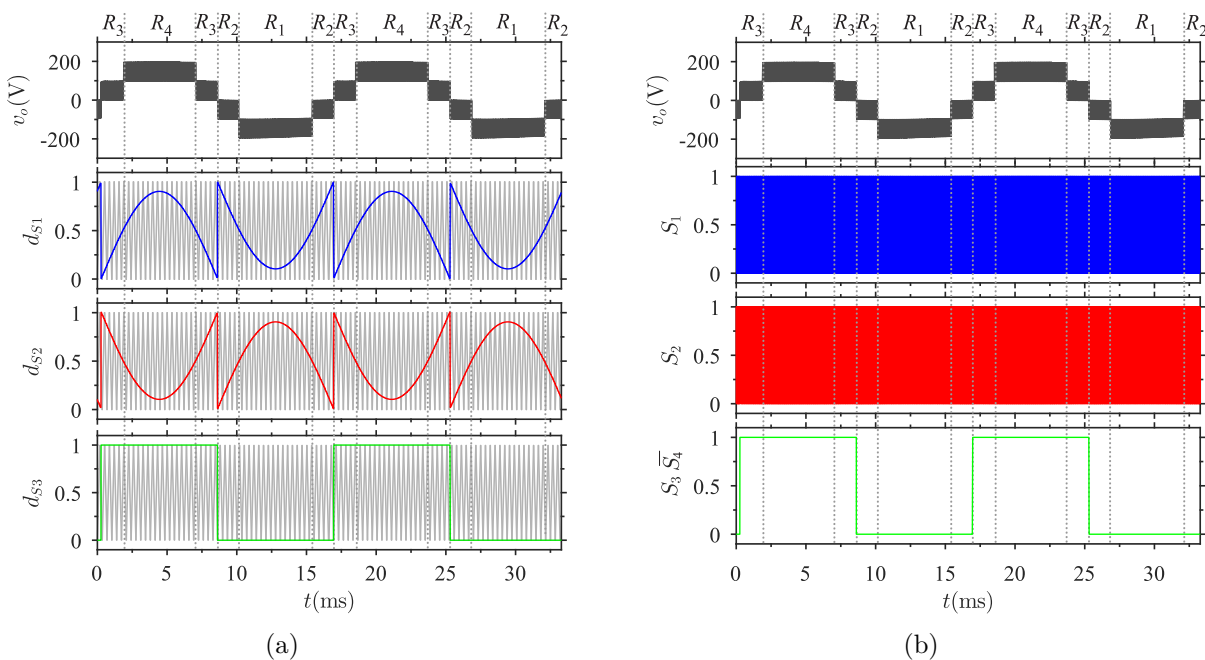
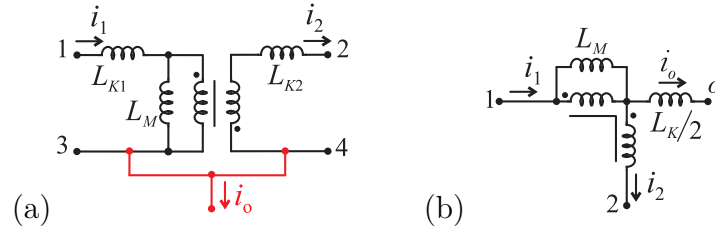


Figura 26 – Circuito do indutor acoplado. (a) Modelo genérico. (b) Modelo simplificado.



3.2.2 DIMENSIONAMENTO DOS ELEMENTOS PASSIVOS

O indutor acoplado desempenha um papel importante, uma vez que divide a tensão de entrada, gerando vários níveis de tensão na saída. Além disso, ajuda a atenuar os picos de corrente do capacitor comutado C_1 durante o carregamento. A corrente i_R é a diferença entre as correntes dos dois enrolamentos i_1 e i_2 . As correntes dos enrolamentos são compostas pela corrente magnetizante e os componentes complementares do i_R :

$$i_1 = i_M + i_o/2 \quad (3.6)$$

$$i_2 = i_M - i_o/2 \quad (3.7)$$

De outra maneira, as tensões de v_1 e v_2 no indutor acoplado podem ser expressas como:

$$v_1 - v_R = L_1 \frac{di_1}{dt} + M \frac{di_2}{dt} \quad (3.8)$$

$$v_R - v_2 = M \frac{di_1}{dt} + L_2 \frac{di_2}{dt} \quad (3.9)$$

onde L_1 e L_2 são os indutores intrínsecos dos enrolamentos do indutor acoplado, M é a indutância mútua entre eles. Considerando $L_1=L_2=L$, a soma e subtração das parcelas de (3.8) resultam em:

$$v_M = v_1 - v_2 = (L + M) \frac{d}{dt} (i_1 + i_2) \quad (3.10)$$

$$v_R = \frac{(v_1 + v_2)}{2} = \frac{(L - M)}{2} \frac{d}{dt} (i_1 + i_2) \quad (3.11)$$

A indutância mútua está relacionada à indutância própria como $M = K\sqrt{(L^2)}$. Além disso, as indutâncias de fuga dos dois enrolamentos podem ser consideradas iguais, ou seja, $L_{K1}=L_{K2}=L_K$ e podem ser relacionadas com as indutâncias própria e mútua como $L_K=(L - M)$. O fator de acoplamento K adotado neste trabalho é alto, resultando em um valor mais alto de indutância mútua e um valor reduzido de indutância de fuga.

A ondulação máxima de pico a pico da corrente interna ocorre quando a soma da indutância de magnetização e da indutância de fuga é exposta a uma tensão de onda quadrada de magnitude duas vezes V_{dc} na frequência de comutação f_s .

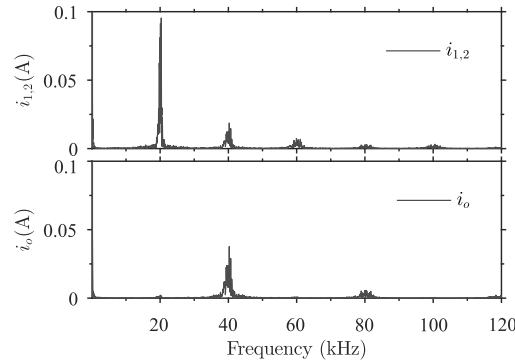
$$\Delta i_M = \frac{V_{dc}}{(L + M) 4f_s} \quad (3.12)$$

Os circuitos com um modelo genérico e simplificado do indutor acoplado são apresentados na Figura 26. É possível observar que a corrente de saída é transparente à indutância mútua. Assim, a ondulação máxima da corrente de saída ocorre quando a soma da metade da indutância de fuga L_K e a indutância do filtro de saída L_f são submetidas a uma onda quadrada a uma frequência de $2 \cdot f_s$.

$$\Delta i_o = \frac{V_{dc}}{(0.5L_K + L_f) 16f_s} \quad (3.13)$$

A Figura 3.2.3 mostra a corrente do indutor acoplado, a corrente e a tensão no capacitor, evidenciando as quatro regiões de operação do inversor. As correntes de enrolamento i_1 e i_2 apresentam um deslocamento para evitar o cruzamento de zero e manter a operação contínua. O espectro harmônico da corrente de saída i_o e das correntes de enrolamento $i_{1,2}$ é mostrado na Figura 27. A operação intercalada do inversor reduz notavelmente a ondulação da corrente de saída, e os harmônicos mais significativos estão localizados no dobro da frequência de comutação.

Figura 27 – Espectro harmônico da corrente de saída i_o e das correntes $i_{1,2}$ ($f_s=20\text{kHz}$).

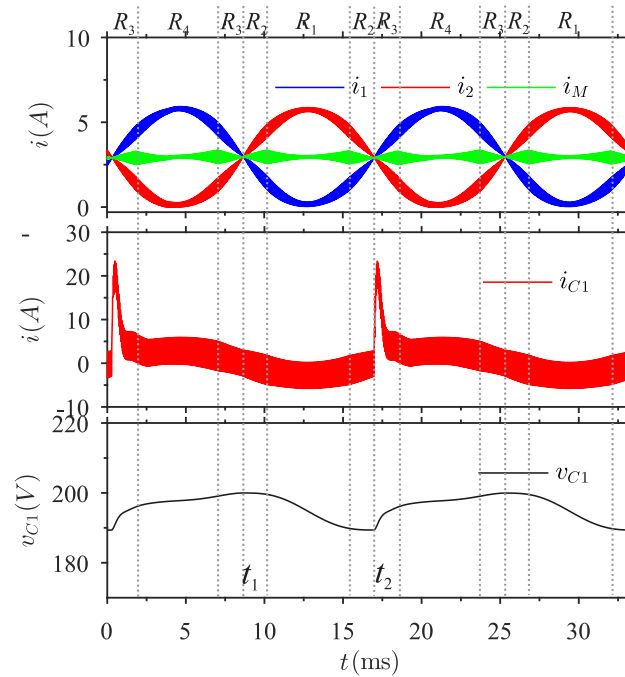


3.2.3 DIMENSIONAMENTO DO CAPACITOR

O capacitor C_1 atua como um *buffer* para fornecer energia necessária para suprir alguns níveis de tensão de saída. A ondulação de tensão é proporcional ao maior intervalo de tempo de descarga, que inclui a região R_1 e R_2 , como mostra a Figura 3.2.3. A tensão terminal de $C1$ no início da região R_2 é $v_{C1}(t_1)$ e no final da região R_2 é $v_{C1}(t_2)$. Desta forma, ele pode ser escrito:

$$\frac{1}{C_1} \int_{t_1}^{t_2} i_{C1}(t) dt = v_{C1}(t_2) - v_{C1}(t_1) = \Delta v_{C1}. \quad (3.14)$$

$$\Delta v_{C1} = \frac{2P_o}{C_1 V_{dc} D_m \omega} \left(D_m \left(\pi - \sin^{-1} \left(\frac{0.5}{D_m} \right) \right) - \frac{3}{2} \sqrt{1 - \frac{0.25}{D_m^2}} \right). \quad (3.15)$$

Figura 28 – Correntes do indutor acoplado i_1 , i_2 e i_M , corrente e tensão no capacitor.

O valor do capacitor é obtido da equação (3.15) como:

$$C_1 = \frac{2P_o}{V_{dc}D_m\omega\Delta v_{C1}} \left(D_m \left(\pi - \sin^{-1} \left(\frac{0.5}{D_m} \right) \right) - \frac{3}{2} \sqrt{1 - \frac{0.25}{D_m^2}} \right) \quad (3.16)$$

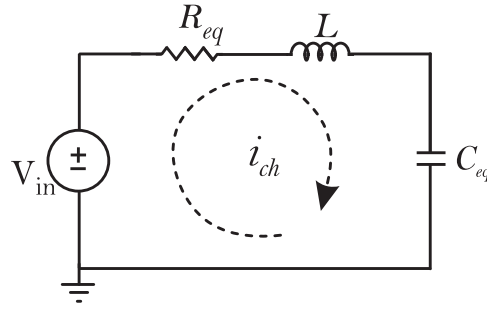
Pode-se notar que a capacitância C_1 é diretamente proporcional à potência de saída, ao período fundamental e ao índice de modulação, e inversamente proporcional à ondulação da tensão.

3.3 DETERMINAÇÃO DA CORRENTE DE CARGA DO CAPACITOR

Conversores com capacitor-chaveado podem apresentar grande estresse de corrente nos semicondutores durante a carga do capacitor. Um pequeno indutor pode ser incluído com o propósito de reduzir valor máximo dessa corrente. A Figura 3.3 mostra um circuito RLC resultante da carga do capacitor C_1 . O capacitor está carregando durante o semi-ciclo positivo. No entanto, respectivamente nos estados B e C, o indutor acoplado absorve e devolve energia no capacitor. Como resultado, a corrente média é igual a 0. Portanto, o circuito dos estados A e D pode ser considerado como circuito da carga do capacitor C_1 , onde R_{S1} , R_D e R_L são respectivamente as resistências da chave S_1 , do diodo D e do indutor acoplado e R_{eq} é a resistência equivalente das resistências pré-mencionadas.

Aplicando a lei do Kirchoff das tensões e assumindo R_{eq} como sendo soma das todas resistências do circuito da Figura 3.3, a corrente que está fluindo no capacitor C_1 pode ser relacionada por (3.17).

Figura 29 – Circuito equivalente de carga do capacitor



$$-V_{dc} + R_{eq}i_{ch} + L\frac{d}{dt}i_{ch} + \frac{1}{C_{eq}}\int i_{ch} dt = 0 \quad (3.17)$$

Considerando a derivada da equação (3.17), obtém-se a equação diferencial homogênea de segunda ordem (3.18) e a sua equação característica (3.19)

$$\frac{d^2}{dt^2}i_{ch} + \frac{R_{eq}}{L}\frac{d}{dt}i_{ch} + \frac{1}{LC_{eq}}i_{ch} = 0 \quad (3.18)$$

$$\delta^2 + \frac{R_{eq}}{L}\delta + \frac{1}{LC_{eq}} = 0 \quad (3.19)$$

Resolvendo a equação (3.19), as soluções possíveis são apresentadas por (3.20)

$$\delta_{1,2} = -\frac{R_{eq}}{2L} \pm \sqrt{\left(\frac{R_{eq}}{2L}\right)^2 - \left(\frac{1}{\sqrt{LC_{eq}}}\right)^2} \quad (3.20)$$

3.3.1 RESPOSTA SUBAMORTECIDA

De acordo com (BARZEGARKHOO et al., 2022), a condição para que o circuito RLC apresente resposta subamortecida, a inequação (3.21) deve ser respeitada;

$$\frac{R_{eq}}{2L} \leq \frac{1}{\sqrt{LC_{eq}}} \quad (3.21)$$

$$i_{ch}(t) = e^{-\alpha t}(A_1 \cos \omega_d t + A_2 \sin \omega_d t) \quad (3.22)$$

onde ω_d é chamada de frequência natural amortecida e igual a $\omega_d = \sqrt{\left(\frac{1}{\sqrt{LC_{eq}}}\right)^2 - \left(\frac{R_{eq}}{2L}\right)^2}$ e α é o fator de amortecimento e igual a $\alpha = \frac{R_{eq}}{2L}$.

Nas condições iniciais do circuito da Figura 3.3, a corrente do capacitor $i_{ch}(0)$ é igual a zero. Portanto, a constante A_1 é igual a zero e a tensão V_{C1} pode ser relacionada por (3.23)

$$L\frac{d}{dt}i_{ch}(0) = V_{dc} - R_{eq}i_{ch}(0) - V_{C1}(0) \quad (3.23)$$

Com $i_{ch}(0) = 0$ e a derivada da equação (3.22) no instante $t=0$, obtém-se:

$$\frac{d}{dt}i_{ch}(0) = \frac{1}{L}(V_{dc} - V_{C1max} + \Delta V_{C1}) = A_2\omega_d \quad (3.24)$$

$$A_2 = \frac{1}{L\omega_d}(V_{dc} - V_{C1max} + \Delta V_{C1}) \quad (3.25)$$

Ao substituir A_1 e A_2 na equação (3.22), a corrente que flui no capacitor C_1 pode ser expressa:

$$i_{ch}(t) = \frac{e^{-\alpha t}}{L\omega_d}(V_{dc} - V_{C1max} + \Delta V_{C1}) \sin \omega_d t \quad (3.26)$$

3.3.2 RESPOSTA SUPER-AMORTECIDA

No caso o valor do capacitor for muito maior do que o da indutância, o circuito RLC da Figura 3.3 funciona então em condição de super-amortecimento. Segundo (KHAN et al., 2021b), A corrente de carga $i_{ch}(t)$ pode ser escrita de forma seguinte:

$$i_{ch}(t) = B_1 e^{\delta_1 t} + B_2 e^{\delta_2 t} \quad (3.27)$$

No instante $t=0$, a corrente de carga é igual a zero, como resultado, $B_1 = -B_2$. Considerando a equação (3.23) e a derivada da equação (3.27) para $t=0$, obtém-se:

$$\frac{d}{dt}i_{ch}(0) = \frac{1}{L}(V_{dc} - V_{C1max} + \Delta V_{C1}) = B_1\delta_1 + B_2\delta_2 \quad (3.28)$$

$$B_2 = \frac{1}{(\delta_2 - \delta_1)L}(V_{dc} - V_{C1max} + \Delta V_{C1}) \quad (3.29)$$

$$B_1 = \frac{1}{(\delta_1 - \delta_2)L}(V_{dc} - V_{C1max} + \Delta V_{C1}) \quad (3.30)$$

Ao substituir B_1 e B_2 na equação (3.27), a corrente de carga do capacitor C_1 pode ser definida como:

$$i_{ch}(t) = \frac{V_{dc} - V_{C1max} + \Delta V_{C1}}{L} \left(\frac{e^{\delta_1 t}}{\delta_1 - \delta_2} + \frac{e^{\delta_2 t}}{\delta_2 - \delta_1} \right) \quad (3.31)$$

3.3.3 RESPOSTA CRITICAMENTE AMORTECIDA

Para uma corrente de carga $i_{ch}(t)$ criticamente amortecida pode ser escrito que:

$$\frac{R_{eq}}{2L} = \frac{1}{\sqrt{LC_{eq}}} \quad (3.32)$$

$$i_{ch}(t) = (B_2 + B_1 t)e^{-\alpha t} \quad (3.33)$$

No instante $t=0$, a corrente de carga é igual a zero, como resultado, $B_2 = 0$. Considerando a equação (3.23) e a derivada da equação (3.33) para $t=0$, obtém-se:

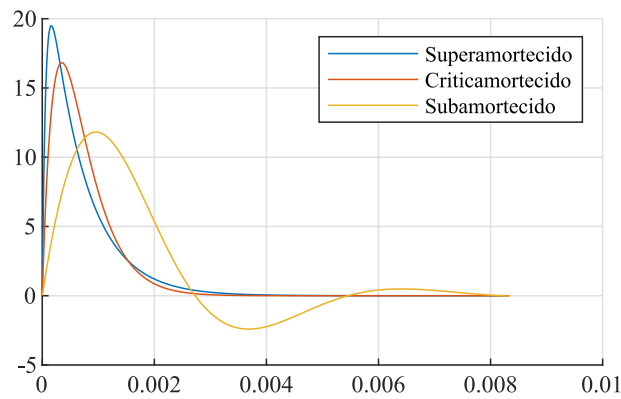
$$\frac{d}{dt}i_{ch}(0) = \frac{1}{L}(V_{dc} - V_{C1max} + \Delta V_{C1}) = B_1 \quad (3.34)$$

$$B_1 = \frac{V_{dc} - V_{C1max} + \Delta V_{C1}}{L} \quad (3.35)$$

Ao substituir B_1 na equação (3.33), a corrente de carga do capacitor C_1 pode ser definida como:

$$i_{ch}(t) = \frac{V_{dc} - V_{C1max} + \Delta V_{C1}}{L} t e^{-\alpha t} \quad (3.36)$$

Figura 30 – A resposta da corrente de carga do capacitor



Pode se observar pela Figura 3.3.3 que a condição sub amortecida resulta em menor amplitude de corrente. Desta forma, o pico de corrente de carga do capacitor chaveado pode ser reduzida resultando em menores esforços de corrente nos semicondutores.

3.4 MÁXIMA TENSÃO SOBRE OS SEMICONDUTORES

As tensões máximas dos dispositivos de potência, incluindo interruptores e diodos, são as seguintes, respectivamente:

$$\begin{aligned} \{V_{S1}, V_{S2}, V_{S3}, V_{S4}\} &= V_{dc} \\ \{V_{D1}, V_{D2}, V_{D3}\} &= V_{dc} \end{aligned} \quad (3.37)$$

A tensão permanente total TSV (*Total Standing Voltage*) representa a tensão nominal total dos dispositivos de comutação e leva em conta a tensão reversa de pico de todos os dispositivos semicondutores do circuito, e pode ser definido como:

$$TSV = \frac{\sum_{i=0}^n V_{bsw,i} + \sum_{j=0}^m V_{bd,j}}{V_{0max}} \quad (3.38)$$

onde V_{sw} é a tensão máxima sobre a chaves e V_d é a tensão máxima reversa sobre os diodos.

3.5 DETERMINAÇÃO TEÓRICA DAS PERDAS

Na prática, não existe um conversor ideal em que a potência de entrada seja igual à potência de saída. Alguns componentes demonstram resistência à passagem da corrente elétrica, tornando o sistema de conversão menos eficiente. Cada elemento do conversor possui perdas, entretanto, algumas perdas podem ser negligenciadas como o caso de condutores. Nessa topologia, os componentes que geram mais perdas são S_1 e S_2 , pois operam em frequência mais alta que os demais. As perdas podem ser devidas à condução ou comutação.

3.5.1 PERDAS DE CONDUÇÃO

De forma geral, a perda de condução de cada chave pode ser expressa pela equação (3.39). Neste sentido, A, B, D e F são os estados em que o interruptor S_1 está em condução em todas as regiões e as correntes que fluem através de S_1 são as correntes do indutor acoplado i_1 e i_2 , e a corrente do capacitor i_{C1} . Portanto, o ciclo de operação de d_{S1} é $d(t)$ ou $1 + d(t)$. A perda de condução de S_1 pode ser calculada por (3.40)

$$P_{\text{cond}S_{1,2,3,4}} = \frac{1}{2\pi} \int_0^{2\pi} (V_{on} + R_{DS}i_{on})i_{on} dt \quad (3.39)$$

$$P_{\text{cond}S_1} = \frac{1}{2\pi} \left[\int_0^\pi V_{on} I_m \sin(\omega t) d(t) dt + \int_\pi^{2\pi} V_{on} I_m \sin(\omega t) (1 + d(t)) dt \right]. \quad (3.40)$$

onde V_{on} é a tensão de condução de S_1 e $i_{on} = I_m \sin(\omega t) d_{S1}$ a corrente fluindo através S_1

$$P_{\text{cond}S_1} = I_m \left(V_{on} \frac{2 + \pi}{2\pi} + \frac{I_m R_{DS}}{8} (2 + 3D_m^2) \right) \quad (3.41)$$

De forma similar, S_2 está em condução nos estados B, E, F e H, e em todas regiões. Portanto, o ciclo de operação de d_{S2} é $-d(t)$ ou $1 - d(t)$. A perda de condução de S_2 pode ser calculada por (3.42)

$$P_{\text{cond}S_2} = \frac{1}{2\pi} \left[\int_0^\pi V_{on} I_m \sin(\omega t) (-d(t)) dt + 2 \int_\pi^{2\pi} V_{on} I_m \sin(\omega t) (1 - d(t)) dt \right]. \quad (3.42)$$

$$P_{\text{cond}S_2} = I_m \left(V_{on} \frac{2 + \pi}{2\pi} + \frac{I_m R_{DS}}{8} (2 + 3D_m^2) \right) \quad (3.43)$$

Quanto aos interruptores S_3 e S_4 , as razões cíclicas são iguais a 0 ou 1, continuamente dependendo das regiões. Além disso, para o mesmo semi-ciclo, os ciclos de operação não mudam. No entanto, a corrente de carga do capacitor contribui na corrente que flui através de S_3 . Assim, as perdas geradas por S_3 e S_4 podem ser calculadas pelas seguintes relações respectivamente (3.46) e (3.44):

$$P_{\text{cond}S4} = \frac{1}{2\pi} \int_{\pi}^{2\pi} [V_{on} I_m \sin(\omega t) dt + R_{DS} \cdot I_m \sin(\omega t)]^2 dt \quad (3.44)$$

$$P_{\text{cond}S4} = \frac{I_m(4V_{on} - \pi I_m R_{DS})}{4\pi} \quad (3.45)$$

$$P_{\text{cond}S3} = \frac{1}{2\pi} \int_0^{2\pi} (V_{on} + R_{DS} i_o) i_o d_{S3} dt + P_{\text{ext}} \quad (3.46)$$

No semi-ciclo positivo, a corrente de carga do capacitor chaveado passa por S_3 e pelo diodo, e gera uma perda considerável. A perda média P_{ext} gerada por essa corrente é proporcional à carga do capacitor Q_{ext} . (GRIGOLETTO, 2020)

$$P_{\text{ext}} = \frac{V_{on}}{\frac{T}{2}} \int_0^{\frac{T}{2}} i_{ch}(t) dt \quad (3.47)$$

$$P_{\text{ext}} = \frac{V_{dc} - V_{C1\text{max}} + \Delta V_{C1}}{L} \left(\frac{e^{\pi\delta_1} - 1}{\delta_1(\delta_1 - \delta_2)} + \frac{e^{\pi\delta_2} - 1}{\delta_2(\delta_2 - \delta_1)} \right) \quad (3.48)$$

$$P_{\text{cond}S3} = \frac{I_m(4V_{on} + \pi I_m R_{DS})}{4\pi} + P_{\text{ext}} \quad (3.49)$$

Em todos estados, menos B e F, os diodos D_1 e D_2 estão conduzindo. As correntes i_1 e i_2 fluem através eles. As perdas relacionadas são calculadas por:

$$P_{\text{cond}D1} = \frac{1}{2\pi} \int_0^{\pi} V_{on} i_2 (d_A + d_C) dt + \int_{\pi}^{2\pi} V_{on} i_2 (d_D + d_G) dt \quad (3.50)$$

$$P_{\text{cond}D2} = \frac{1}{2\pi} \int_0^{\pi} V_{on} i_1 (d_E + d_C) dt + \int_{\pi}^{2\pi} V_{on} i_1 (d_H + d_G) dt \quad (3.51)$$

Já que a soma das razões cíclicas em (3.50) e (3.51) são iguais a d_{S1} , subsistindo as correntes da indutância acoplada, as perdas de condução dos diodos D_1 e D_2 ficam iguais a:

$$P_{D1,2} = \frac{V_{on} I_m}{2\pi} (D_m + \frac{\pi}{2} + 1) \quad (3.52)$$

Como o diodo D_3 e a chave S_3 estão conduzindo simultaneamente, a expressão das suas perdas fica igual a (3.41). Ao negligenciar R_{DS} , a perda do diodo D_3 pode ser escrita por:

$$P_{D3} = P_{\text{ext}} \quad (3.53)$$

3.5.2 PERDAS DE COMUTAÇÃO

As perdas de comutação ocorrem nos instantes de acionamento (abertura ou fechamento), e depende das correntes e das tensões de bloqueio. Neste caso, as chaves S_1 e S_2 concentram uma parte significativa das perdas. Por outro lado, as chaves S_3 e S_4

operam em baixa frequência de comutação e, portanto, têm menores perdas. De acordo com (GRAOVAC M. PÜRSCHEL, 2006), as perdas de comutação podem ser expressas por (3.54) e (3.55)

$$P_{swM} = (E_{onM} + E_{offM}) * f_{sw} \quad (3.54)$$

$$P_{swD} = (E_{onD} + E_{offD}) * f_{sw} \quad (3.55)$$

E_{onM} e E_{onD} representam as perdas significativas de energia quando a chave (MOSFET) e o diodo estão entrando em condução. Podem ser calculados por (3.58) e (3.57) E_{offM} e E_{offD} representa as perdas significativas de energia quando a chave (MOSFET) e o diodo estão saindo de condução. Pode-se desconsiderar E_{offD} e determinar E_{offM} por (3.58).

$$E_{onM} = \int_0^{tri+tfu} U_{DS}(t) i_D(t) dt \quad (3.56)$$

$$E_{onD} = \frac{1}{4} Q_{rr} U_{Drr} \quad (3.57)$$

$$E_{offM} = \int_0^{tru+tfi} U_{DS}(t) i_D(t) dt \quad (3.58)$$

onde

- tfu : Tempo de descida da tensão
- tru : Tempo de subida de tensão
- tfi : Tempo de descida da corrente
- tri : Tempo de subida da corrente
- U_{DS} : Tensão Dreno-Fonte da chave
- U_{Drr} : Tensão do barramento CC
- Q_{rr} : Carga recuperada
- i_D : A corrente media da chave

3.5.3 PERDAS NO CAPACITOR EM REGIME PERMANENTE

A perda no capacitor é principalmente gerada pela corrente $I_{c,rms}$ que flui no capacitor pela resistência equivalente R_{ESR} do capacitor. Segundo (GUO et al., 2023), R_{ESR} é geralmente composto pela resistência de filmes e contatos metálicos e pelo termo de perdas de material dielétrico representado pelo ângulo de perda dielétrica.

$$P_c = I_{c,rms}^2 R_{ESR} \quad (3.59)$$

$$P_c = I_{c,rms}^2 \left(R_\Omega + \frac{\tan \sigma}{C\omega} \right) \quad (3.60)$$

onde C representa o capacitor C_{in} ou C_1 .

3.5.4 PERDAS DE CARREGAMENTO DO CAPACITOR

A Figura 3.3 mostra que o capacitor é carregado pela fonte V_{dc} por meio da chave S_1 e o diodo D_3 . De acordo com (YE et al., 2019), a perda ocorrida durante carregamento de um capacitor chaveado é proporcional à diferença entre a energia que entra no capacitor e a energia que sai da fonte CC e pode ser determinada por (3.65) considerando os instantes t_1 e t_2 .

$$E_{out} = \int_0^t V_{dc} i_{C1} dt = V_{dc} \int_0^t C_1 \frac{dv_c}{dt} dt \quad (3.61)$$

$$E_{out} = V_{dc} C_1 \int_{v(t_1)}^{v(t_2)} dv_c = V_{dc} C_1 v|_{v(t_1)}^{v(t_2)} \quad (3.62)$$

$$E_{out} = \frac{1}{2} V_{dc} C_1 \Delta v_{C1} \quad (3.63)$$

A energia que flui pelo capacitor C_1 pode ser expressa por (3.65) sabendo que a tensão sobre C_1 assume os limites de $V_{dc} - V_D - \Delta v_{C1}$ e $V_{dc} - V_D$

$$E_{in} = C_1 \int_{V_{dc}-V_D-\Delta v_{C1}}^{V_{dc}-V_D} v_c dv_c \quad (3.64)$$

$$\Delta E = \frac{1}{2} C_1 [(V_{dc} - V_D)^2 - (V_{dc} - V_D - \Delta v_{C1})^2] \quad (3.65)$$

Subtraindo (3.65) de (3.62), a Perda do carregamento do capacitor pode ser expressa por (3.66).

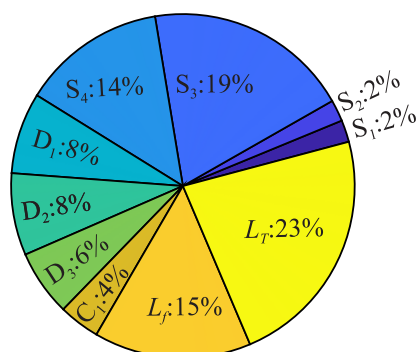
$$P_{cr} = f_0 \left(\frac{1}{2} C_1 \Delta v_{C1}^2 + V_D C_1 \Delta v_{C1} \right) \quad (3.66)$$

A Figura 3.5.4 mostra a distribuição de perdas no inversor empregando o software PLECS. O modelo de MOSFET empregado é o GAN041-650WSB e o modelo de diodo é o STPSC20065-Y. As perdas totais representam aproximadamente 2.85% da potência nominal, tendo em conta os semicondutores descritos na secção .

3.6 ESTRATÉGIA DE CONTROLE

A Figura 32 mostra o diagrama de blocos do controle e modulação do inversor proposto. As potências ativa P^* e reativa Q^* são definidas de acordo com as referências desejadas ou, alternativamente, um algoritmo de MPPT (*Maximum Power Point Tracking*)

Figura 31 – Distribuição de perdas nos semicondutores de potência para um inversor de 500-W.



pode ser usado para maximizar a potência de entrada da fonte PV. A sincronização da rede do conversor é fornecida por um PLL (*Phase-Lock Loop*). A corrente de referência é calculada a partir de P^* e Q^* , o ângulo de tensão da rede e o seu valor rms, segundo a Figura 32. De acordo com a Figura 33, no caso do eventual uso de MPPT, a corrente de referência é calculada a partir da tensão do barramento CC com um controlador PI, o ângulo de tensão da rede e o seu valor rms. A saída do controlador de corrente é a razão cíclica que vai para a Tabela 2. Finalmente, as razões cíclicas são comparadas com uma portadora triangular e a polaridade PWM são selecionados para resultar nos pulsos para os interruptores.

Figura 32 – Diagrama de blocos do sistema do inversor 5L-CI.

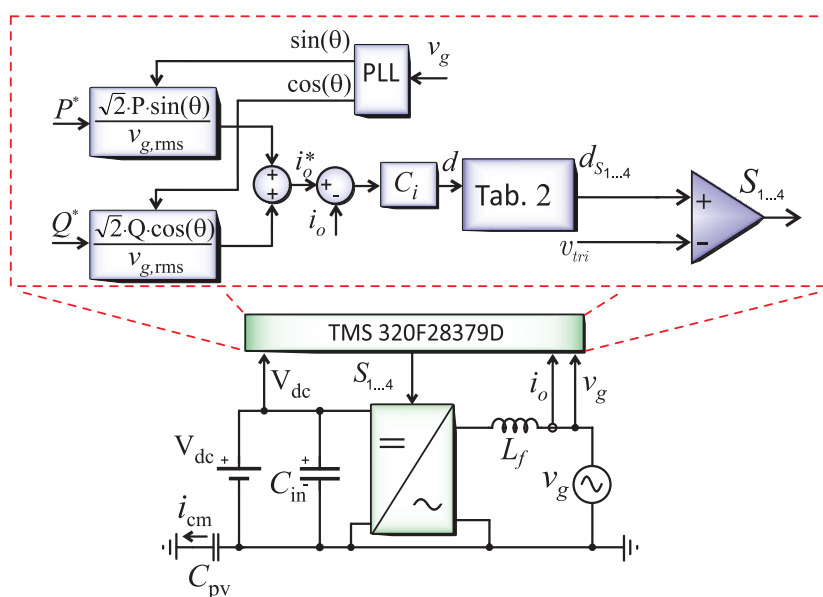
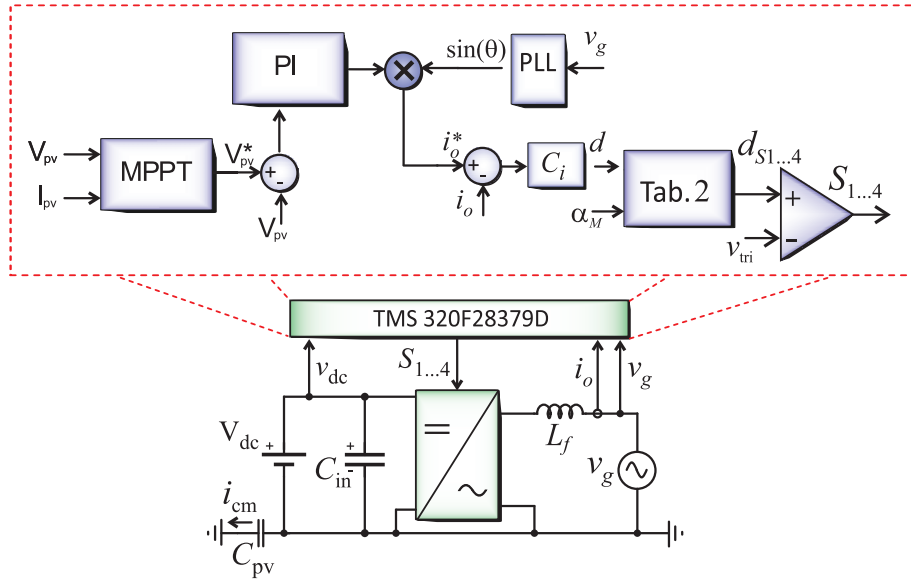


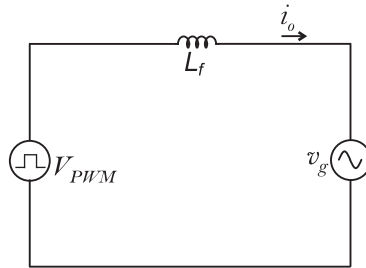
Figura 33 – Diagrama de blocos do sistema do inversor 5L-CI.



3.6.1 MODELO DINÂMICO DO CIRCUITO

Para poder controlar o inversor, é necessário determinar as funções de transferência do modelo dinâmico do circuito e do sistema de controle. Como o objetivo é rastrear a corrente de saída i_o , o circuito pode ser simplificado e composto por tensão V_{PWM} , indutor L_T e tensão de saída v_g , como mostra a Figura 34. A tensão V_{PWM} é proporcional ao produto da tensão V_{cc} e da razão cíclica $d(t)$ e expressa por (3.67)

Figura 34 – Modelo simplificado do circuito.



$$V_{PWM}(t) = V_{cc} \cdot d(t) \quad (3.67)$$

Perturbando e linearizando as variáveis de entrada e saída no domínio da frequência e substituindo-as na (3.67), obtemos a equação (3.69).

$$\begin{cases} V_{PWM}(s) = V_{PWM} + \hat{V}_{PWM}(s) \\ d(s) = D + \hat{d}(s) \\ V_{cc}(s) = V_{cc} + \hat{V}_{cc} \\ v_g(s) = v_g + \hat{v}_g(s) \end{cases} \quad (3.68)$$

$$\tilde{V}_{PWM}(s) = D\hat{V}_{cc} + \hat{d}(s)V_{cc} \quad (3.69)$$

Considerando que \hat{V}_{cc} é igual a zero para as perturbações aplicadas.

$$\hat{V}_{PWM}(s) = \hat{d}(s)V_{cc} \quad (3.70)$$

Aplicando a lei de Kirkhoff (malha) no modelo simplificado do circuito, obtemos a equação.

$$-\hat{d}(s)V_{cc} + s.L_f.\hat{i}_o(s) + \hat{v}_g(s) = 0 \quad (3.71)$$

A função de transferência do modelo dinâmico do circuito se define em dividir a corrente de saída $i_o(s)$ pela razão cíclica $d(s)$. Considerando que $\hat{v}_g(s)$ é igual a zero a partir de (3.71), é expressa por (3.72).

$$H(s) = \frac{\hat{i}_o(s)}{\hat{d}(s)} = \frac{V_{cc}}{s.L_f} \quad (3.72)$$

3.6.2 PROJETO DO SISTEMA DE CONTROLE

Os controladores PR (Proporcional-ressonante) são uma boa solução para rastrear referências senoidais sem transformação adicional do eixo de coordenadas. Neste trabalho, um PR foi usado para controlar corrente injetada na rede. Além disso, um compensador antecipado foi adicionado à estrutura de controle para ajustar a margem de fase do sistema. A função de transferência do controlador é a seguinte:

$$C_i(s) = C_{pr}(s)C_a(s) \quad (3.73)$$

onde $C_{pr}(s)$ é a função de transferência do PR e $C_a(s)$ é a do compensador. E são expressas por (3.74) e (3.75).

$$C_{pr}(s) = K_{pr} \frac{s^2 + 2\zeta_z\omega_zs + \omega_z^2}{s^2 + 2\zeta_p\omega_0s + \omega_0^2} \quad (3.74)$$

$$C_a(s) = K_p \frac{s + \omega_{z1}}{s + \omega_{p1}} \quad (3.75)$$

onde K_p é o ganho proporcional, K_{pr} é o ganho ressonante, ω_0 é a frequência angular ressonante, ζ_z e ζ_p são os coeficientes de amortecimento, ω_{z1} e ω_{p1} são a frequência angular do zero e do polo do compensador de avanço de fase, respectivamente. Mantendo uma margem de fase segura, a largura de banda pode variar até uma frequência $f_{\Phi_{max}}$ dada pela média geométrica da frequência de zero e polo por (3.76).

$$f_{\Phi_{max}} = \sqrt{f_{z1}f_{p1}} \quad (3.76)$$

De acordo com (ROBERT; DRAGAN, 2001), a margem de fase pode ser maximizada projetando o compensador de modo que a frequência coincida com a frequência de

cruzamento do ganho de malha. As frequências de localização do zero f_{z1} e do polo f_{p1} podem ser expressas por (3.77) e (3.78):

$$f_{z1} = f_c \sqrt{\frac{1 - \text{sen}(\theta)}{1 + \text{sen}(\theta)}} \quad (3.77)$$

$$f_{p1} = f_c \sqrt{\frac{1 + \text{sen}(\theta)}{1 - \text{sen}(\theta)}} \quad (3.78)$$

O projeto do controlador baseia-se em determinar a frequência de cruzamento em malha aberta ω_c , ou seja:

$$|C_{pr}(s)H(s)|_{s=j\omega_c} = 1 \quad (3.79)$$

O valor de K_{pr} pode ser obtido a partir de (3.79), quando o ganho da função de transferência $C_{pr}(s)H(s)$ tem uma magnitude de 0 dB. Da mesma forma, o ganho K_p pode ser determinado considerando a função de transferência $C_a(s)H(s)$. As expressões de K_{pr} e K_p são (3.80) e (3.81).

$$K_{pr} = \omega_c L_f \frac{\sqrt{(\omega_o^2 - \omega_c^2)^2 + (2\zeta_p \omega_o \omega_c)^2}}{\sqrt{(\omega_z^2 - \omega_c^2)^2 + (2\zeta_z \omega_z \omega_c)^2}} \quad (3.80)$$

$$K_p = \omega_c L_f \frac{\sqrt{(\omega_o^2 + \omega_c^2)^2}}{\sqrt{(\omega_z^2 + \omega_c^2)^2}} \quad (3.81)$$

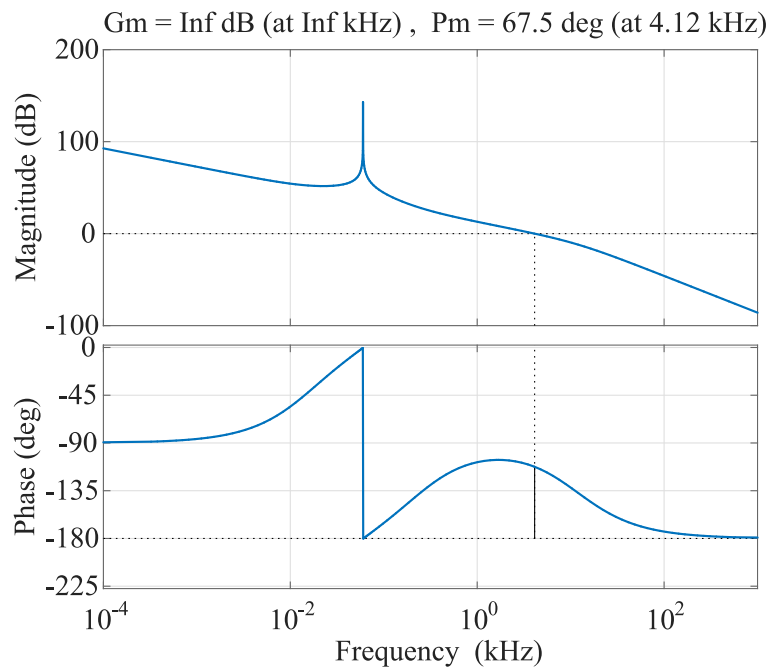


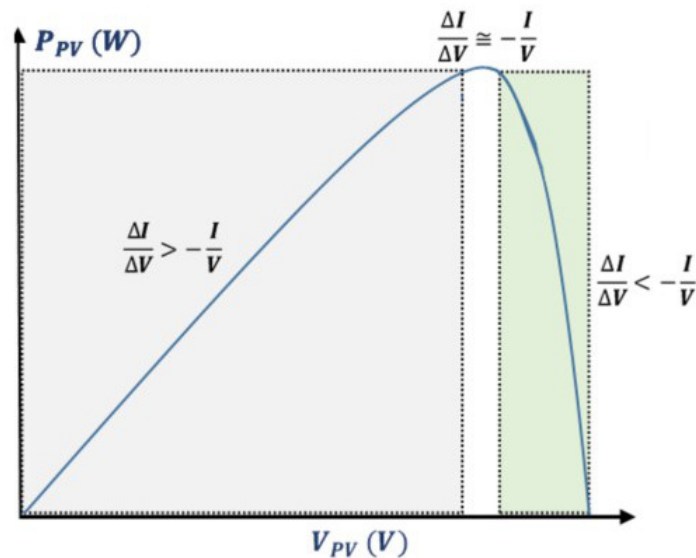
Figura 35 – Diagrama de bode da planta e controlador.

A Figura 35 mostra o diagrama de bode do controlador PR, onde os parâmetros projetados foram: $K_p = 0.2$, $K_{pr} = 300$, $\zeta = 1 \times 10^{-5}$, $\omega_n = 377$, $\omega_{z1} = 1.96 \times 10^4$ e $\omega_{p1} = 7.24 \times 10^4$.

3.6.3 ALGORITMO DE MPPT

Para extrair a potência máxima, um algoritmo do método de MPPT-condutância incremental (*Incremental Conductance: INC*) é aplicado à fonte fotovoltaica. De acordo com (KHAN; ARSALAN, 2016), o método foi proposto para corrigir as duas principais desvantagens do método de perturbação e observação (P&O): há sempre uma pequena variação na potência em torno do ponto de potência máxima e, no caso de mudanças climáticas rápidas, o ponto de operação é mais provável que se desvie do verdadeiro ponto da potência máxima do MPP. O princípio de operação do método MPPT INC baseia-se no fato de que, no ponto MPP na curva P-V, a derivada de potência é zero e quando a derivada de potência é diferente de zero, é fácil identificar se a potência operacional está à esquerda ou à direita do MPP, como mostra a Figura 36.

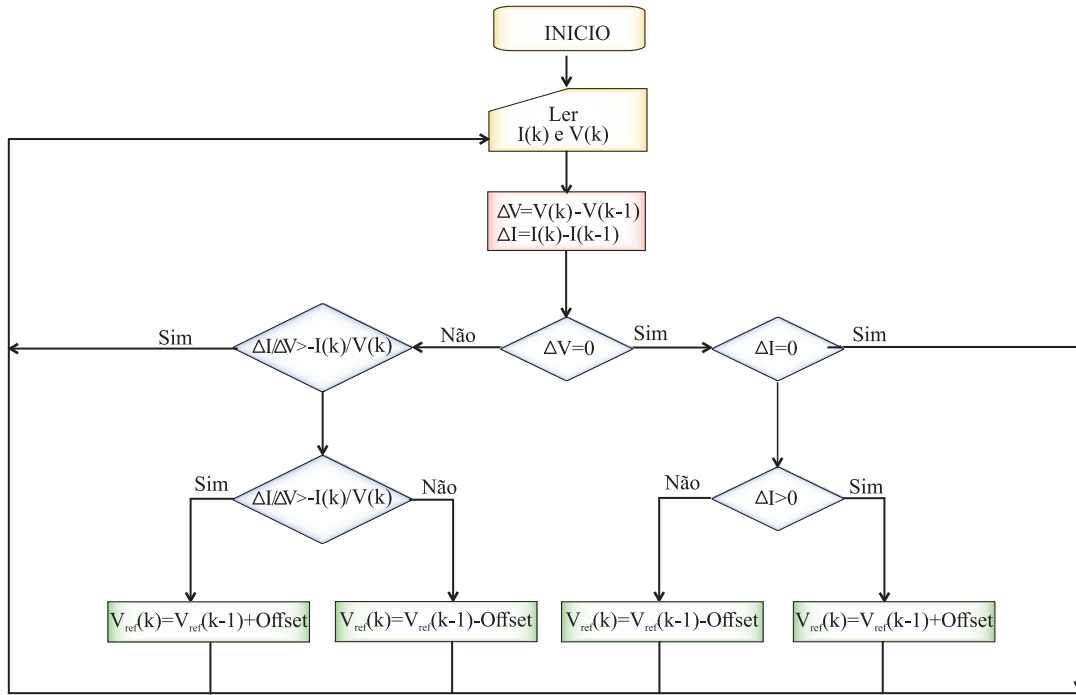
Figura 36 – Característica da curva P-V.



(KHAN; ARSALAN, 2016)

Existem duas categorias de MPPT INC com o mesmo algoritmo básico: MPPT INC que controla diretamente o ciclo de operação e MPPT INC que é baseado na característica do painel fotovoltaico e do conversor de energia. A Figura 37 mostra o fluxograma do MPPT usado. Pode-se notar que a tensão de referência aumenta cada vez que a potência de operação está à esquerda do ponto MPP e diminui cada vez que está à direita do ponto MPP. A tensão de saída dos módulos fotovoltaicos é ajustada em relação ao ponto máximo da curva medindo as condutâncias incrementais e instantâneas da rede.

Figura 37 – Fluxograma do MPPT.



(KHAN; ARSALAN, 2016)

3.7 COMPARAÇÃO ENTRE TOPOLOGIAS DE 5 NÍVEIS

O desempenho de um conversor depende de vários parâmetros. Depende especialmente do número e do tipo de semicondutores que a constituem, porque são os principais intervenientes na conversão de energia. A partir disso, pode-se considerar outros parâmetros que certamente são derivados da operação de semicondutores. Estes incluem a função de custo que leva em consideração o número de diodos (D), o número de fontes de entrada (N_S), *Gate drivers* (G), capacitores (C) e TSV (*Total Standing Voltage*) segundo (3.38) e CF (*Cost Function*). De acordo com (GUO et al., 2023), a função custo pode ser calculada por (3.82).

$$CF = (S + G + D + C + \alpha TSV)N_S \quad (3.82)$$

onde α é um fator de ponderação que equilibra a importância do número de dispositivos e TSV.

A Tabela 3 faz uma comparação entre várias topologias de inversores sem transformador com 5 níveis de tensão de saída levando em consideração os parâmetros já mencionados. Além disso, ela apresenta informações sobre ganho, número máximo e mínimo de interruptores que estão simultaneamente em condução, processo de carga suave do capacitor chaveado, necessidade de controladores adicionais para equilíbrio das tensões CC e eficiência.

Pode-se observar pela Tabela 3 que a topologia proposta é uma das topologias com o menor número de componentes e de chaves em condução. Além de ter carga suave

Tabela 3 – Comparação entre topologias de 5 níveis.

T	Componentes					NL	TSV	CF	G	M/m	CS	ET	EF
	S	G	D	C	L								
[1]	6	6	-	3	1	5	6.25	21.25	0.64	3 / 3	Sim	Requer	97%@1kW
[2]	6	6	1	3	1	5	5	21	1	3 / 3	Não	Requer	95.8%@500W
[3]	7	7	-	3	1	5	8.5	25.5	0.64	4 / 2	Sim	Requer	96.3%@500W
[4]	8	7	-	3	2	5	6.5	24.5	1	5 / 2	Não	Inerente	97.2%NA
[5]	6	6	2	3	1	5	6	23	2	3 / 3	Não	Inerente	98.1%@600W
[6]	6	6	2	3	1	5	6.5	23.5	2	3 / 2	Não	Inerente	98.1%@510W
[7]	7	6	2	3	1	5	6.5	24.5	2	3 / 2	Não	Inerente	97%@750W
[8]	8	8	-	3	1	5	5.5	24.5	2	5 / 4	Sim	Inerente	98.3%@600W
[9]	7	7	2	3	2	5	6	25	2	4 / 2	Não	Inerente	96%@700W
[10]	6	6	1	3	1	5	6	22	1	3 / 2	Sim	Inerente	97.7%@400W
[11]	6	5	1	3	1	5	5.5	20.5	1	3 / 2	Não	Inerente	98.3%@1.1kW
[12]	8	8	-	3	1	5	12	31	2	3 / 2	Sim	Inerente	96.54%@1.1kW
[15]	7	7	-	2	1	5	5.5	21.5	2	4 / 4	Sim	Inerente	98%NA
[16]	8	8	2	3	4	5	7	28	4	4 / 4	Sim	Inerente	97.6%@620W
[17]	6	6	3	4	1	5	8.5	27.5	2	3 / 3	Sim	Inerente	97.5%@620W
[18]	9	9	1	4	2	5	7.7	30.7	9	6 / 4	Sim	Inerente	94,1%@620W
[19]	9	9	-	3	1	5	5.5	26.5	2	5 / 3	Sim	Inerente	97.6%@500W
[20]	7	7	3	3	1	5	12	32	2	4 / 3	Sim	Inerente	-
[21]	8	8	1	3	2	5	10.2	30.2	1	5 / 4	Sim	Inerente	97.8%@ 400W
[22]	6	5	1	3	1	5	5.5	20.5	1	3 / 2	Sim	Inerente	97.8%@ 800W
[23]	10	10	-	3	2	5	5	20.5	4	7 / 6	Sim	Inerente	97.13%@ 600W
Prop.	4	4	3	2	2	5	7	20	1	3 / 1	Sim	Inerente	97.8 %@ 500W

(T) Topologia, (S) Chaves, (G) *Gate drivers*, (D) Diodos, (C) Capacitores, (L) Indutores, (NL) Número de níveis, (G) Ganho v_{omax}/V_{dc} , (M/m) Número Máximo/Mínimo de chaves em condução, (CS) Carga Suave, (ET) Equilíbrio de tensão CC, (EF) Eficiência reportada.

e equilíbrio natural de tensão dos capacitores, a topologia é consideravelmente eficiente. Além disso, possui TSV relativamente baixo e uma função custo reduzida.

Nas Tabelas 3 e 7, as referências bibliográficas foram simplificadas por números para facilitar a visualização, sendo que a correspondência com os autores é: [1]: (KADAM; SHUKLA, 2017) [2]:(GRIGOLETTO, 2020), [3]: (GRIGOLETTO, 2021), [4]: (SANDEEP et al., 2020) [5]: (BARZEGARKHOO et al., 2021e), [6]: (VOSOUGHI; HOSSEINI; SA-

BAHI, 2020), [7]: (BARZEGARKHOO et al., 2022) [8]: (BARZEGARKHOO et al., 2021a); [9]: (SATHIK et al., 2021); [10]:(PANDURANGAN et al., 2022); [11]: (GUO et al., 2023); [12]: (ANAND; SINGH; ALI, 2023) ; [13]: (BARZEGARKHOO et al., 2021b); [14]: (POUR-FARAJ; MONFARED; HEYDARI-DOOSTABAD, 2020); [15]: (MONDAL et al., 2023); [16]: (MARANGALU et al., 2023); [17]: (KURDKANDI et al., 2023); [18]: (LEE et al., 2023); [19]: (SAMIZADEH et al., 2020); [20]: (ISLAM et al., 2023); [21]: (LO; LIN, 2023); [22]: (ARDASHIR et al., 2023) ; [23]: (ALI et al., 2022) ; [24]: (SIWAKOTI et al., 2019) ; [25]: (BARZEGARKHOO et al., 2021d) ; [26]: (KHAN et al., 2021a)

3.8 RESULTADOS DE SIMULAÇÃO

A fim de verificar a operação e o desempenho da topologia proposta, algumas simulações foram realizadas no software PSIM antes de realizar os testes experimentais. Os modelos dos dispositivos foram elaborados no PSIM. Os testes e as simulações foram realizados com uma potência de 500W de acordo com os parâmetros da Tabela 4.

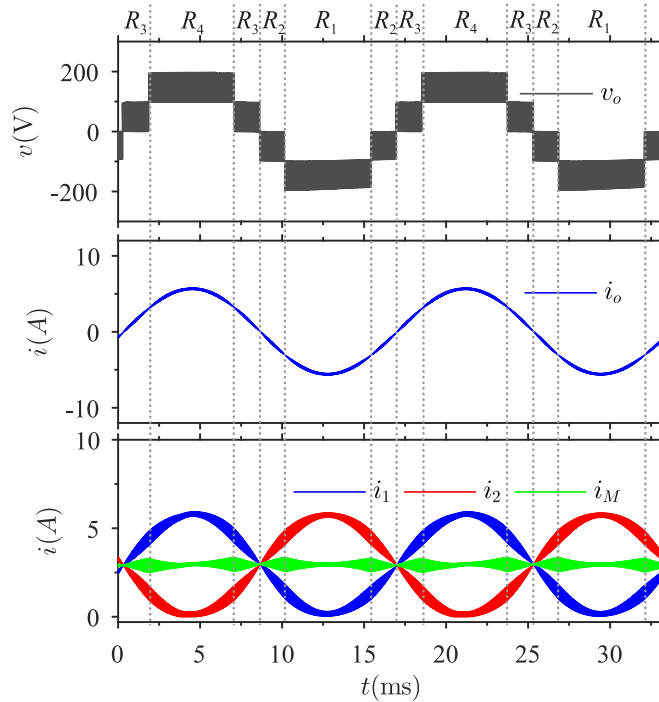
Os resultados de simulação foram obtidos para a operação conectada à rede. Um controlador ressonante proporcional (PR) cujo o comportamento é mostrado na Figura 35 foi usado para o controle de corrente de circuito fechado. As Figuras 38 e 39 mostram os resultados da simulação para a operação conectada à rede. No início da simulação, a corrente de referência foi ajustada em 5A com um fator de potência unitário (FP).

Tabela 4 – Parâmetros do protótipo.

Descrição do parâmetro	Valor
Tensão de entrada (V_{dc})	200 V
Tensão rms de saída, Freq. (v_o), (f_1)	127 V, 60 Hz
Frequência de comutação (f_s)	20 kHz
Capacitor (C_1)	2 mF
Ondulação da tensão de C_1 (Δv_{C1})	7.2 V
Indutor acoplado (L_T)	1.5 mH
Filtro de saída (L_f)	2 mH
Chaves (S_1, S_2)	GAN041650
Chaves (S_3, S_4)	IKW40N60D
Diodos ($D_1...D_3$)	STPSC20065
Gate Driver	FOD3182
Sensor de corrente	LA55P
Sensor de tensão	LV25P

A Figura 25(a) mostra que as razões cíclicas d_{S1} e d_{S2} têm uma forma de onda senoidal durante cada semi-ciclo enquanto d_{S3} e d_{S4} têm uma forma de onda quadrangular. Portanto, as chaves S_1 e S_2 operam na frequência de comutação f_s , enquanto S_3 e S_4 operam na frequência fundamental f_1 . Como resultado, as perdas são distribuídas nas

Figura 38 – Tensão de saída v_o , Corrente de saída i_o , Correntes do indutor acoplado i_1 , i_2 e i_M .



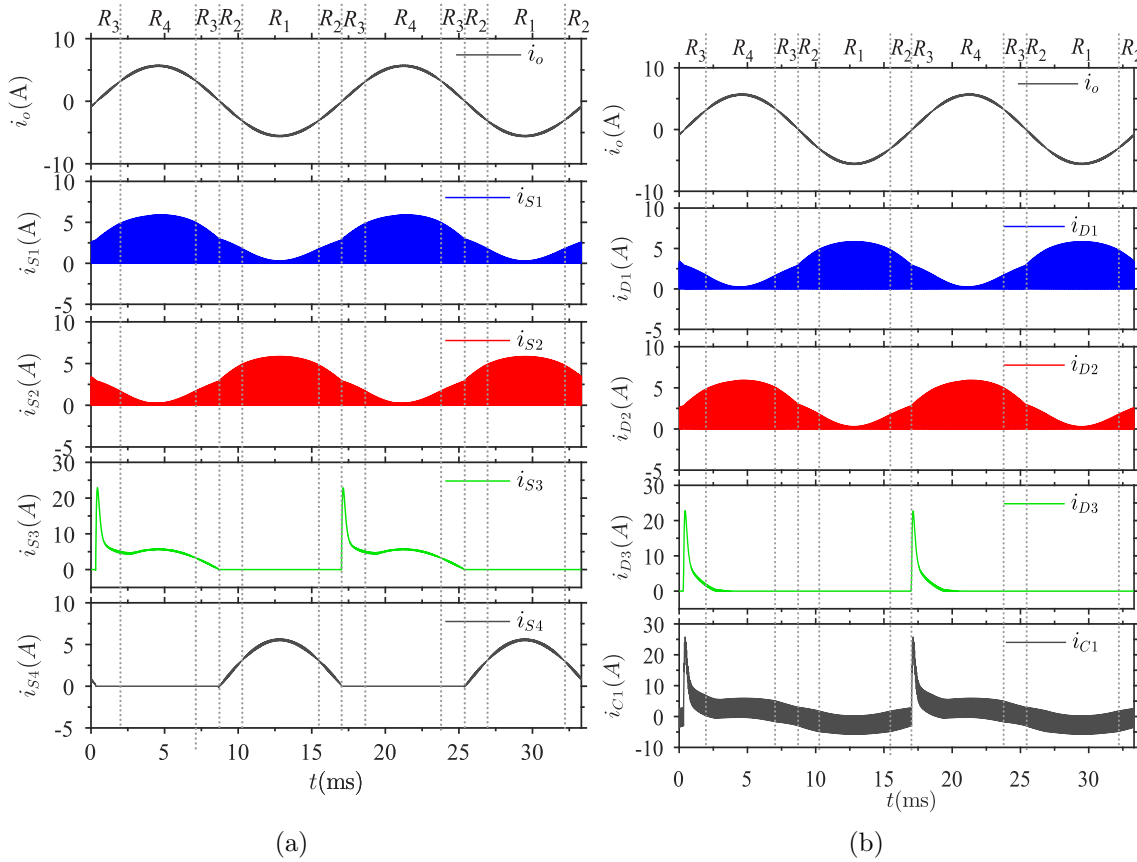
chaves: 2% para S_1 e S_2 ; 19% S_3 ; e 14% S_4 da perda total de acordo com a Figura 3.5.4. O número de S_3 é maior por causa da corrente de carga do capacitor além da corrente de saída.

Como mostrado na Figura 38, o inversor sintetiza uma tensão de saída de cinco níveis. Isso permite uma corrente de saída de qualidade com menor harmônico. As correntes i_1 e i_2 podem apresentar uma grande ondulação, dependendo do valor da indutância mútua do indutor acoplado. No entanto, esse fato não tem um impacto negativo sobre a corrente de saída i_o .

A Figura 39 mostra as diferentes correntes fluindo nos diversos elementos do inversor. Pode-se facilmente ver que a corrente na chave S_1 é igual à no diodo D_2 e a na chave S_2 é igual à no diodo D_1 enquanto a corrente no diodo D_3 é a corrente de carga i_{ch} . Quanto a chave S_3 , a corrente de saída que está fluindo nela é a soma da corrente de saída e da corrente de carga.

A figura 40 mostra a tensão e a corrente da fonte, e a potência rastreada enquanto a irradiância ou a temperatura está variando. Na Figura 40(a), a temperatura é estabelecida em 25 °C enquanto a irradiância passa de 500 W/m² a 700 W/m² no instante 0.3 s, e novamente de 700 W/m² a 1000 W/m² no instante 0.6 s. Na figura 40(b), a simulação foi realizada com irradiância fixada em 1000 W/m² enquanto a temperatura cai inicialmente de 50°C a 35 °C no instante 0.3 s, e posteriormente 35 °C a 25 °C. É importante notar que a tensão do barramento CC (V_{PV}) fica em torno de 200 V independentemente das condições de irradiância e de temperatura.

Figura 39 – (a) Corrente de saída i_o e corrente de S_1 , S_2 , S_3 , e S_4 . (b) Corrente de saída i_o e corrente de D_1 , D_2 , D_3 , e C_1



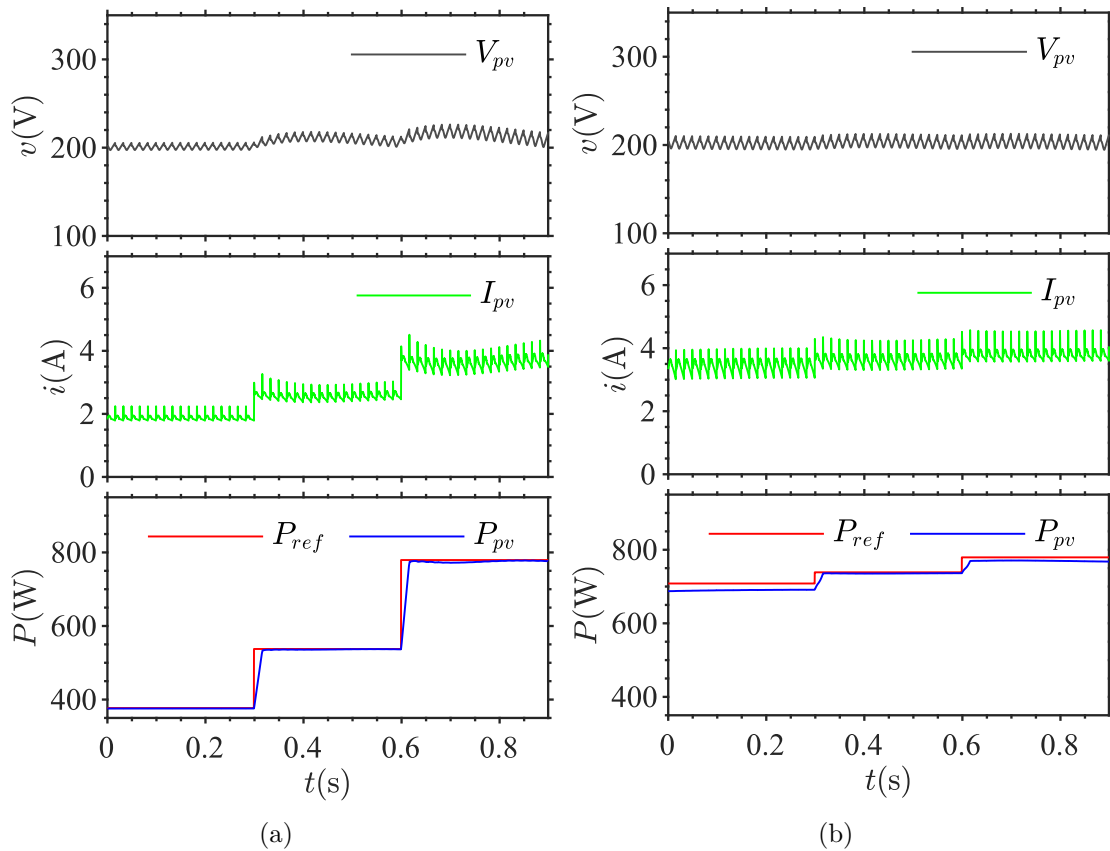
3.9 RESULTADOS EXPERIMENTAIS

Com o objetivo de verificar o desempenho do inversor proposto, foi construído um protótipo em laboratório de 500 W mostrado na Figura 41. Os parâmetros experimentais estão mostrados na Tabela 4. O inversor opera conectado à rede cuja a frequência fundamental $f_o = 60\text{Hz}$ e tensão RMS de 127 V. O DSP TMS320F28379D da Texas Instruments foi empregado para gerar os sinais de acionamento dos interruptores e para a execução das rotinas de controle. Os interruptores usados são MOSFET GAN041650, IGBT IKW40N60D, e diodos STPSC20065. A frequência de comutação é igual a $f_s = 20\text{kHz}$. A tensão de entrada é 200 V enquanto os valores do capacitor, do indutor acoplado e do filtro são 2 mF, 1.5 mH e 2 mH, respectivamente.

Na Figura 42, são apresentadas as tensões PWM v_o , da rede v_g e do capacitor v_{C1} , e as correntes de saída i_o e do indutor acoplado i_1 e i_2 . Para operação conectada na rede com fator de potência unitário, o inversor está operando inicialmente com uma referência de potência de 250W e posteriormente a referência é alterada para 500W. O processamento de potência ativa e reativa é demonstrado experimentalmente na Figura 43(a).

A potência ativa é inicialmente definida como 400W e a potência reativa é definida como 250 Var (FP = 0.85 em avanço). Posteriormente, a potência reativa é alterada para

Figura 40 – Tensão da fonte V_{PV} , Corrente da fonte I_{PV} , Potência rastreada com: (a) Irradiância variável e Temperatura contante. (b) Irradiância constante e Temperatura variável.



-250 Var (FP=0.85 em atraso). Em suma, uma boa resposta dinâmica em malha fechada é obtida em ambas as operações com FP unitário e menor que um.

A Figura 43(b) mostra a tensão do indutor acoplado v_M , as correntes da rede i_o , interna i_M , e do indutor acoplado i_1 e i_2 . Observa-se que a tensão através do indutor aciona a corrente interna, de acordo com a análise teórica. Além disso, as correntes i_1 e i_2 apresentam a ondulação na frequência de comutação de 20 kHz, enquanto a corrente de saída apresenta a ondulação no dobro da frequência de comutação de 40 kHz.

A Figura 44 mostra as correntes de saída i_o , do capacitor i_{C1} e do indutor acoplado i_1 e i_2 quando variar α_M de 0 a 0.03. Pode-se ver facilmente o impacto nas correntes do indutor acoplado i_1 e i_2 . A operação adequada do inversor depende do deslocamento de CC nas correntes do enrolamento. É possível observar que, para $\alpha_M = 0$, as correntes do enrolamento atingem o nível zero, o que pode trazer prejuízo para operação do inversor. A implementação prática pode resultar em um componente CC distinto nas correntes do enrolamento quando comparado ao circuito ideal. Os motivos pelos quais o componente CC é afetado são: atraso no desligamento ou na ativação dos dispositivos de energia; quedas de tensão nos diodos; resistência intrínseca do enrolamento. Por outro lado, foi selecionado $\alpha_M = 0.03$, resultando em uma corrente de polarização CC do enrolamento, conforme

Figura 41 – Imagem da bancada experimental.

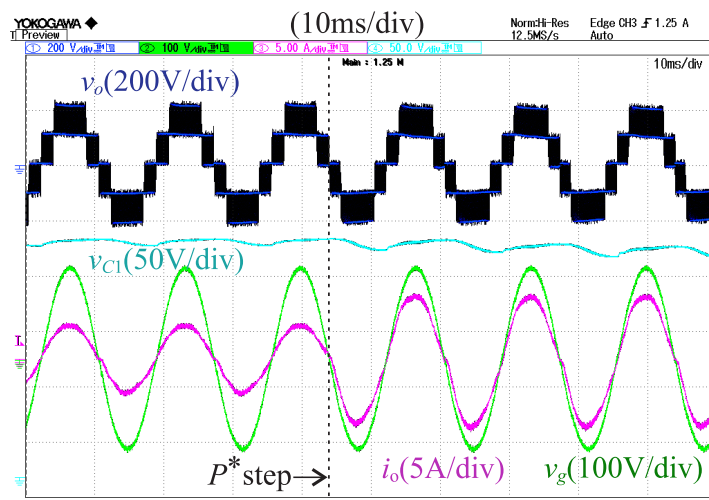


mostrado na Figura 44 (b).

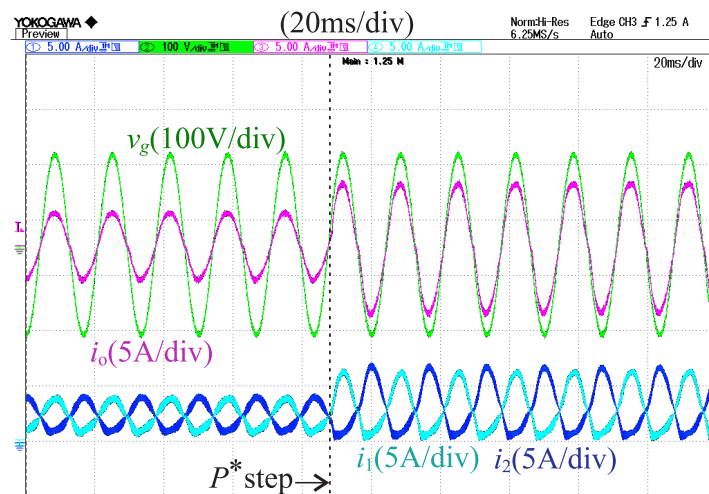
3.10 CONCLUSÃO

O inversor proposto dispensa do uso de transformador de baixa frequência e sintetiza tensão de saída de cinco níveis. Tem a característica de aterramento comum que permite naturalmente redução da corrente de fuga. Devido à estratégia de modulação aplicada, o inversor apresenta baixa distorção harmônica de saída. Apresenta reduzido número de interruptores simultaneamente em condução e reduzido estresse de corrente durante a carga do capacitor. O inversor proposto é capaz de processar a potência reativa sendo conectado à rede por meio de um sistema de controle que rastreia a corrente e um algoritmo MPPT para obter a máxima potência. Além disso, a proposta é a primeira topologia de cinco níveis de terra comum com menos de cinco interruptores de potência proposta na literatura. Por fim, o desempenho prático da topologia proposta foi demonstrado por um protótipo experimental de 500 W.

Figura 42 – (a) Tensão PWM v_o , Tensão da rede v_g , Corrente de saída i_o e Tensão do capacitor v_{C1} . (b) Tensão da rede v_g , Corrente de saída i_o e correntes do indutor acoplado i_1 e i_2 .

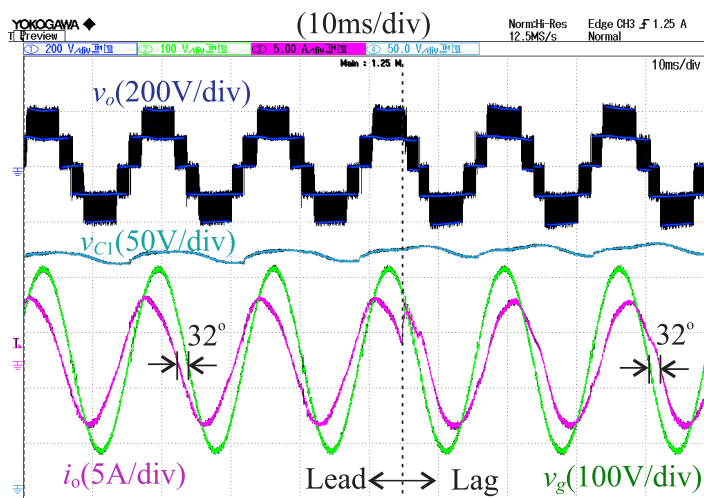


(a)

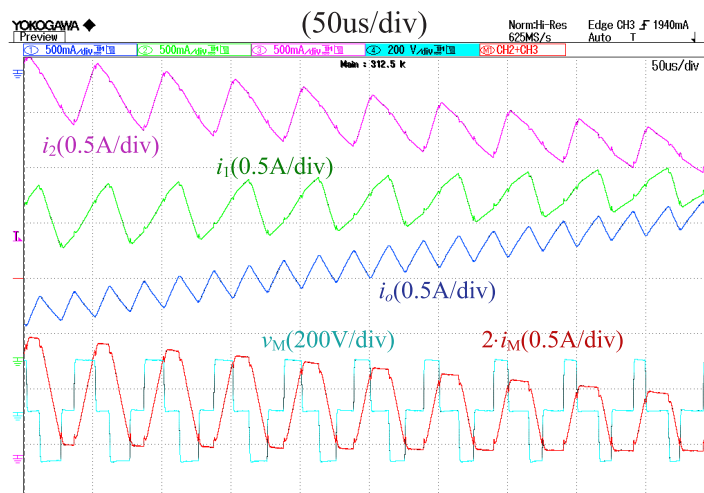


(b)

Figura 43 – Funcionamento conectado na rede : (a) Tensão PWM v_o , Tensão da rede v_g , Corrente de saída i_o e Tensão do capacitor v_{C1} . (b) Tensão do indutor acoplado v_M , Corrente interna i_M , Corrente da rede i_o e correntes do indutor acoplado i_1 e i_2 .

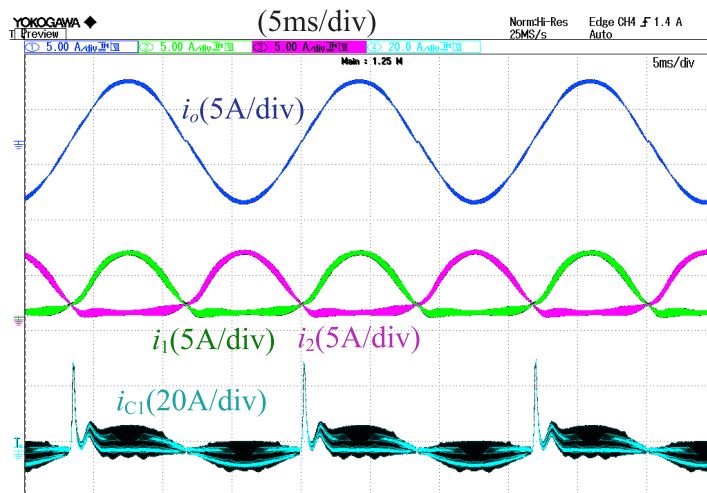


(a)

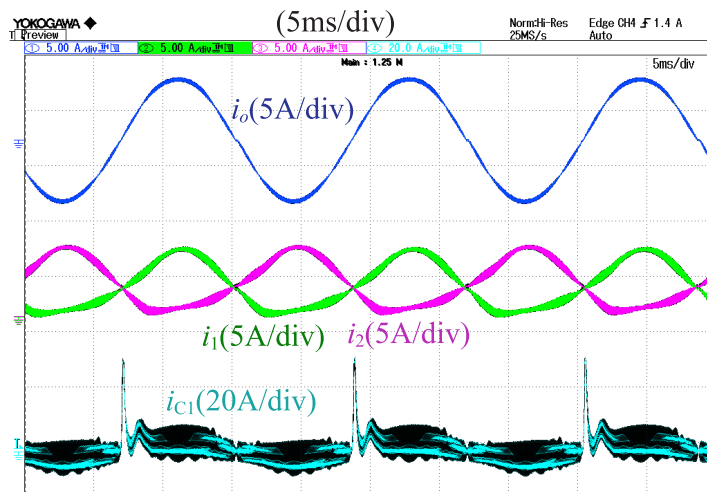


(b)

Figura 44 – Corrente de saída i_o , Tensão da rede v_g , Corrente do capacitor i_{C1} , correntes do indutor acoplado i_1 e i_2 para diferente valor de α_M . (a) $\alpha_M=0$. (b) $\alpha_M=0.03$

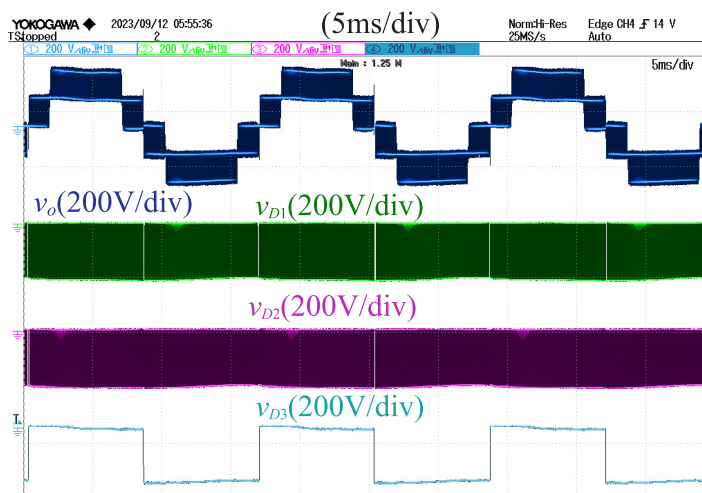
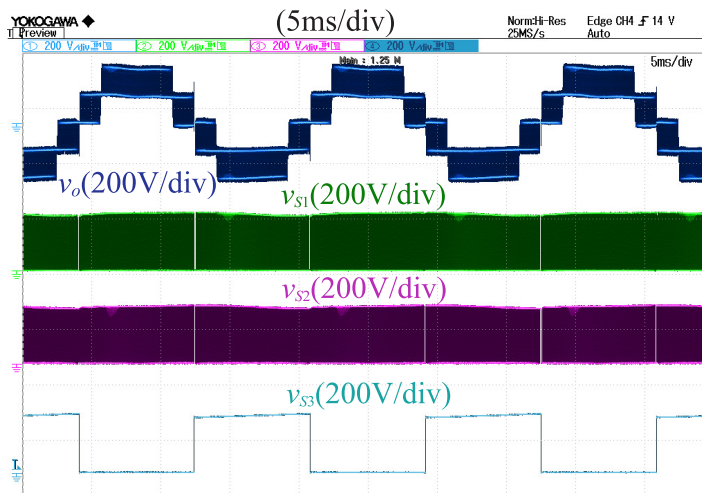


(a)



(b)

Figura 45 – Tensão nos dispositivos semicondutores.(a) Chaves S_1 , S_2 e S_3 . (b) Diodos D_1 , D_2 e D_3 .



4 INVERSOR DE CINCO NÍVEIS COM DUPLO MODO DE OPERAÇÃO 5L-DM

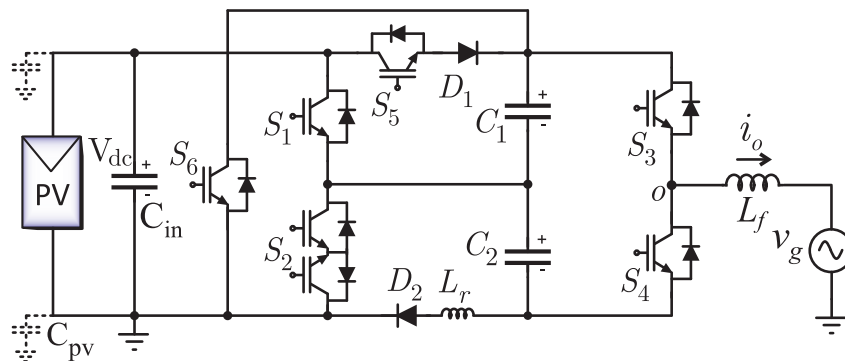
4.1 INTRODUÇÃO

A conexão de inversores convencionais na rede elétrica requer que a tensão barramento CC seja maior que o valor máximo da tensão CA de saída. Caso não seja possível alocar o número de painéis fotovoltaicos necessários para isso, um conversor boost CC-CC pode ser empregado para elevar a tensão de entrada. Entretanto, isso agrega maior número de componentes, perdas e controladores adicionais são necessários. Para resolver esse problema, este Capítulo apresenta um inversor capaz de operar no modo abaixador e elevador de tensão.

4.2 DESCRIÇÃO DO INVERSOR 5L-DM

A topologia proposta 5L-DM *Five-level Dual Mode Inverter* é um inversor com duplo modo de operação com aterramento comum que contém dois capacitores (C_1 , C_2), cinco chaves unidirecionais em tensão (S_1 , S_3 , S_4 , S_5 , S_6) uma bidirecional em corrente e em tensão S_2 , dois diodos (D_1 , D_2) e um indutor L_r incluído no circuito de carga dos capacitores. No modo *Step-up*, esse inversor é capaz de sintetizar uma tensão de saída de cinco níveis com o dobro tensão de entrada, ou seja $2 \cdot V_{dc}$. Já no modo *Step-down*, V_{dc} é o nível máximo de tensão que pode alcançar a tensão de saída.

Figura 46 – Descrição do inversor proposto 5L-DM



Fonte: Autor

4.2.1 MODO *STEP-UP* (ELEVADOR DE TENSÃO)

A Tabela 5 mostra os estados de comutação, os diferentes níveis tensão de saída e a corrente de carga dos capacitores para os modos *step-up* e *step-down*. Pode-se facilmente notar que o modo *step-up* apresenta seis estados de comutação diferentes, resultando em cinco níveis de tensão de saída. O modo *step-up* permite que os capacitores C_1 e C_2 sejam regulados naturalmente no valor da tensão CC de entrada ($V_{C1}=V_{C2}=V_{dc}$).

Tabela 5 – Estados de comutação, Tensão de saída e Fluxo de carga dos capacitores para os modos *step-up* e *step-down*.

Modo	Estado	S_1	S_2	S_3	S_4	S_5	S_6	v_o	C_1	C_2
Step-up	A	1	0	1	0	0	0	$2V_{dc}$	∇	Δ
	B	0	1	1	0	1	0	V_{dc}	Δ	-
	C	1	0	0	1	0	0	0	-	Δ
	D	0	0	1	0	0	1	0	-	-
	E	0	1	0	1	1	0	$-V_{dc}$	Δ	∇
	F	0	0	0	1	0	1	$-2V_{dc}$	∇	∇
Step-down	G	0	0	1	0	1	0	V_{dc}	Δ	Δ
	H	0	1	1	0	0	0	$0.5V_{dc}$	∇	-
	I	0	0	0	1	1	0	0	Δ	Δ
	J	0	0	1	0	0	1	0	-	-
	L	0	1	0	1	0	0	$-0.5V_{dc}$	-	∇
	M	0	0	0	1	0	1	$-V_{dc}$	∇	∇

" Δ "= Carregando, " ∇ "= Descarregando, "-"=Não interfere.

Estado A: S_1 , S_3 e D_2 estão em condução e a tensão de saída fornecida pela conexão em serie de C_1 e C_2 é $v_o = +2V_{dc}$ enquanto C_2 esta carregando pela fonte de entrada.

Estado B: S_2 , S_3 , S_5 e D_1 estão em condução e a tensão de saída é $+V_{dc}$. O capacitor C_1 está em paralelo com a fonte, esta carregando.

Estado C: S_1 , S_4 e D_2 estão em condução. C_2 está sendo carregado pela fonte e a tensão de saída é igual a $v_o = 0$.

Estado D: S_3 e S_6 estão em condução, D_1 e D_2 estão em bloqueio, e a tensão de saída é igual a $v_o = 0$.

Estado E: S_2 , S_4 , S_5 e D_1 estão em condução enquanto D_2 está em bloqueio. A tensão de saída é igual a $v_o = +2V_{dc}$ e C_2 está carregando.

Estado F: S_4 e S_6 estão em condução, D_1 e D_2 estão em bloqueio. A tensão de saída fornecida pela conexão em série de C_1 e C_2 é $v_o = -2V_{dc}$.

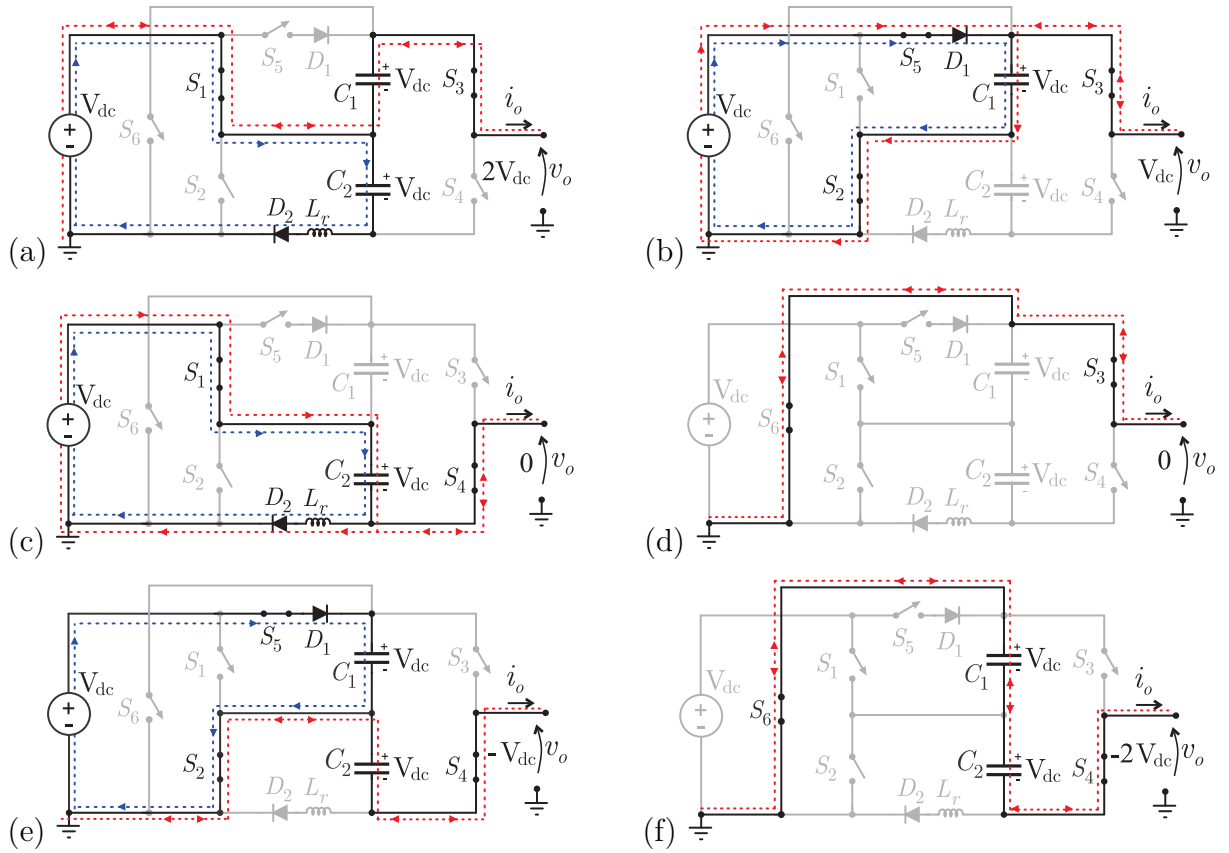
4.2.2 MODO STEP-DOWN (ABAIXADOR DE TENSÃO)

O modo *step-down* é empregado quando a tensão de entrada for maior do que a amplitude de pico da tensão de saída de CA da rede. Nesse modo, o inversor continua a sintetizar cinco níveis de tensão de saída e a tensão dos capacitores C_1 e C_2 são fixados na metade do valor da tensão CC de entrada ($V_{C1}=V_{C2}=0.5V_{dc}$).

Estado G: S_3 , S_5 , D_1 e D_2 estão em condução e a tensão de saída é $v_o = +V_{dc}$. C_1 e C_2 estão carregando.

Estado H: S_2 e S_3 estão em condução, D_1 e D_2 estão em bloqueio e a tensão de saída é $v_o = +0.5V_{dc}$.

Figura 47 – Estados de comutação e tensão de saída correspondente. (a) Estado A. (b) Estado B. (c) Estado C. (d) Estado D. (e) Estado E. (f) Estado F.



Estado I: S_4 , S_5 , D_1 e D_2 estão em condução e a tensão de saída é $v_o = 0$. C_1 e C_2 estão carregando.

Estado J: S_3 e S_6 estão em condução, D_1 e D_2 estão em bloqueio e a tensão de saída é $v_o = 0$.

Estado L: S_2 e S_4 estão em condução, D_1 e D_2 estão em bloqueio e a tensão de saída é $v_o = -0.5V_{dc}$.

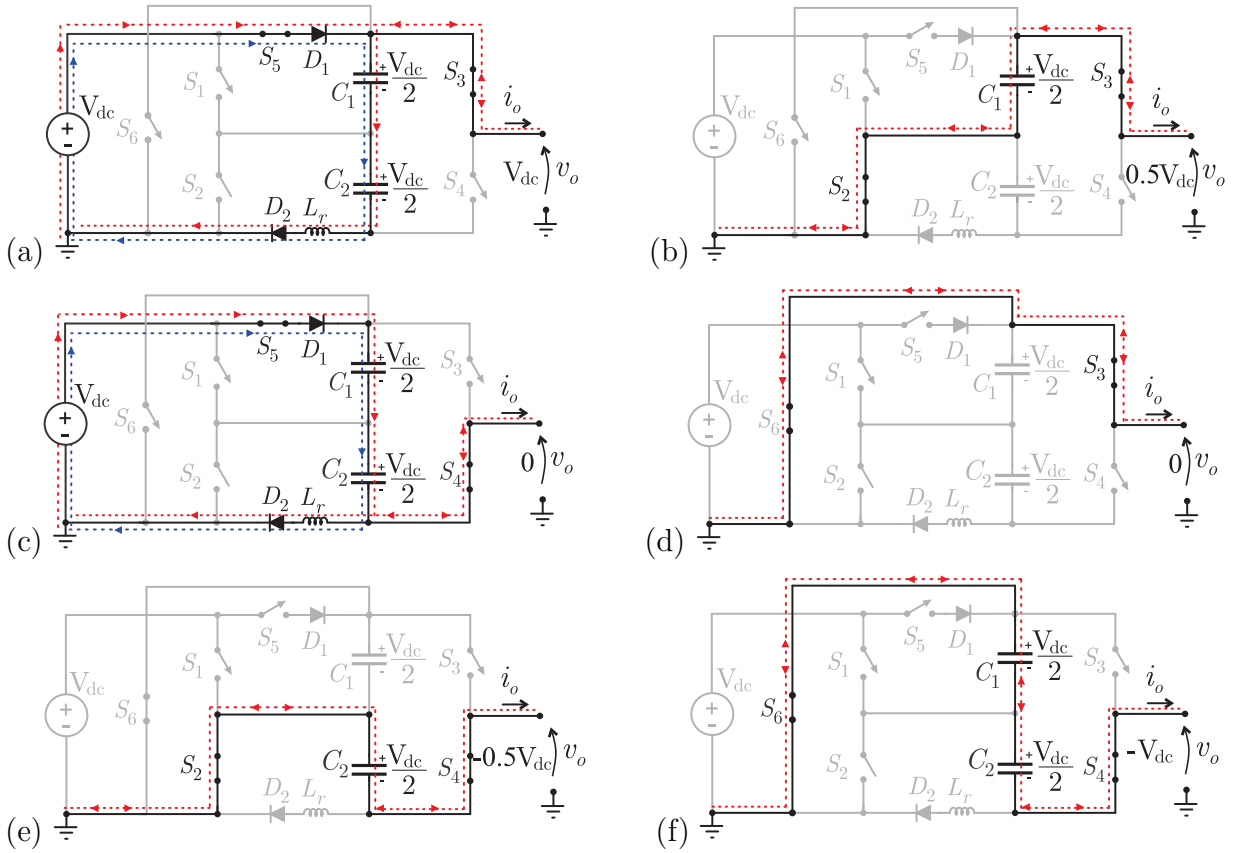
Estado M: S_4 e S_6 estão em condução, D_1 e D_2 estão em bloqueio e a tensão de saída é $v_o = -V_{dc}$.

4.3 ESTRATÉGIA DE MODULAÇÃO

A estratégia de modulação aplicada para este inversor é a *Space vector* como a que é usada no inversor anterior. Já que o inversor dupla possibilidade de operação, a referência de tensão de saída é definida por (4.1). Ao considerar $d(t)$ a razão cíclica associada na equação (3.1), as razões cíclicas de dois estados de comutação genéricos são dados por (4.2)

$$v_{o,\text{ref}}(t) = \rho_v d(t) V_{dc}, \quad (4.1)$$

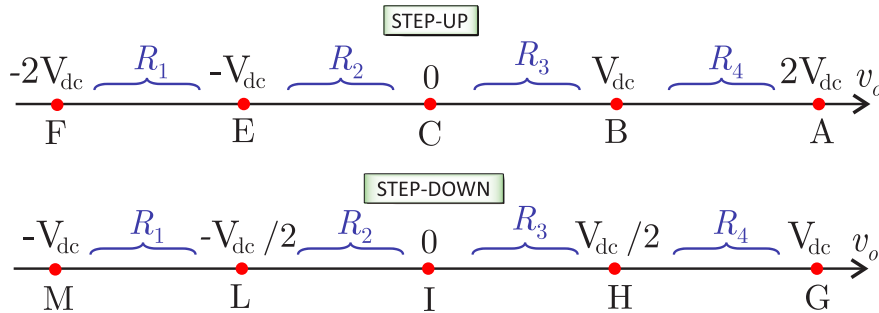
Figura 48 – Estados de comutação e tensão de saída correspondente. (a) Estado G. (b) Estado H. (c) Estado I. (d) Estado J. (e) Estado L. (f) Estado M.



$$\begin{bmatrix} d_X(t) \\ d_Y(t) \end{bmatrix} = \begin{bmatrix} X & Y \\ 1 & 1 \end{bmatrix}^{-1} \begin{bmatrix} v_{o,\text{ref}}(t) \\ 1 \end{bmatrix} \quad (4.2)$$

onde ρ_v é o quociente da tensão de saída e de entrada, pode ser igual a 1 para o modo *step-down* e 2 para o modo *step-up*, X e Y são os estados de comutação mais próximos de v_o^* . Além disso, $d_X(t)$ e $d_Y(t)$ são as durações normalizadas de X e Y, respectivamente.

Figura 49 – Diagrama dos estados de operação inversor II



Supondo uma tensão desejada v_o , que pertence à região R_1 no modo *step-down*, como pode ser visto na Figura 49; portanto, $X = -V_{dc}$ e $Y = -0.5V_{dc}$. Reescrevendo (4.2), as razões cíclicas dos interruptores S_1 a S_6 podem ser derivados da seguinte forma:

$$\begin{aligned} d_{S1} = d_{S5} = 1; \quad d_{S3} = d_{S4} = 0, \\ d_{S2} = d_{S6} = 2d(t) + 2. \end{aligned} \quad (4.3)$$

Tabela 6 – Definição das razões cíclicas d_{S1} to d_{S6} para a estratégia de modulação nos modos *step-up* e *step-down*.

Modo	Razões cíclicas	R_1	R_2	R_3	R_4	Polaridade
Step-up	d_{S1}	1	$-2d$	$2d$	$-2d + 2$	1
	d_{S2}	$2d + 2$	$-2d$	$2d$	$-2d + 2$	0
	d_{S3}	0	0	$2d$	1	0
	d_{S4}	0	0	$2d$	1	1
	d_{S5}	$2d + 2$	$-2d$	$2d$	$-2d + 2$	0
	d_{S6}	$2d + 2$	1	1	1	1
Step-down	d_{S1}	1	1	1	1	1
	d_{S2}	$2d + 2$	$-2d$	$2d$	$-2d + 2$	0
	d_{S3}	0	0	$2d$	1	0
	d_{S4}	0	0	$2d$	1	1
	d_{S5}	1	$-2d$	$2d$	$-2d + 2$	1
	d_{S6}	$2d + 2$	1	1	1	1

As razões cíclicas para todas as regiões nos modos *step-up* e *step-down* podem ser resumidos na Tabela 6. A polaridade do sinal PWM é 1 quando uma comparação positiva da razão cíclica com a portadora resulta em um nível alto. Por outro lado, quando a polaridade do PWM é 0, isso indica que o sinal PWM resulta em um nível baixo da comparação mencionada. Os ciclos de serviço em um período fundamental e a tensão de saída sintetizada são mostrados na Figura 5

4.4 DIMENSIONAMENTO DOS ELEMENTOS PASSIVOS

4.4.1 DIMENSIONAMENTO DOS CAPACITORES

O dimensionamento dos capacitores envolve a análise da corrente que flui por eles e a ondulação de tensão desejada. Com base nos princípios de operação da topologia proposta, fica evidente que os capacitores C_1 e C_2 contribuem para suportar a potência de saída ao longo do meio ciclo negativo. Além disso, a maior ondulação de tensão de ambos os capacitores ocorre no modo *step-down*. O intervalo de tempo mais longo de descarga dos capacitores está compreendido entre t_1 e t_2 , conforme observado na Figura 50, de modo que pode ser escrito:

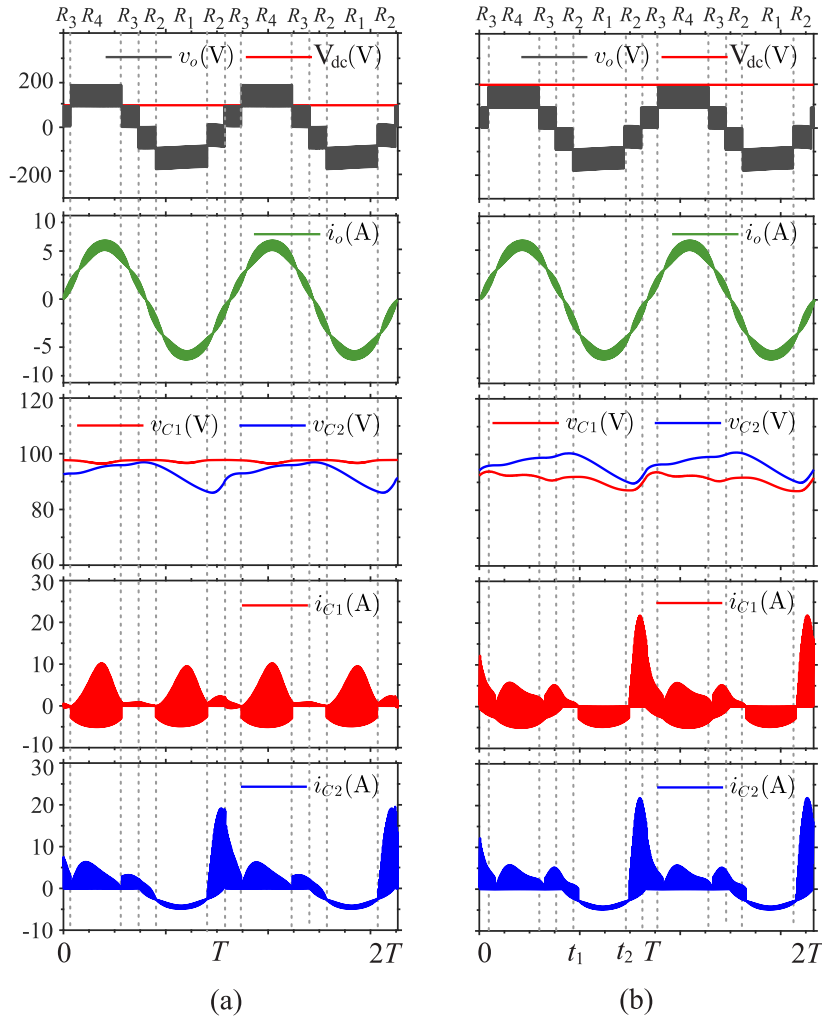
$$\frac{1}{C_{1,2}} \int_{t_1}^{t_2} i_{C1,2}(t) = \Delta v_{C1,2}. \quad (4.4)$$

Portanto, os valores dos capacitores C_1 e C_2 podem ser expressos:

$$C_1 = \frac{P \left(\frac{2\pi}{D_m} - 4D_m \sin^{-1} \left(\frac{1}{2D_m} \right) - \sqrt{4 - \frac{1}{D_m^2}} \right)}{\omega D_m V_{dc} \Delta v_{C1}}, \quad (4.5)$$

$$C_2 = \frac{P}{\omega D_m V_{dc} \Delta v_{C2}} \sqrt{4 - \frac{1}{D_m^2}}. \quad (4.6)$$

Figura 50 – Formas de onda principais para os modos de operação (a) *Step-up* and (b) *Step-down*.



Com relação a (4.5)-(4.6), o capacitor C_2 apresenta uma capacitância maior do que C_1 para uma ondulação de tensão equivalente. No entanto, a capacitância C_1 deve ser igual a C_2 quando os capacitores são conectados em série no modo *step-down*.

4.4.2 DIMENSIONAMENTO DO INDUTOR L_r

O indutor L_r é incluído no circuito de carga dos capacitores para atenuar os picos de corrente. Considerando os estados de comutação, na Tabela 5, que envolvem o caminho da carga, um circuito RLC é criado com o estado ON dos interruptores de energia, o caminho de carga dos capacitores e o indutor L_r . O comportamento da corrente de carga $i_{ch,Ceq}$ pode ser descrito como:

$$i_{\text{ch,Ceq}}(t) = \frac{C_{\text{eq}}}{2} (\delta_1 \rho_1 e^{\delta_1 t} + \delta_2 \rho_2 e^{\delta_2 t}), \quad (4.7)$$

onde:

$$\delta_{1,2} = -\frac{R_{\text{ch,eq}}}{2L_r} \pm \sqrt{\left(\frac{R_{\text{ch,eq}}}{2L_r}\right)^2 - \frac{2}{L_r C_{\text{eq}}}}, \quad (4.8)$$

$$\rho_{1,2} = \frac{\delta_{1,2}}{\delta_1 - \delta_2}.$$

Portanto, o indutor adicional pode suavizar a corrente de carga com uma natureza exponencial. A operação com subamortecimento do circuito RLC pode ser obtida pela desigualdade (4.9):

$$R_{\text{ch,eq}} < \sqrt{\frac{4L_r}{C_{\text{eq}}}}. \quad (4.9)$$

- C_{eq} : Capacitor equivalente
- $R_{\text{ch,eq}}$: Resistor equivalente

O valor da indutância de L_r deve ser muito pequeno, enquanto o capacitor equivalente C_{eq} geralmente é grande o suficiente para atenuar a ondulação da tensão. Observe que apenas um indutor L_r é necessário para a topologia. O indutor é colocado na ramificação que compreende o caminho de carga do capacitor C_2 , enquanto o caminho de carga do capacitor C_1 não passa por correntes de alta tensão no modo de aumento, conforme mostrado na Figura 54(a). Por outro lado, L_r assume parte da carga do caminho dos capacitores C_1 e C_2 no modo *step-down*.

4.5 MÁXIMA TENSÃO SOBRE OS SEMICONDUCTORES

As tensões máximas dos dispositivos de potência, incluindo interruptores e diodos, são as seguintes, respectivamente: o modo *step-up mode*:

$$\begin{aligned} \{V_{S1}, V_{S3}, V_{S4}, V_{S6}, V_{D2}\} &= 2V_{\text{dc}} \\ \{V_{S5}, V_{D1}\} &= V_{\text{dc}}; V_{S2} = \pm V_{\text{dc}} \end{aligned} \quad (4.10)$$

Por outro lado, a tensão máxima de tensão dos dispositivos de energia para o modo *step-down* é:

$$\begin{aligned} \{V_{S3}, V_{S4}, V_{S5}, V_{S6}, V_{D2}\} &= 2V_{\text{dc}}, \\ V_{D1} &= V_{\text{dc}}; V_{S2} = \pm V_{\text{dc}}; V_{S1} = 1.5V_{\text{dc}}. \end{aligned} \quad (4.11)$$

Além disso, a tensão permanente total (TSV) dos dispositivos de energia, incluindo os interruptores e diodos, pode ser escrita como:

$$\text{TSV} = \left(\sum_{i=1}^6 V_{Si} + \sum_{k=1}^2 V_{Sk} \right) \frac{1}{\rho_v V_{\text{dc}}}. \quad (4.12)$$

O TSV do inversor proposto é igual a 7 para o modo *step-up* e 8 para o modo *step-down*.

4.6 PERDAS NOS SEMICONDUTORES

Esta seção apresenta uma análise térmica para todos os semicondutores de potência em ambos os modos de operação. Para isso, consideramos um dissipador de calor com distribuição uniforme de temperatura e uma temperatura ambiente constante de 40°C . A modelagem térmica e a distribuição de perdas foram extraídas de simulações no software PLECS. A Figura 51 mostra a temperatura da junção dos semicondutores de potência a 0.5 kW para os modos de operação *step-up* e *step-down*, respectivamente.

Figura 51 – Temperatura de junção dos semicondutores de potência para os modos de operação (a) *Step-up* (b) *Step-down*.

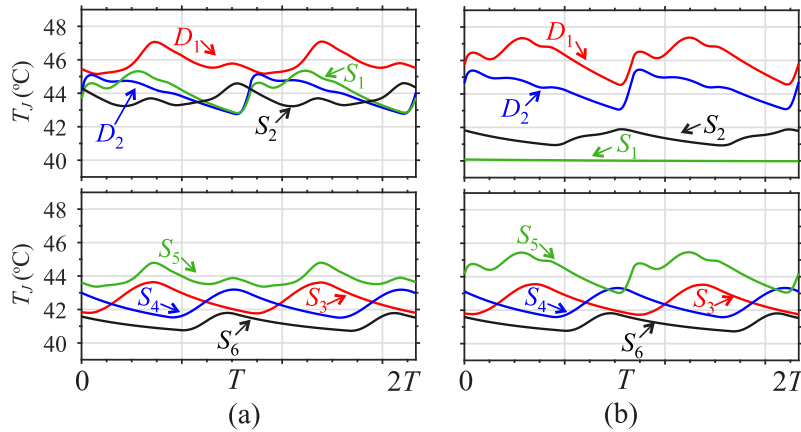
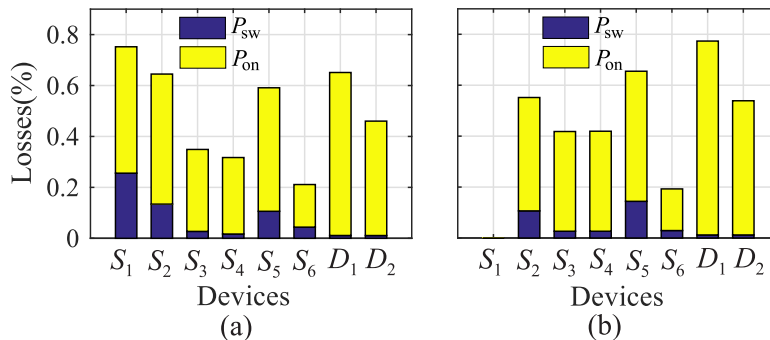


Figura 52 – Distribuição de perdas nos dispositivos para os modos de operação (a) *Step-up* (b) *Step-down*.



É possível observar um comportamento térmico estável, em que a temperatura máxima da junção é de cerca de 47°C . Essa importante característica se deve ao fato de os dispositivos não apresentarem picos de corrente elevados que afetem a confiabilidade do inversor. A quebra de perda dos semicondutores de potência é mostrada na Figura 52. Pode-se observar que a frequência de comutação adotada ($f_s = 15 \text{ kHz}$) resultou em

4.9 RESULTADOS DE SIMULAÇÃO

Da mesma forma do inversor precedente, com objetivo de verificar o funcionamento e o desempenho deste inversor, os testes e as simulações foram realizados com uma potência de 500W conforme com os parâmetros da Tabela 8.

A Figura 11 mostra os resultados da simulação para operação vinculada à rede com fator de potência unitário. A tensão de entrada do barramento CC é de 100 V no início da simulação e o inversor opera no modo *step-up*. No instante 33 ms, a tensão CC é alterada repentinamente para 200 V, e o inversor muda sua operação para o modo de *step-down*.

Os inversores de capacitor chaveado submetidos a um degrau de tensão na entrada CC geralmente apresentam corrente de *inrush* devido à carga dos capacitores. A Figura 55a apresenta os resultados da simulação para um degrau na tensão CC Vdc. No modo *step-up*, a tensão de entrada é alterada de 90 para 110 V, conforme mostrado na Figura 55(a). Por outro lado, a Figura 55(b) mostra os resultados para o modo *step-down* quando a tensão é alterada de 190 para 210 V. É possível ver uma corrente de *inrush* notável na fonte CC de entrada devido à carga dos capacitores. Uma mudança repentina da tensão de entrada em um modo de operação resulta em um pico de corrente esperado, como é notável em muitos conversores de capacitor chaveado.

Tabela 7 – Comparação entre topologias *Dual mode*.

T	Componentes				NL	A	(G)M	CG	QC	VB	EF
	S	D	C	L							
[14]	10	4	3	4	5	5 / 3	(1-2) Dual	Não	Sim	Inherent	97.3%@1 kW
[24]	6	0	4	1	5	3 / 2	(0.5-1) Dual	Não	Não	Inherent	N/A
[13]	10	0	2	2	5	4 / 4	(1-6.5) Dual	Sim	Sim	Needed	98.2%@1 kW
[25]	9	1	3	1	5	4 / 2	(2) Boost	Sim	Sim	Inherent	96.5%@600 W
						3 / 2	(1) Buck				97%@500 W
[26]	9	0	3	1	5	5 / 3	(2) Boost	Sim	Não	Inherent	98.5%@1 kW
						4 / 3	(1) Buck				98.6%@1 kW
Prop.	7	2	2	2	5	3 / 2	(2) Boost	Sim	Sim	Inherent	96.1%@500 W
						2 / 2	(1) Buck				96.5%@500 W

(T) Topologias, (S) Chaves, (D) Diodo, (C) Capacitor, (L)-Indutor, (NL) Número de níveis, (A) Máximo/Mínimo de chaves em condução, (G) Ganho, (M) Modo, (CG) Common-Ground, (QC) Carga suave, (VB) Equilíbrio de tensão CC, (EF) Eficiência.

Tabela 8 – Parâmetros do protótipo.

Descrição do parâmetro	Valor
Tensão de entrada (V_{dc})	100 - 200 V
Tensão rms de saída, Freq. (v_o), (f_1)	110 V, 60 Hz
Frequência de comutação (f_s)	15 kHz
Capacitores (C_1, C_2)	2 mF
Ondulação da tensão de C_1 (Δv_{C1})	14.39 V
Ondulação da tensão de C_2 (Δv_{C2})	12.61 V
Filtro de saída (L_f)	3.5 mH
QSC inductor (L_r)	18 μ H
Chaves ($S_1 \dots S_6$)	IKW40N60D
Diodos (D_1, D_2)	STTH3006
Controlador de porta	FOD3182
Sensor de corrente	LA55P
Sensor de tensão	LV25P

4.10 RESULTADOS EXPERIMENTAIS

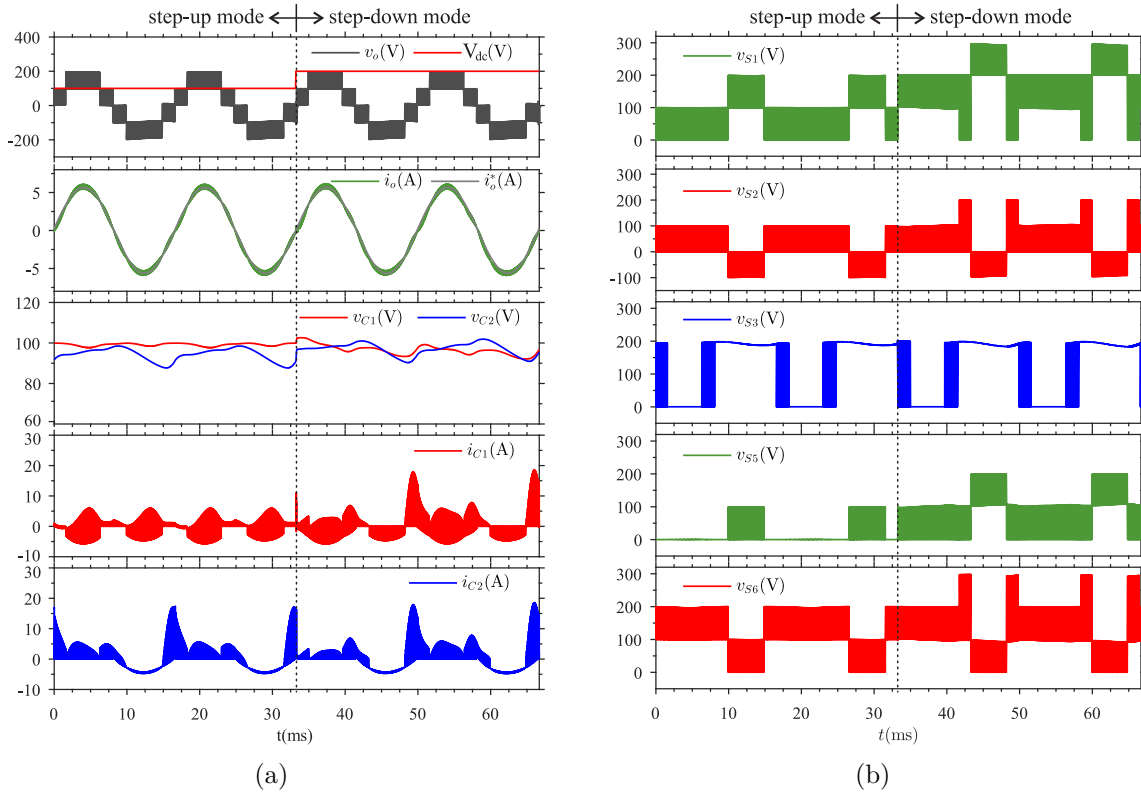
A fim verificar a operação real do inversor, as experimentações foram feitas com um protótipo de laboratório de 500 W mostrado na Fig. 56. Na entrada do inversor, uma fonte conectada fornece inicialmente tensão de 100 V para o modo *step-up* e depois 200 V para o modo *step-down*. Nos dois modos, o inversor opera conectado na rede. A rede se caracteriza por tensão rms de 110V e por frequência de 60 Hz. Os elementos passivos usados são : dois capacitores de 2 mF, um indutor de filtro de 3.5 mH e um indutor QSC de 18 μ H. Os interruptores de frequência são as chaves de IGBT IKW40N60D e os diodos de STTH3006. Pelo meio do software Plecs, a estratégia de modulação e controle são implementadas em um DSP TMS320F28379D da Texas Instruments para gerar os sinais de acionamento para os interruptores de alimentação e para o controle geral.

O inversor foi testado experimentalmente em duas circunstâncias diferentes: a primeira alimentando uma carga RL em operação autônoma e a segunda em operação conectada à rede. A Figura 57 mostra os resultados do modo *step-up* quando a tensão de entrada é ajustada para 100 V, e a Figura 59 mostra os resultados do modo *step-down* para a tensão CC de entrada de 200 V.

Para mostrar a operação em um alto fator de potência ($PF = 0.99$), a saída do inversor foi conectada a um indutor de filtro de 3.5 mH e a uma carga resistiva de 25 Ω . A Figura 57(a),(b) mostra a corrente de saída e a que flui pelos capacitores, a tensão de saída e a tensão nos capacitores. Com a inclusão do indutor L_r , o pico de corrente de carga i_{C2} é reduzido pela metade em comparação com o inversor de capacitor comutado convencional sem o indutor. A corrente do capacitor i_{C1} não é afetada, pois não apresenta alta corrente de irrupção.

A Figura 57(d),(e) mostra o desempenho quando o inversor opera com um fator de potência baixo ($PF = 0.56$), confirmando que o inversor pode processar adequadamente

Figura 54 – Resultados de simulação para a transição entre os modos *step-up* e *step-down*. (a) PWM voltage, dc input voltage, output current, capacitor voltages, capacitor currents. (b) voltage across the switches.



a potência reativa. Para demonstrar o comportamento dinâmico, a Figura 58(a) mostra os resultados de uma mudança de carga de 500 W para 250 W, enquanto a Figura 58(b) mostra os resultados de uma mudança de carga de 250 W para 500 W. A Figura 58(c) mostra uma visão ampliada da diminuição repentina da carga e a Figura 58(d) mostra uma visão ampliada do aumento repentino da carga. É possível observar que os capacitores são auto-equilibrados após ambos os transientes de potência processada. A tensão nos interruptores é mostrada na Figura 57(c),(f), onde a tensão máxima de tensão está de acordo com a apresentada na análise teórica.

Os experimentos foram repetidos para o modo *step-down*, conforme mostrado nas Figuras 59 e 60. Os resultados de alto PF e baixo PF demonstram o bom desempenho do inversor proposto no modo *step-down*. A presença do indutor L_r reduz a corrente de irrupção dos capacitores i_{C1} e i_{C2} , contribuindo para a menor tensão de corrente nos interruptores. O mais importante é que cinco níveis de tensão na saída CA são mantidos durante o modo *step-down*, com a magnitude de cada nível reduzida à metade. Portanto, o modo *step-down* não só preservou uma saída de CA de boa qualidade, como também reduziu o dv/dt e a tensão nos interruptores e capacitores.

O inversor foi conectado à rede elétrica para explorar a operação em circuito fechado, conforme mostrado no diagrama de blocos da Figura 53. Um capacitor $C_{pv} = 330$

Figura 55 – Resultados de simulação para degrau na tensão de reentrada. (a) Modo *Step-up*.
(b) Modo *Step-down*.

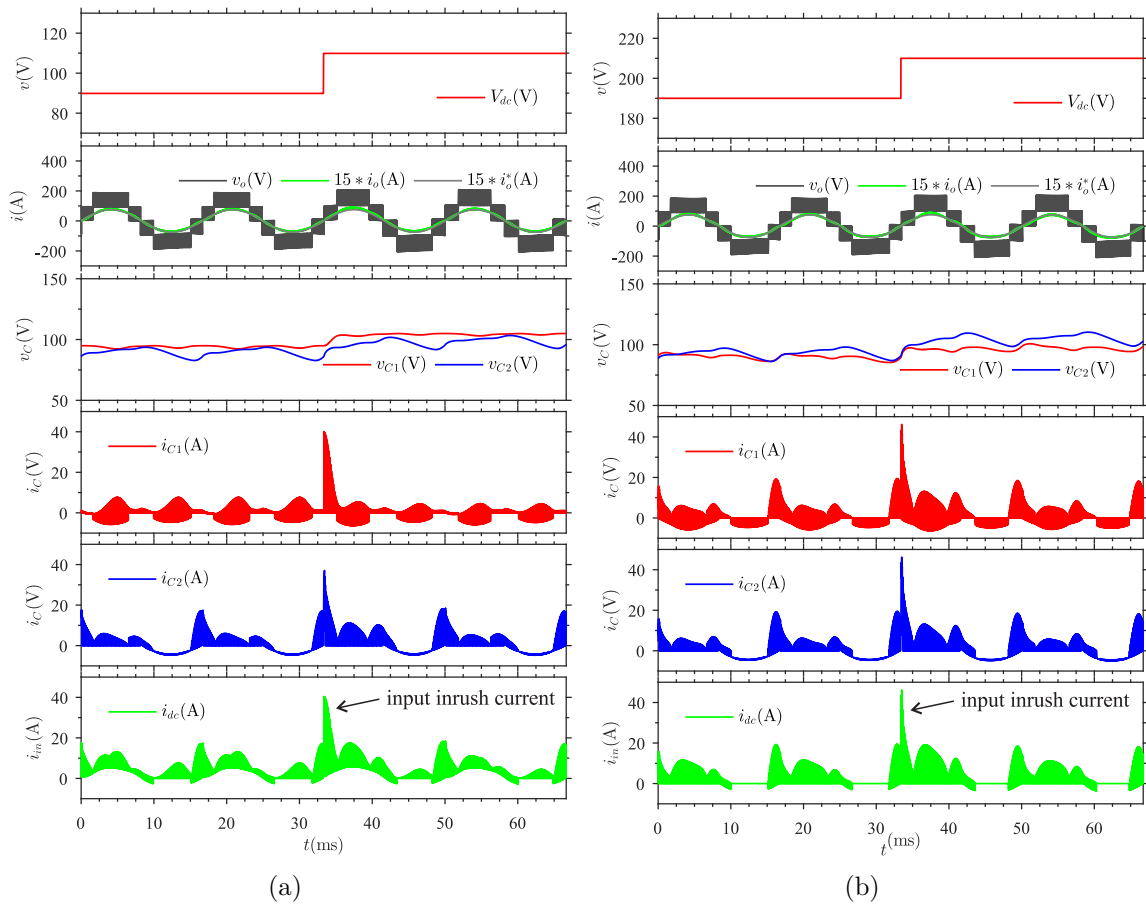
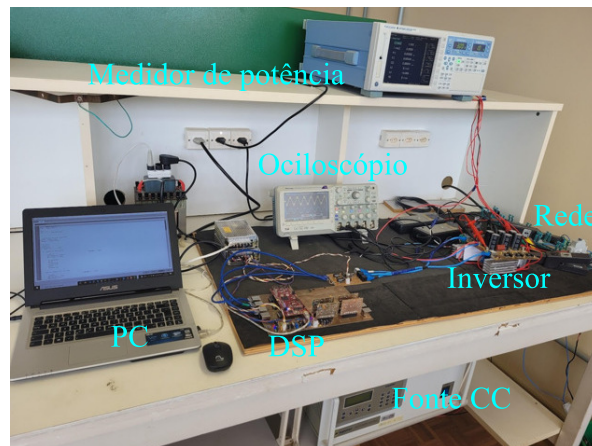


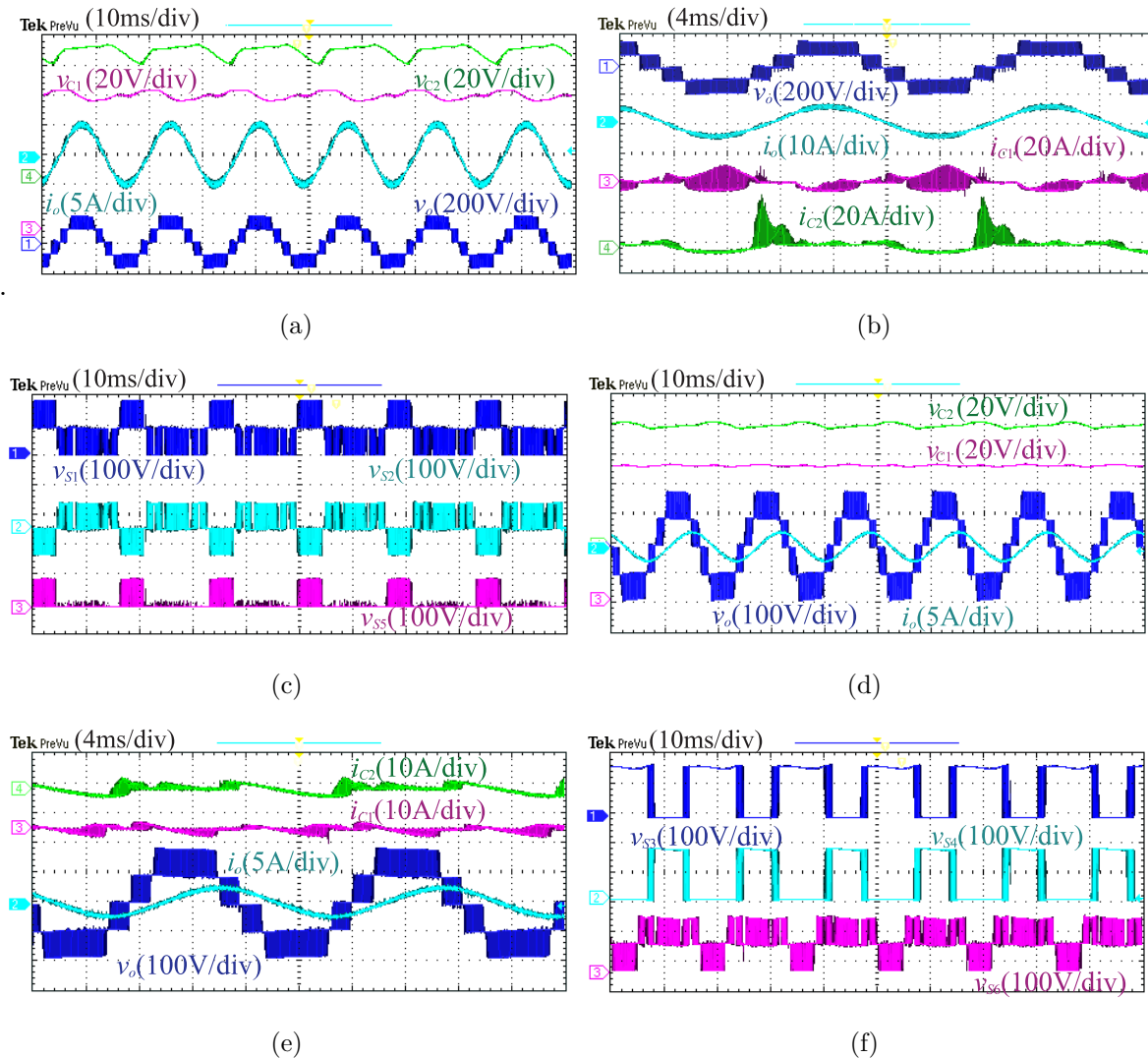
Figura 56 – Imagem da bancada experimental.



nF foi conectado entre o polo negativo do barramento CC e o ponto de aterramento. Assim, a capacitância parasita de uma cadeia fotovoltaica é emulada, permitindo a medição da corrente de fuga.

As Figuras 61 e 62 mostram os resultados conectados à rede para o modo *step-up*, em que a tensão CC de entrada foi definida como 100 V. A Figura 61(a),(b) mostra os resultados para PF unitário. A Figura 62(b), (c) mostra a operação para o processamento

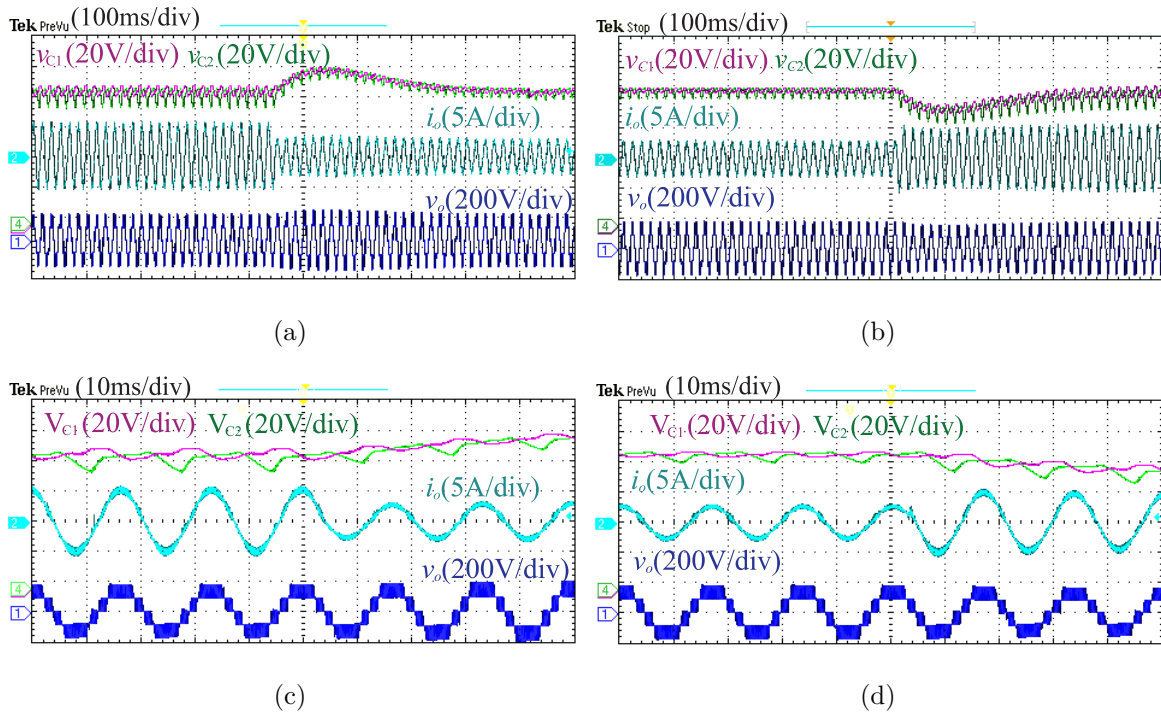
Figura 57 – Formas de onda principais para o modo *step-up*. (a)-(b) Tensões de saída e do capacitor, Correntes de saída e do capacitor para PF=0.99. (d)-(e) Tensões de saída e do capacitor, Correntes de saída e do capacitor para PF=0.56. (c) Tensão em S_1, S_2, S_5 . (f) Tensão em S_3, S_4, S_6



de potência ativa e reativa. O inversor começa a operar com a corrente da rede de referência igual a 6 A (0.9 PF principal). O ângulo de fase da corrente de referência é alterado para 0.9 PF atrasado. O resultado evidencia a capacidade de processamento de potência reativa e o desempenho durante a mudança repentina do ângulo da corrente de referência. A Figura 62(a) mostra a tensão do barramento CC e a corrente de fuga para PF unitário. O valor rms da corrente de fuga é de cerca de 4 mA, o que, teoricamente, é próximo de zero.

As Figuras 63 e 64 mostram os resultados experimentais da operação conectada à rede no modo *step-down*, em que a tensão CC de entrada foi definida como 200V. Da mesma forma que os resultados anteriores, o inversor apresenta um bom desempenho para FP unitário e menor que a unidade. As Figuras 62(d) e 64(d) mostram o espectro harmônico da corrente da rede para os modos *step-up* e *step-down*, respectivamente. Além disso,

Figura 58 – Formas de onda principais para o modo *step-up*. (a) Degrau na carga de 250 W a 500 W. (b) Degrau na carga de 500 W a 250 W. (c) Vista ampliada da diminuição da carga. (d) Vista ampliada da diminuição da carga.



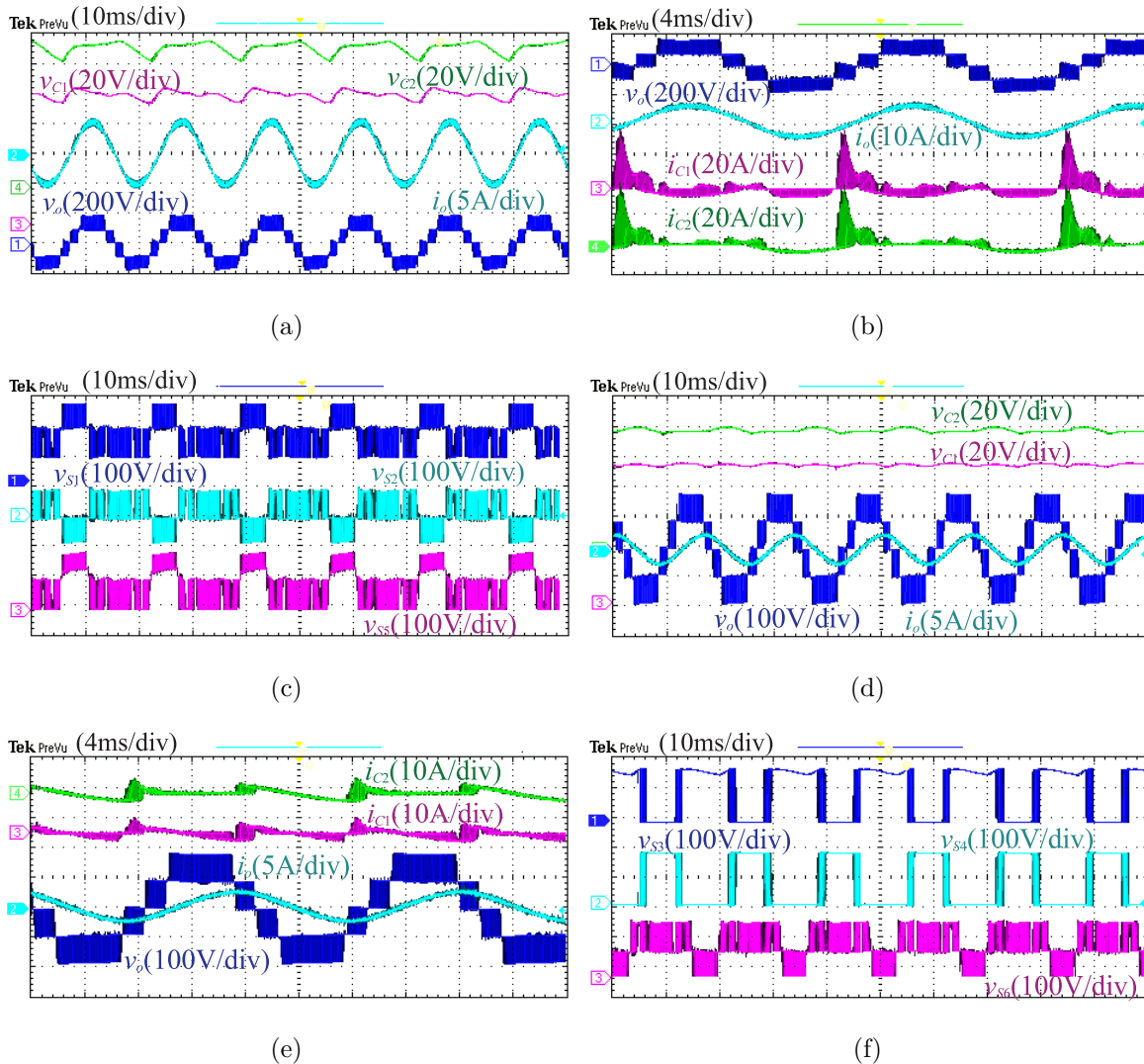
essas figuras apresentam os limites harmônicos individuais da corrente para os sistemas fotovoltaicos conectados à rede de acordo com a norma IEC 61727:2004. A distorção harmônica total (THD) da corrente da rede é de 4,65% e 4,32% para os modos *step-up* e *step-down*, respectivamente. Observe que o conteúdo harmônico individual está abaixo dos limites da norma e THD <5%. Além disso, a maior ondulação de tensão no capacitor C_1 é de 8,1% e no capacitor C_2 é de 11,4%.

Um analisador de potência Yokogawa WT3000 foi usado para medir a eficiência do inversor. As eficiências na potência nominal de 500 W são de 96,1% para o modo de aumento e 96,5% para o modo de redução.

O processo de carga inicial dos capacitores é uma questão importante nas topologias de capacitores comutados. Se ocorrerem grandes correntes de partida durante o carregamento dos capacitores CC, os dispositivos semicondutores podem ser danificados. A capacidade limitada de corrente dos semicondutores e os grandes valores de capacitância são preocupações essenciais para a partida de um inversor. Na topologia proposta, um resistor de $10\ \Omega$ é adicionado em série entre o capacitor do barramento CC e o inversor para reduzir a corrente de carga durante o processo de inicialização. Um contactor adicional retira o resistor quando os capacitores são carregados.

A partida do inversor proposto é mostrada na Figura 65. Os capacitores são carregados suavemente próximo ao valor da tensão nominal e, em seguida, o controle e a modulação são ativados no modo de operação de aumento de tensão.

Figura 59 – Formas de onda principais para o modo *step-down*. (a)-(b) Tensões de saída e do capacitor, Correntes de saída e do capacitor para PF=0.99. (c)-(d) Tensões de saída e do capacitor, Correntes de saída e do capacitor para PF=0.56. (e) Tensão em S_1 , S_2 , S_5 . (f) Tensão em S_3 , S_4 , S_6 .



O inversor proposto foi testado experimentalmente para um degrau de tensão na fonte de entrada CC. A Figura 66(a) mostra um degrau de tensão de 90 a 110 V que corresponde ao modo de aumento de tensão, e a Figura 66(b) mostra um degrau de tensão de 190 a 210 V que corresponde ao modo de redução de tensão. Observa-se que a corrente CC de entrada não apresenta uma corrente de inrush proeminente. É possível observar que o degrau de tensão constitui uma condição extraordinária para os inversores PV, uma vez que a luz solar ou o sombreamento variam lentamente ao longo do dia.

4.11 CONCLUSÃO

A topologia proposta é um novo inversor de cinco níveis. O terminal negativo do barramento CC é compartilhado com o terminal neutro da rede, resultando em uma tensão

Figura 60 – Formas de onda principais para o modo *step-down*. (a) Degrau na carga de 250 W a 500 W. (b) Degrau na carga de 500 W a 250 W. (c) Vista ampliada da diminuição da carga. (d) Vista ampliada do aumento da carga.

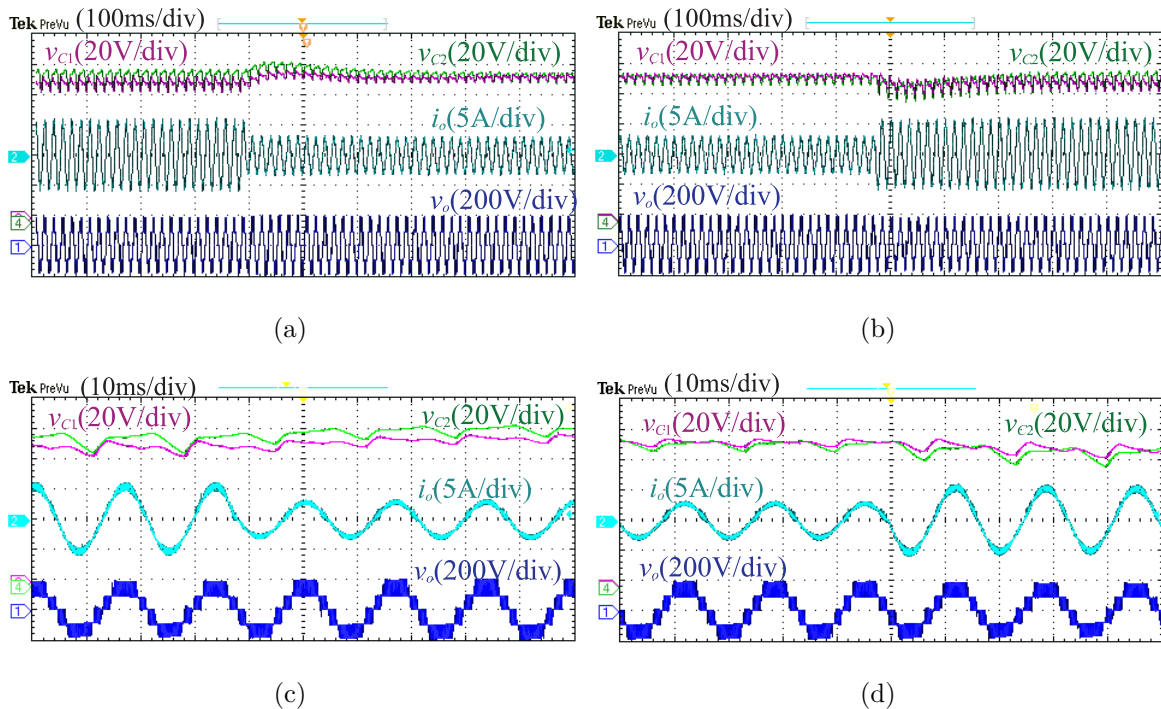
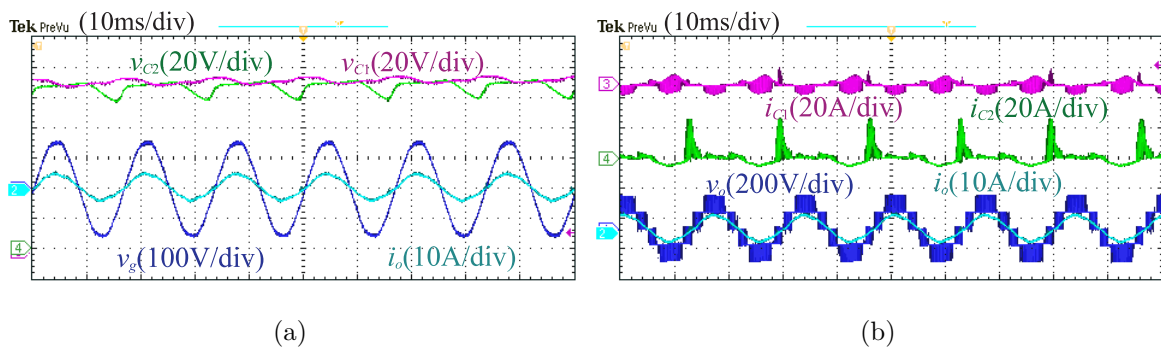


Figura 61 – Formas de onda principais para o modo *step-up* em operação conectada à rede com PF unitário. (a) Tensões da rede e do capacitor, Correntes da rede e do capacitor. (b) Tensão PWM, corrente de saída, correntes dos capacitores.



de modo comum constante e em uma corrente de fuga praticamente nula. Além disso, a topologia tem um número reduzido de interruptores em comparação com suas contrapartes. A capacidade de operar como *step-up* ou *step-down* agregou flexibilidade ao sistema em termos de diferentes tensões de entrada. Além disso, um pequeno indutor incluído no caminho de carga dos capacitores comutados resultou na redução do estresse de corrente. Além disso, o equilíbrio de tensão dos capacitores é obtido sem a necessidade de sensores de tensão ou controladores adicionais. Por fim, foram apresentados resultados de simulação e experimentais para operação conectada à rede, que demonstraram a praticidade do inversor proposto.

Figura 62 – Formas de onda para o modo *step-up* em operação conectada à rede. (a) Tensão PWM, corrente de saída, correntes dos capacitores, Tensão do barramento CC, Corrente de fuga com PF unitário. (b) Tensões da rede e do capacitor, Correntes da rede e do capacitor com PF avanço e atraso. (c) Tensão PWM, corrente de saída, correntes dos capacitores com PF avanço e atraso. (d) Espectro da corrente da rede.

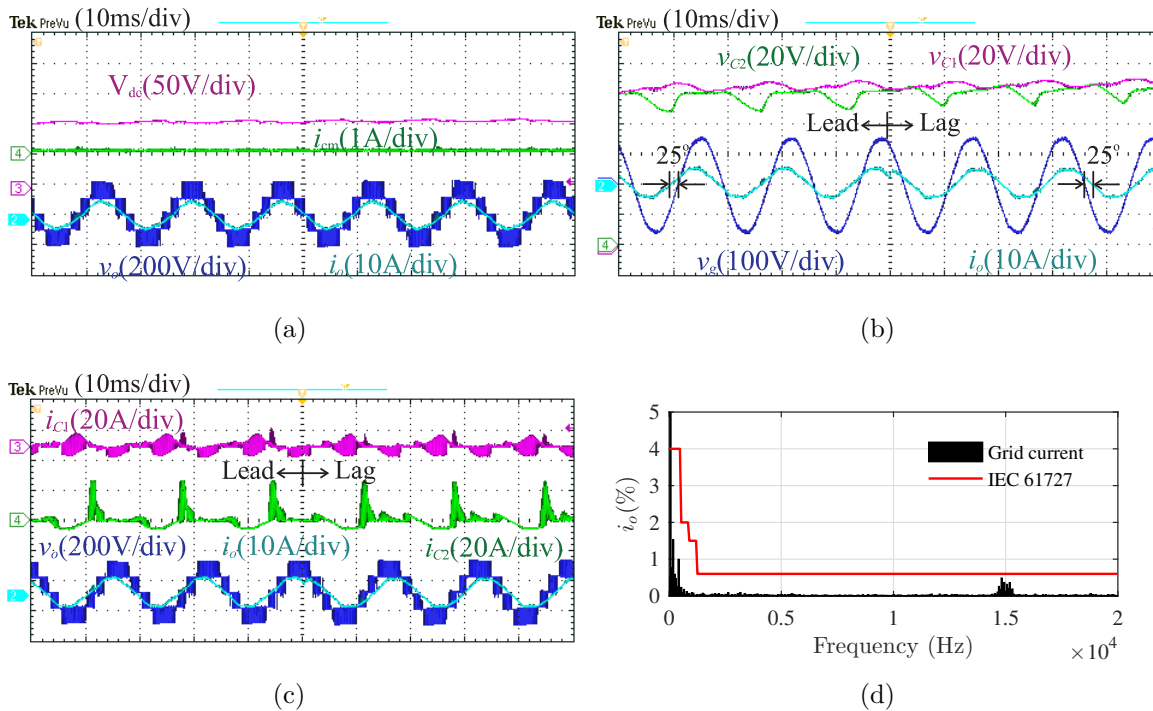


Figura 63 – Formas de onda principais para o modo *step-down* em operação conectada à rede com PF unitário. (a) Tensões da rede e do capacitor, Correntes da rede e do capacitor. (b) Tensão PWM, corrente de saída, correntes dos capacitores.

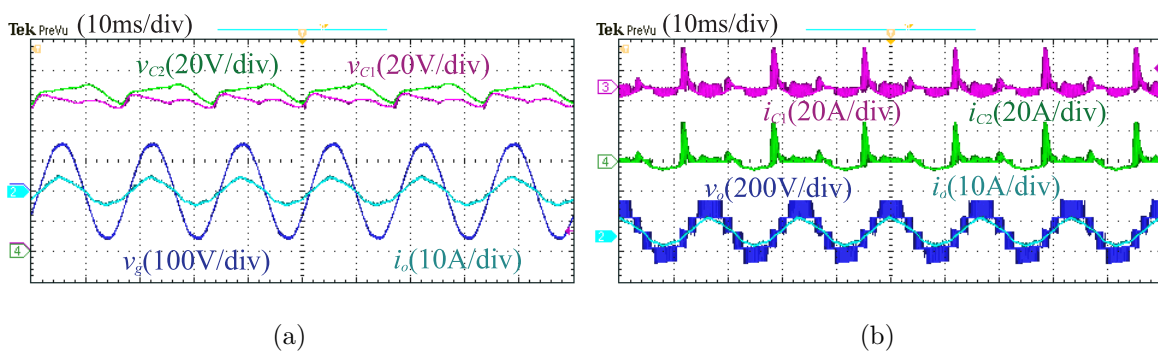


Figura 64 – Formas de onda principais para o modo *step-down* em operação conectada à rede. (a) Tensão PWM, corrente de saída, correntes dos capacitores, Tensão do barramento CC, Corrente de fuga com PF unitário. (b) Tensões da rede e do capacitor, Correntes da rede e do capacitor com PF avanço e atraso. (c) Tensão PWM, corrente de saída, correntes dos capacitores com PF avanço e atraso. (d) Espectro da corrente da rede.

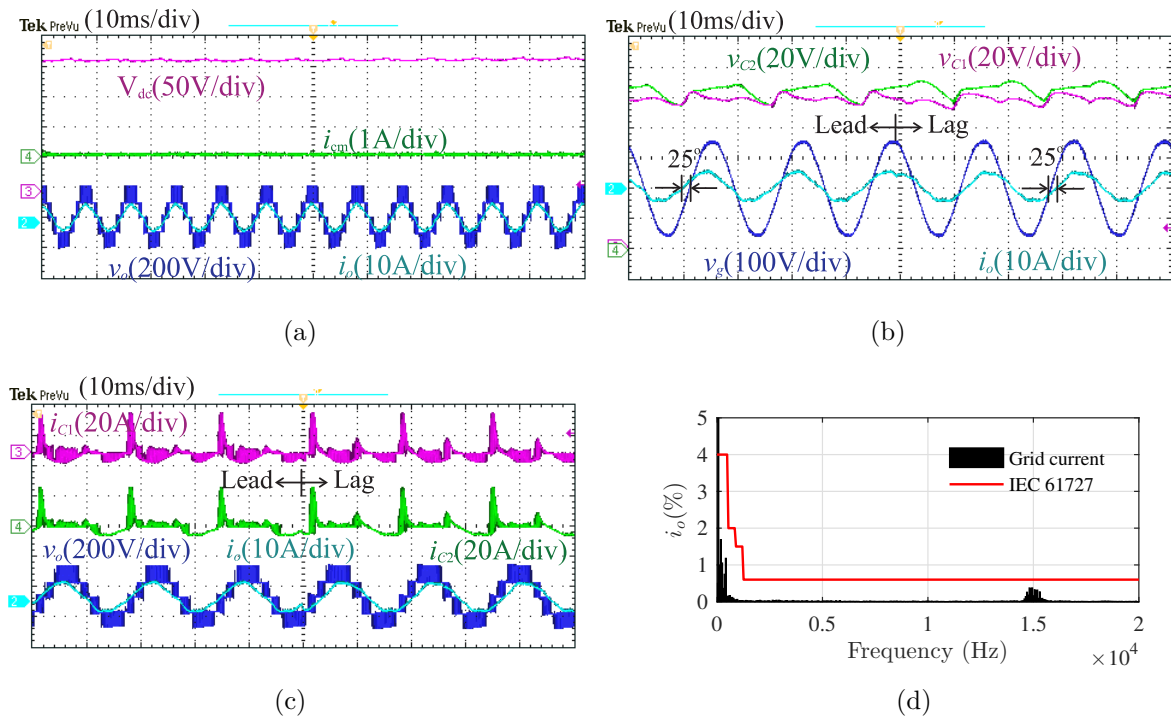


Figura 65 – Partida do inversor. (a) Corrente da rede, tensão do capacitor, correntes dos capacitores. (b) Vista ampliada da partida.

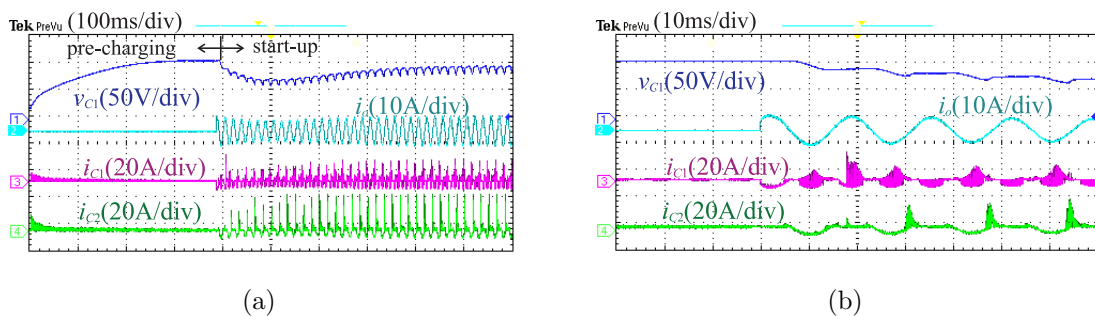
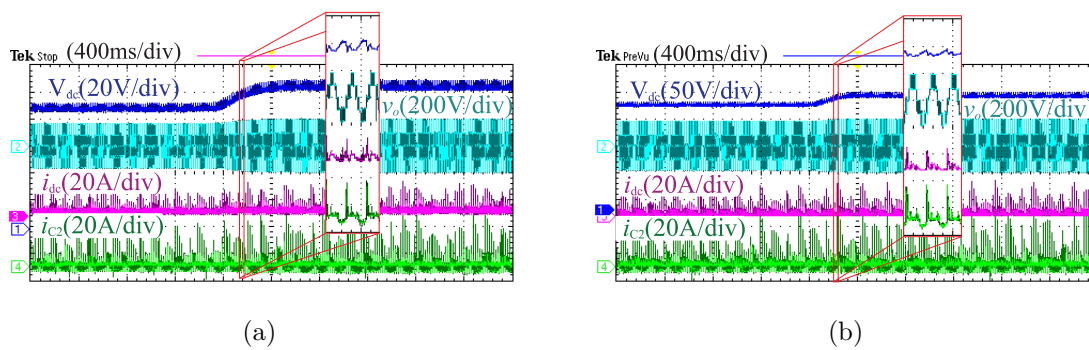


Figura 66 – Degrau na tensão V_{dc} . (a) modo *Step-up*. (b) modo *Step-down*.

5 CONCLUSÃO

Este trabalho apresentou dois inversores sem transformador para sistema fotovoltaico conectado à rede. Os inversores são capazes de sintetizar tensão de saída de cinco níveis. Por meio do compartilhamento de aterramento entre o terminal negativo do barramento CC dos inversores e da rede, a corrente de fuga que, geralmente existe em algum nível em inversores sem transformador, é teoricamente zero. Para garantir o bom desempenho dinâmico dos inversores propostos, um sistema de controle é projetado para rastrear a corrente de saída. É composto por um PLL que garante o ângulo de fase da corrente e um controlador PR cuja margem de fase é ajustada por avanço de fase. Um algoritmo MPPT é empregado para extrair a potência máxima que o sistema fotovoltaico pode fornecer.

O inversor com indutor acoplado tem característica abaixadora. No entanto, é composto por um pequeno número de semicondutores, incluindo 4 interruptores e 3 diodos. Dois dos interruptores operam em alta frequência e, no máximo, três estão simultaneamente em condução. Portanto, as perdas de semicondutores são reduzidas. Isso permite uma eficiência significativa. Essa topologia de inversor foi publicada no seminário SEPOC 2022 e recebeu o prêmio do melhor papel (CEDIEU et al., 2022). Um dos limites desse inversor é a característica abaixadora. Portanto, aumentar o ganho é um aprimoramento da topologia.

De outro lado, o inversor com duplo modo de operação é composto por um número maior de semicondutores do que o inversor anterior. Porém, tem possibilidade de operar como abaixador ou elevador de tensão, ou seja *step-up* ou *step-down*. No modo *step-up*, o inversor funciona com ganho elevador enquanto no modo *step-down*, funciona com ganho abaixador. Nos dois modos, os resultados dos testes em operação isolada a rede e em operação conectada a rede evidenciam o bom funcionamento e desempenho do inversor tanto com fator de potência alto quanto com baixo. A distorção harmônica total (THD) da corrente da rede fica em torno de 4.35 % e de 4.65% e a eficiência acerca de 96.1% e de 96.5% respectivamente para o modo *step-up* e *step-down*. Essa topologia de inversor foi publicada na revista *International Journal of Circuit Theory and Applications* (GRIGOLETTO et al.,).

Para cada inversor proposto, a tensão de saída sintetizada possui cinco níveis e o terminal negativo do barramento CC é compartilhado com o terminal neutro da rede, resultando em uma tensão de modo comum constante e em uma corrente de fuga praticamente nula. As topologias têm um número reduzido de interruptores em comparação com os demais inversores propostos na literatura. Apresentam reduzido número de interruptores simultaneamente em condução e reduzido estresse de corrente durante a carga dos capacitores. O equilíbrio de tensão dos capacitores é obtido sem a necessidade de sensores de tensão ou malha de controle. Além disso, os inversores propostos são capazes de processar a potência reativa sendo conectados à rede por meio de um sistema de controle que rastreia a corrente e um algoritmo MPPT para obter a máxima potência.

REFERÊNCIAS

- ALI, J. S. M. et al. A single-stage common ground-type transformerless five-level inverter topology. *IEEE J. Emer. Sel. Top. Power Electron.*, v. 10, n. 1, p. 837–845, 2022. Citado na página 66.
- ANAND, V.; SINGH, V.; ALI, J. S. M. Dual boost five-level switched-capacitor inverter with common ground. *IEEE Transactions on Circuits and Systems II: Express Briefs*, v. 70, n. 2, p. 556–560, 2023. Citado 3 vezes nas páginas 41, 42 e 66.
- ARDASHIR, J. F. et al. A five-level transformer-less grid-tied inverter structure with capacitive voltage divider concept with leakage current elimination. *IEEE Transactions on Industry Applications*, v. 59, n. 5, p. 6025–6036, 2023. Citado na página 66.
- BARZEGARKHOO, R. et al. Implementation and analysis of a novel switched-boost common-ground five-level inverter modulated with model predictive control strategy. *IEEE Journal of Emerging and Selected Topics in Power Electronics*, v. 10, n. 1, p. 731–744, 2022. Citado 3 vezes nas páginas 40, 52 e 66.
- BARZEGARKHOO, R. et al. A novel generalized common-ground switched-capacitor multilevel inverter suitable for transformerless grid-connected applications. *IEEE Transactions on Power Electronics*, v. 36, n. 9, p. 10293–10306, 2021. Citado 4 vezes nas páginas 39, 40, 41 e 66.
- BARZEGARKHOO, R. et al. Design, control, and analysis of a novel grid-interfaced switched-boost dual t-type five-level inverter with common-ground concept. *IEEE Trans. Ind. Electron.*, v. 68, n. 9, p. 8193–8206, 2021. Citado 2 vezes nas páginas 66 e 83.
- BARZEGARKHOO, R. et al. A novel common-ground switched-capacitor five-level inverter with adaptive hysteresis current control for grid-connected applications. *IET Power Electronics*, v. 14, n. 12, p. 2084–2098, 2021. Disponível em: <<https://ietresearch.onlinelibrary.wiley.com/doi/abs/10.1049/pel2.12110>>. Citado 2 vezes nas páginas 39 e 40.
- BARZEGARKHOO, R. et al. A novel dual-mode switched-capacitor five-level inverter with common-ground transformerless concept. *IEEE Trans. Power Electron.*, v. 36, n. 12, p. 13740–13753, 2021. Citado 2 vezes nas páginas 66 e 83.
- BARZEGARKHOO, R. et al. Six-switch step-up common-grounded five-level inverter with switched-capacitor cell for transformerless grid-tied pv applications. *IEEE Transactions on Industrial Electronics*, v. 68, n. 2, p. 1374–1387, 2021. Citado na página 65.
- CEDIEU, S. et al. Four-switch five-level common-ground transformerless inverter. In: *2022 14th Seminar on Power Electronics and Control (SEPOC)*. [S.l.: s.n.], 2022. p. 1–6. Citado na página 95.
- CHAPELSKY, C.; SALMON, J.; KNIGHT, A. M. High-quality single-phase power conversion by reconsidering the magnetic components in the output stage—building a better half-bridge. *IEEE Transactions on Industry Applications*, v. 45, n. 6, p. 2048–2055, 2009. Citado na página 38.
- CHAVES, D. B.; GRIGOLETTO, F. B. Virtual space vector modulation strategy for common-mode voltage reduction in three-phase three-level flying-capacitor split-source

inverters. *IET Power Electronics*, v. 13, p. 4368–4376(8), December 2020. ISSN 1755-4535. Disponível em: <<https://digital-library.theiet.org/content/journals/10.1049/iet-pel.2020.0507>>. Citado na página 26.

ECONOMIC, U. N. D. of; AFFAIRS, S. *World Population Prospects 2022: Summary of Results*. [S.l.], 2022. (Population Division (2022)). Citado na página 25.

ESTÉVEZ-BÉN, A. A. et al. Leakage current reduction in single-phase grid-connected inverters - a review. *Applied Sciences*, v. 10, n. 7, 2020. ISSN 2076-3417. Citado na página 26.

GAAFAR, M. A. et al. Common-ground photovoltaic inverters for leakage current mitigation: Comparative review. *Applied Sciences*, v. 11, n. 23, 2021. ISSN 2076-3417. Disponível em: <<https://www.mdpi.com/2076-3417/11/23/11266>>. Citado 3 vezes nas páginas 26, 30 e 33.

GIACOMINI, J. C. et al. Active damping scheme for leakage current reduction in transformerless three-phase grid-connected pv inverters. *IEEE Trans. Power Electron.*, v. 33, n. 5, p. 3988–3999, 2018. Citado na página 26.

GRAOVAC M. PÜRSCHEL, K. A. D. *MOSFET Power Losses Calculation Using the Data-Sheet Parameters*. [S.l.]: Infineon Technologies AG, 1–23, 2006. Citado na página 57.

GRIGOLETTO, F. B. Five-level transformerless inverter for single-phase solar photovoltaic applications. *IEEE Journal of Emerging and Selected Topics in Power Electronics*, v. 8, n. 4, p. 3411–3422, 2020. Citado 4 vezes nas páginas 38, 39, 56 e 65.

GRIGOLETTO, F. B. Multilevel common-ground transformerless inverter for photovoltaic applications. *IEEE Journal of Emerging and Selected Topics in Power Electronics*, v. 9, n. 1, p. 831–842, 2021. Citado 3 vezes nas páginas 39, 41 e 65.

GRIGOLETTO, F. B. et al. A five-level common-ground inverter with step-up/step-down dual-mode operation for transformerless grid-connected pv application. *International Journal of Circuit Theory and Applications*, n/a, n. n/a. Disponível em: <<https://onlinelibrary.wiley.com/doi/abs/10.1002/cta.3785>>. Citado na página 95.

GUO, B. et al. A single-phase common-ground five-level transformerless inverter with low component count for pv applications. *IEEE Transactions on Industrial Electronics*, v. 70, n. 3, p. 2662–2674, 2023. Citado 5 vezes nas páginas 40, 42, 57, 64 e 66.

GUO, X. et al. Overview of recent advanced topologies for transformerless dual-grounded inverters. *IEEE Transactions on Power Electronics*, v. 37, n. 10, p. 12679–12704, 2022. Citado na página 34.

IEA. *Energy Efficient 2022*. [S.l.]: IEA Publications, 2022. Citado na página 25.

IEA. *World Energy Outlook 2022*. [S.l.]: IEA Publications, 2022. Citado na página 25.

IKKURTI, H. P.; SAHA, S. A comprehensive techno-economic review of microinverters for building integrated photovoltaics (bipv). *Renewable and Sustainable Energy Reviews*, v. 47, p. 997–1006, 2015. ISSN 1364-0321. Disponível em: <<https://www.sciencedirect.com/science/article/pii/S1364032115002348>>. Citado na página 29.

- ISLAM, M. T. et al. A single dc source five-level switched capacitor inverter for grid-integrated solar photovoltaic system: Modeling and performance investigation. *Sustainability*, v. 15, n. 10, 2023. ISSN 2071-1050. Disponível em: <<https://www.mdpi.com/2071-1050/15/10/8405>>. Citado na página 66.
- JR, E. C. dos S.; SILVA, E. R. C. da. *Advanced Power Electronics Converters: PWM Converters Processing AC Voltages*. [S.l.]: Wiley-IEEE Press, 2001. 25-29 p. Citado na página 25.
- Front matter. In: KABALCı, E. (Ed.). *Multilevel Inverters Introduction and Emergent Topologies*. Academic Press, 2021. p. i-ii. ISBN 978-0-12-821668-2. Disponível em: <<https://www.sciencedirect.com/science/article/pii/B9780128216682099918>>. Citado 3 vezes nas páginas 33, 37 e 38.
- KADAM, A.; SHUKLA, A. A multilevel transformerless inverter employing ground connection between PV negative terminal and grid neutral point. *IEEE Trans. Ind. Electron.*, v. 64, n. 11, p. 8897–8907, Nov 2017. Citado na página 65.
- KHAN, A. et al. Review and simulation of leakage current in transformerless microinverters for pv applications. *Renewable and Sustainable Energy Reviews*, v. 74, p. 1240–1256, 2017. ISSN 1364-0321. Disponível em: <<https://www.sciencedirect.com/science/article/pii/S1364032117302721>>. Citado 2 vezes nas páginas 29 e 32.
- KHAN, J.; ARSALAN, M. H. *Solar power technologies for sustainable electricity generation – A review*. [S.l.], 2016. v. 55, 414-425 p. Disponível em: <<https://www.sciencedirect.com/science/article/pii/S1364032115012149>>. Citado 3 vezes nas páginas 25, 63 e 64.
- KHAN, M. N. H. et al. Transformerless inverter topologies for single-phase photovoltaic systems: A comparative review. *IEEE Journal of Emerging and Selected Topics in Power Electronics.*, v. 8, n. 1, p. 805–835, March 2020. ISSN 2168-6785. Citado 3 vezes nas páginas 26, 31 e 32.
- KHAN, M. N. H. et al. A common grounded type dual-mode five-level transformerless inverter for photovoltaic applications. *IEEE Trans. Ind. Electron.*, v. 68, n. 10, p. 9742–9754, 2021. Citado 2 vezes nas páginas 66 e 83.
- KHAN, S. A. et al. Topology, modeling and control scheme for a new seven-level inverter with reduced dc-link voltage. *IEEE Transactions on Energy Conversion*, IEEE, v. 36, n. 4, p. 2734–2746, 2021. Citado na página 53.
- KUMAR, A.; SENSARMA, P. A four-switch single-stage single-phase buck–boost inverter. *IEEE Transactions on Power Electronics*, v. 32, n. 7, p. 5282–5292, 2017. Citado na página 34.
- KURDKANDI, N. V. et al. A new transformer-less common grounded five-level grid-tied inverter with leakage current elimination and voltage boosting capability for photovoltaic applications. *IET Renewable Power Generation*, v. 17, n. 6, p. 1557–1582, 2023. Disponível em: <<https://ietresearch.onlinelibrary.wiley.com/doi/abs/10.1049/rpg2.12695>>. Citado na página 66.

- LEE, S. S. et al. Single-phase 5-level split-midpoint cross-clamped (5l-smcc) inverter: An alternative to the two-stage anpc topology. *IEEE Journal of Emerging and Selected Topics in Power Electronics*, v. 11, n. 2, p. 1995–2003, 2023. Citado na página 66.
- LI, W. et al. Topology review and derivation methodology of single-phase transformerless photovoltaic inverters for leakage current suppression. *IEEE Transactions on Industrial Electronics*, v. 62, n. 7, p. 4537–4551, 2015. Citado na página 32.
- LO, K.-Y.; LIN, J.-Y. Five-level step-up switched-capacitor grid-connected inverter. *IEEE Journal of Emerging and Selected Topics in Power Electronics*, v. 11, n. 3, p. 3314–3322, 2023. Citado na página 66.
- MARANGALU, M. G. et al. A new single dc source five-level boost inverter applicable to grid-tied systems. *IEEE Access*, v. 11, p. 24112–24127, 2023. Citado na página 66.
- MONDAL, S. et al. A five-level switched-capacitor based transformerless inverter with boosting capability for grid-tied pv applications. *IEEE Access*, v. 11, p. 12426–12443, 2023. Citado na página 66.
- NABAE, A.; TAKAHASHI, I.; AKAGI, H. A new neutral-point-clamped pwm inverter. *IEEE Transactions on Industry Applications*, IA-17, n. 5, p. 518–523, 1981. Citado na página 38.
- PANDURANGAN, G. N. et al. Single-phase common ground type 5l inverter with reduced capacitor voltage stress for photovoltaic applications. *IET Power Electron.*, p. 1–1, 2022. Citado na página 66.
- PATRAO, I. et al. Transformerless topologies for grid-connected single-phase photovoltaic inverters. *Renewable and Sustainable Energy Reviews*, v. 15, n. 7, p. 3423–3431, 2011. ISSN 1364-0321. Disponível em: <<https://www.sciencedirect.com/science/article/pii/S1364032111001936>>. Citado na página 29.
- PENG, F. Z. Z-source inverter. *IEEE Transactions on Industry Applications*, v. 39, n. 2, p. 504–510, 2003. Citado na página 34.
- POURFARAJ, A.; MONFARED, M.; HEYDARI-DOOSTABAD, H. Single-phase dual-mode interleaved multilevel inverter for pv applications. *IEEE Trans. Ind. Electron.*, v. 67, n. 4, p. 2905–2915, 2020. Citado 2 vezes nas páginas 66 e 83.
- REN21. *RENEWABLES 2022 GLOBAL STATUS REPORT*. [S.l.], 2022. Citado na página 25.
- ROBERT, W. E.; DRAGAN, M. *Fundamentals of power electronics*. [S.l.]: Kluwer Academic Publishers, 2001. Citado na página 61.
- SAMIZADEH, M. et al. A new topology of switched-capacitor multilevel inverter with eliminating leakage current. *IEEE Access*, v. 8, p. 76951–76965, 2020. Citado na página 66.
- SANDEEP, N. et al. Common-ground-type five-level transformerless inverter topology with full dc-bus utilization. *IEEE Transactions on Industry Applications*, v. 56, n. 4, p. 4071–4080, 2020. Citado na página 65.

- SATHIK, M. J. et al. A five-level boosting inverter for pv application. *IEEE Journal of Emerging and Selected Topics in Power Electronics*, v. 9, n. 4, p. 5016–5025, 2021. Citado na página 66.
- SIWAKOTI, Y. P.; BLAABJERG, F. Common-ground-type transformerless inverters for single-phase solar photovoltaic systems. *IEEE Transactions on Industrial Electronics*, IEEE, v. 65, n. 3, p. 2100–2111, 2017. Citado 3 vezes nas páginas 35, 36 e 37.
- SIWAKOTI, Y. P. et al. A dual mode 5-level inverter with wide input voltage range. In: *2019 IEEE Ener. Conv. Cong. and Exp. (ECCE)*. [S.l.: s.n.], 2019. p. 3609–3615. Citado 2 vezes nas páginas 66 e 83.
- TEY, K. S.; MEKHILEF, S. A reduced leakage current transformerless photovoltaic inverter. *Renewable Energy*, v. 86, p. 1103–1112, 2016. ISSN 0960-1481. Disponível em: <<https://www.sciencedirect.com/science/article/pii/S0960148115303189>>. Citado 2 vezes nas páginas 26 e 29.
- VOSOUGHI, N.; HOSSEINI, S. H.; SABAHI, M. A new transformer-less five-level grid-tied inverter for photovoltaic applications. *IEEE Transactions on Energy Conversion*, v. 35, n. 1, p. 106–118, 2020. Citado na página 66.
- WANG, B.; TANG, W. A novel three-switch z-source sepic inverter. *Electronics (Switzerland)*, v. 8, 2019. ISSN 20799292. Citado na página 35.
- YE, Y. et al. Half-bridge modular switched-capacitor multilevel inverter with hybrid pulsewidth modulation. *IEEE Transactions on Power Electronics*, IEEE, v. 35, n. 8, p. 8237–8247, 2019. Citado na página 58.